

AuSn 솔더 박막의 스퍼터 증착 최적화와 접합강도에 관한 연구

김동진 · 이택영* · 이흥기¹ · 김건남² · 이종원

한밭대학교 재료공학전공, ¹생산기술연구원, ²(주)우리정도

Deposition Optimization and Bonding Strength of AuSn Solder Film

D. J. Kim, T. Y. Lee*, H. K. Lee¹, G. N. Kim² and J. W. Lee

Dept. of Materials Engineering, Hanbat National University

¹Production Technology Center, Korea Institute of Industrial Technology

²Dept. of Research and Development, Uri Fine Plating Co.

초 록 : 본 연구에서는 Au 와 Sn을 rf-magnetron sputter를 이용하여 다층막(multilayer)과 동시증착(Co-sputter)방법으로 스퍼터링하여 기판위에 AuSn 솔더를 형성하였고, 솔더의 조성제어와 특성 분석을 통해 Sn rich AuSn 솔더의 형성 기술에 대하여 연구하였다. AuSn 솔더를 형성하기 앞서 Au와 Sn에 대하여 단일 금속 증착을 하였다. 이를 토대로 AuSn솔더를 증착하기 위한 실험 조건을 확보하였다. 증착변수로는 기판의 온도, rf 전력과 두께 비를 이용하였다. 다층막의 경우, 고온의 기판에서 솔더 합금의 표면 거칠기와 조성이 보다 정확하게 제어되었다. 이에 비해 동시증착 솔더는 기판의 온도에서의 조성의 변화가 거의 없었으나, rf 전력에 의해서 조성이 보다 쉽게 제어할 수 있었다. 여기에 더해, 동시 증착 솔더 박막의 대부분은 증착동안에 금속간 화합물로 변화한 것을 알 수 있었다. 화합물의 종류는 XRD로 분석하였다. 형성된 솔더 박막을 플럭스를 이용하지 않고 리드프레임에 접합하여 접합강도를 측정하였다. 다층형의 경우 Au 10wt%의 조건에서 최대 33(N/mm²)의 전단응력을 나타내었으며, 동시증착형은 Au 5wt%에서 46(N/mm²)의 전단응력을 나타내었다.

Abstract: Au-Sn solder alloy were deposited in multilayer and co-sputtered film by rf-magnetron sputter and the composition control and analysis were studied. For the alloy deposition condition, each components of Au or Sn were deposited separately. On the basis of pure Sn and Au deposition, the deposition condition for Au-Sn solder alloy were set up. As variables, the substrate temperature, the rf-power, and the thickness ratio were used for the optimum composition. For multilayer solder alloy, the roughness and the composition of solder alloy were controlled more accurately at the higher substrate temperature. In contrast, for co-sputtered solder, the substrate temperature influenced little to the composition, but the composition could be controlled easily by rf-power. In addition, the co-sputtered solder film mostly consisted of intermetallic compound, which formed during deposition. The compound were confirmed by XRD. Without flux during bonding of solder alloy film on leadframe, the adhesion strength were measured. The maximum shear stress was 33(N/mm²) for multilayer solder with Au 10wt% and 46(N/mm²) for co-sputtered solder with Au 5wt%.

Key words : Pb-free solder, Au-Sn solder, Fluxless solder, Bonding strength, Electronic packaging, Fluxless bonding

*Corresponding author
E-mail: tylee@hanbat.ac.kr

1. 서 론

Pb는 과거 산업계를 유지해오던 Pb-Sn계 솔더의 주된 원소이나, 환경문제가 대두되어 사용이 금지되면서 현재 무연 솔더들이 지속적으로 개발 되고 있다.^{1,3)} 또한 플럭스는 솔더와 모재의 산화층을 제거하여 접합성을 높여주는 특성으로 널리 사용되고 있는 재료이나, 잔류 플럭스에 의한 접합부 부식, 플럭스 제거제에 의한 오염이 지적되고, 플럭스의 사용이 제한적인 공정의 증가에 따라 문제점이 점점 부각되기 시작하였다.^{4,6)} 따라서 무연과 무플럭스를 동시에 만족하는 솔더에 대해서 관심이 크게 증대되고 있는 실정이다. Au80Sn20(wt% 기준)은 280°C의 용점을 가지는 대표적인 무연 무플럭스 솔더이다. Au80Sn20 솔더는 기계적·열적 성질이 우수하여 소자 본딩시 우수한 신뢰성을 나타내어, 광전소자, MEMS, 바이오 소자에 광범위하게 사용되고 있다.⁷⁻¹¹⁾ 그러나 Au 함량이 높아서 가격이 비싸고, 280°C라는 높은 용점으로 열에 취약한 바이오 소자와 광전소자의 응용에 한계를 갖고 있는 단점이 있다. 이런 단점으로 인해 산업계에서는 Au80Sn20을 대체 할 수 있는 저용점, 저가격의 무연 무플럭스 솔더의 개발을 지속적으로 요구하고 있는 상황이다. 이러한 문제를 극복하고자 Au-Sn 상태도의 제2공정 근처의 조성 Au_xSn_{1-x} ($x < 30wt%$)에 주목 하였다. Au_xSn_{1-x} ($x < 30wt%$) 조성은 기존의 용점인 280°C 보다 낮을 뿐만 아니라 낮은 Au 함량으로 저가격이 부합되는 장점을 가지고 있고, 적당량의 Au에 의한 산화 저항성으로 무플럭스에 대응 할 수 있다. 또한 기존의 연구는 주로 증발법이나 전해도금법을 통하여 Au80Sn20을 증착하였으며, Sn 솔더에 대한 연구도 전해 도금에 한정적으로 연구 되었다.¹²⁻¹³⁾ 본 연구는 스퍼터를 사용하여 AuSn 솔더를 다층막(multilayer)과 동시증착 방법(co-sputtering)을 이용하여 형성하였다. 여기에 구현한 AuSn의 증착 특성과 조성의 결과에 대하여 연구하였다.

2. 실험방법

2.1 시편제조

0.1 μm 의 Ti 또는 Cr이 우선 증착되어 있고 그 위에 Ni이 0.2 μm 증착 되어 있는 Si wafer를 사용

하였다. Ti와 Cr은 접합층이며 Ni는 확산방지막으로 사용된다.¹⁴⁻¹⁵⁾ 본 실험에서 Ti와 Cr이 혼용되었으나 이에 기인한 솔더의 특성 변화는 관측되지 않았다. Si는 1 cm×2 cm의 크기로 사용되었으며, 초음파 분위기에서 아세톤, 이소프로필알코올, 초순수로 세정을 하였다. 증착 공정이 끝난 샘플은 본딩을 위해 350 μm ×350 μm 의 칩으로 절단 하였다. 타겟은 99.999%순도를 가지는 Au, Sn타겟을 사용 하였으며, 파워는 5~300W 까지 조절이 가능하며 3개의 파워장치가 있어 3개의 원소까지 동시 증착이 가능하다. 증착온도는 시편에 열충격이 없는 30°C에서 진행하였고, 이후 200°C까지 승온시키며 증착 특성을 분석하였다. 또한 매 실험간 초기 진공 레벨을 3.0×10^{-6} torr이하로 유지 하였고, sputtering gas로는 Ar(99.999%)을 5~6sccm 사용하였다. 증착 압력은 10mtorr, sample rotation은 5rpm으로 고정하였다.

2.2 증착조건

다층막 구조는 Au층과 Sn층의 두께로 조성을 결정하게 된다. Fig. 1(a)에 다층막구조에 대한 모식도를 나타내었다. 정확한 두께 조절을 위해 Au와 Sn에 대해 단위 금속증착 실험을 진행하여 파워 및 시간의 변화에 따른 두께 데이터를 확보하였다. 증착 두께는 실시간 두께 측정장치(MAX-TEK, TM-100R)와 알파스텝(Tencor, AS-500)을 이용하여 상호 비교 보완해서 실험적인 오차 범위 줄였다. 두께에 따른 특성차이를 없애기 위해 본 실험에서 증착한 모든 솔더의 두께는 1 μm ($\pm 0.05 \mu\text{m}$)로 고정하였다.

조성 설계는 Au의 밀도(7.3 g/cm³)와 Sn의 밀도(19.32 g/cm³)를 이용한 다음 식에 의해 얻을 수 있었다.

Thickness ratio of Au to Sn

$$= \frac{19.32(\text{g}/\text{cm}^3) \times \text{Au조성}(\text{wt}\%)}{7.3(\text{g}/\text{cm}^3) \times \text{Sn조성}(\text{wt}\%)} \quad (1)$$

상술된 식에 의해 총 1 μm 두께에서 Au와 Sn의 각 두께를 얻을 수 있었고 구현 층수에 따른 차이를 알아보기 위해 Sn/Au의 2층 구조와 Sn/Au/Sn/Au의 4층 구조에 대하여 실험 하였다. 증착 후 표

면형상 관찰을 위해 주사전자현미경(SEM)을 사용하였으며, 조성 확인을 위해 N₂ 분위기에서 300 °C 10초간 reflow를 진행한 후 에너지 분산형 X선 분광기(EDX)를 측정하였다. 또한 용점의 정확한 분석을 위해 시차주사열량계(DSC)를 Ar분위기에서 5°C/min 의 조건으로 사용하였다. DSC 데이터를 기반으로 200°C~300°C범위로 본딩온도를 한정하였고, 표면에 Ag가 2.5 µm의 두께로 도금되어있는 Alloy42 프레임 위에 본딩하였다. 본딩이 끝난 샘플은 정확한 전단응력 측정과 측정 간 샘플의 변형을 방지하기 위해 Alloy42 프레임의 후면을 에폭시를 사용하여 슬라이드글래스에 고정한 후 다이전단시험기(dage, DAGE4000)를 사용하여 전단응력을 측정하였다. 로드셀의 속도는 200 um/sec, 높이는 50um의 조건에서 실험 되었다.

동시증착은 두 원소의 단위 시간당 원자공급량을 제어함으로써 조성을 얻을 수 있다. Fig. 1(b)에 모식도를 나타내었다. 스퍼터 공정에서 원자 공급량을 제어하는 요소는 증착파워이다. 상술한 단위 금속 증착 데이터를 통해 증착파워-원자공급량에 대한 데이터를 확보하였고, 동시증착 AuSn을 증착 하였다. 두께는 전술한 바와 같이 1 µm(±0.05 µm)이며, SEM, EDX, DSC, 다이전단시험기, X-ray 회절 분석기(XRD) 관측을 통하여 조성 및 특성을 분석하였다.

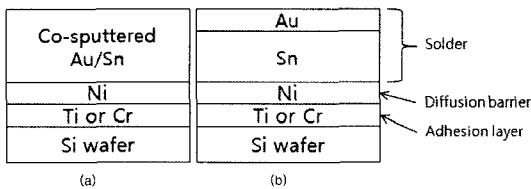


Fig. 1. Schematic diagrams of AuSn solder (a) Co-sputter, (b) Multilayer.

3. 결과 및 고찰

3.1 다층막(Multilayer) AuSn 솔더

AuSn은 조성이 1wt%만 변하더라도 녹는점이 크게 변하므로 각 층 두께의 정확한 제어가 무엇보다 중요하다. 또한 막의 표면 형상은 밀도와 밀접하게 연관되므로 재현성 있는 최적 조건을 얻기 위해 Au와 Sn에 대하여 단위금속 증착 실험을 하였다.

Fig. 2는 증착조건 30°C, 10mTorr에서 증착파워에 따라 변하는 Au와 Sn의 증착 두께를 나타내고 있다. 증착파워가 증가 할수록 Au와 Sn의 증착두께가 모두 증가함을 알 수 있다.

Table 1에 다층막으로 구성한 샘플의 조성구 조를 나타냈다. 우리는 Fig. 2의 두께 결과를 토대로 비교적 안정적인 증착속도를 가지는 100W 조건을 Sn layer 형성하는데 사용 하였다. Au는 상대적으로 두께가 훨씬 얇기 때문에 Au layer의 형성에는 낮은 증착 속도를 가져 얇은 두께를 컨트롤 하기 용이한 50W 조건으로 형성 하였다. 재현성 테스트를 위해 각 샘플은 3회 실험하였다.

Fig. 3은 reflow 후의 조성을 나타내고 있다. Fig. 3에 나타난 바와 같이 계산에 의해 설계된 목표조성에는 근접하고 있음을 알 수 있다. 또한 시편 2와 4에서 나타난 바와 같이 2층구조 보다 4층구조의 오차 범위가 큼을 알 수 있었고, 이러한 현상을 야기하는 원인을 규명하기 위해 표면 형상을 분석 하였다.

Fig. 4는 Sn 표면 위에 0.02 µm의 Au를 증착한 후 찍은 SEM 이미지이다. Sn층이 매우 불규칙적이고 낮은 밀도를 갖는 표면 형상을 나타냄을 알 수 있다. 또한 Au가 Sn의 표면에 구형형태를 띄고 불균일하게 분산 있음을 알 수 있다. 이론적 밀도에 따라 각 층의 두께를 설정하였으나, Fig. 4의 결

Table 1. Deposition thickness and Target composition of Au

Sample No.	Number of Layer	Target Composition of Au (wt%)	Thickness Ratio of Au/Sn	증착 두께 (µm) (■Sn □Au)			
1	2	5%	0.02	1			0.02
2	4	5%	0.02	0.5	0.01	0.5	0.01
3	2	30%	0.16	1			0.16
4	4	30%	0.16	0.5	0.08	0.5	0.08

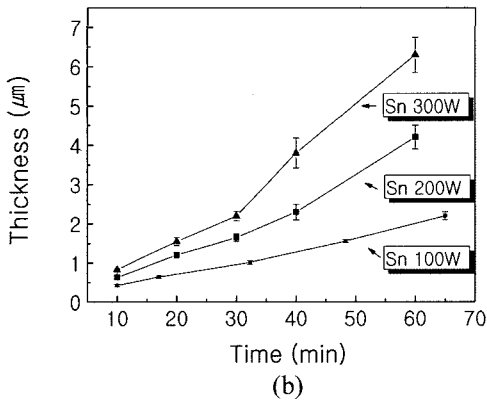
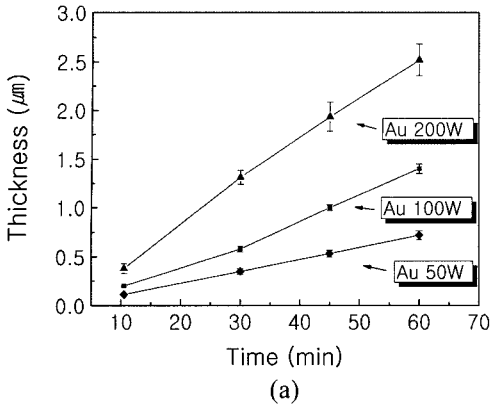


Fig. 2. Thickness change with various sputter power and deposition time. (a)Au, (b)Sn.

과는 Sn의 표면상태가 불균일하고 밀도가 낮음을 보이고 있다. 따라서 Sn층의 표면 조도 또는 형상이 Fig. 3에 나타난 조성의 불확실성을 유발하고 있음을 확인 하였다. 따라서 2층 구조 보다 4층 구조 일때 오차범위가 넓게 나타나는 이유는 Fig. 4에 나타난 것과 같이 완벽하게 제어되지 않은 Sn 박막이 2번에 걸쳐서 증착되므로 오차범위가 커질 가능성이 있음을 생각할 수 있다. 따라서 변수가 많아지는 4층 구조는 적합하지 않은 것으로 판단하였고, 이후 진행한 다층막 AuSn 솔더는 2층 구조만을 형성 하였다.

Fig. 5는 기판온도 변화시 Sn 표면 현상을 관찰한 것이다. 시편은 각각 30°C, 100°C의 상태에서 1um의 두께로 Sn을 증착한 표면 형상을 나타내고 있다. Fig. 5(a)는 30°C에서의 Sn 표면형상이며 Fig. 5(b)는 100°C에서의 표면 형상이다. Fig. 5(a)의 경우 표면 조도가 매우 불균일하고 밀도가 낮

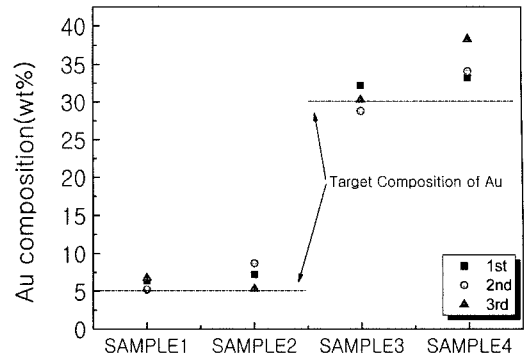


Fig. 3. Composition analysis by EDX.

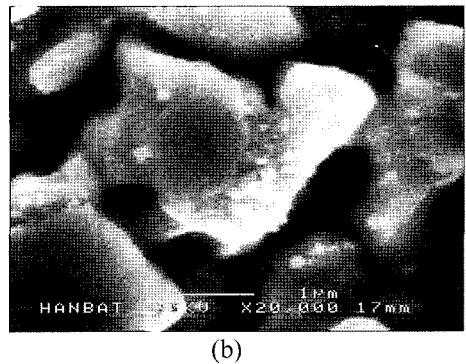
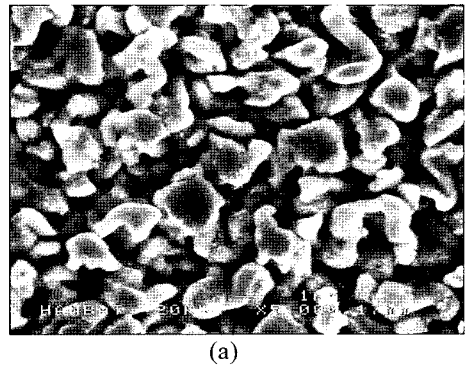
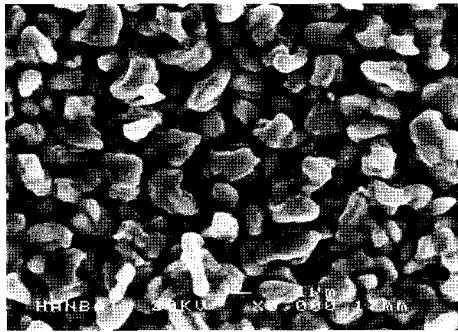


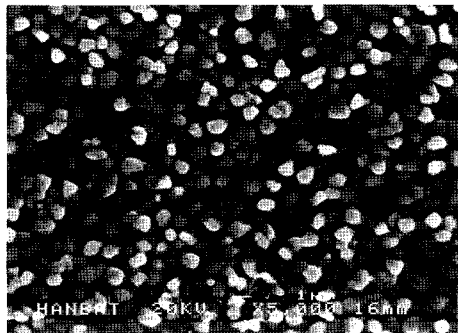
Fig. 4. SEM images of multilayer surface (a)5,000X, (b) 20,000X.

은 표면형상을 나타냄을 알 수 있었다. Fig. 5(b)의 경우 표면이 상대적으로 매끄러워지고 있음을 알 수 있다. Sn층의 표면 형상은 기판 온도를 높임으로서 표면내의 원자 확산을 용이하게 하고, 이로 인하여 표면의 조도가 현저히 개선되고 있음을 알 수 있었다.

Fig. 6는 목표조성 Au 5wt%를 각 온도조건으로



(a)



(b)

Fig. 5. Sn surface morphology of 1 μm thickness at (a)30°C, (b)100°C.

실험한 결과를 나타내고 있다. 온도 상승에 따라 목표조성에 근접하고 있음을 알 수 있다. 다른 실험 변수가 없고 Sn의 증착 온도만 증가하였으므로 이는 온도에 의해 Sn의 조도에 따라서 AuSn의 조성에 영향을 준다는 것을 알 수 있다. 이는 조도에 따른 그림자 효과와 증착효율의 차이에 기인한 것으로 추정된다. 데이터 상 완벽하게 목표 조성에도 달하지는 못하였지만 EDX의 정량분석에 오차를 유발하는 인자가 존재함은 알려져 있고¹⁷⁾, 증착 두께의 오차 범위(±0.05 μm)를 생각하면 본 실험에 나타난 오차 수준은 목표 조성을 충분히 충족시키고 있는 것으로 판단된다. 또한 기판온도가 상승하면서 Au의 조성이 목표조성에 근접하는 경향이 명확하게 나타나고 있으므로, 스퍼터로 증착된 AuSn의 조성은 기판의 온도에 영향을 받고 이는 Sn층의 조도와 깊은 관련이 있는 것으로 사료된다.

3.2 동시증착(Co-sputtered) AuSn 솔더

전술한 바와같이 동시증착 방법은 단위 시간당

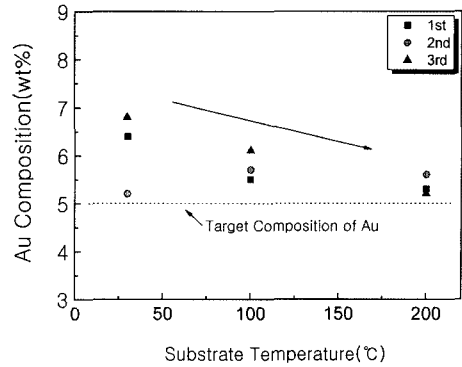


Fig. 6. Composition with various deposition temperature.

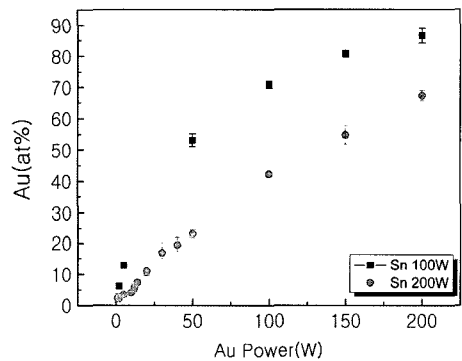


Fig. 7. Composition of AuSn deposited by Co-sputter.

증착되는 원소 금속량을 제어하여 조성을 조절 하게 된다. Fig. 2에서 나타난 다층막의 단위금속 증착 데이터를 기반으로 단위시간당 증착량을 계산 하였다. 조성은 파워 조절을 통하여 매우 쉽게 제어가 가능하였다.

Fig. 7은 동시증착에 의해 두께 1 μm로 형성된 AuSn의 조성을 나타내고 있다. Au와 Sn 각각의 증착 전력 조절을 통하여 조성 범위를 제어 할 수 있음을 보이고 있다. 동시증착은 증착 타겟의 전력을 조절함으로써 거의 전 조성 범위의 제어가 가능하다.

Fig. 8은 동시증착으로 형성한 AuSn의 표면 형상이다. Fig. 8(a) 60wt% Au의 조성으로 높은 Au 함량에 의해 균일하고 밀도있는 형상을 나타낸다. Fig. 8(b)는 30wt%로 입자가 작고 구형을 가진 형태로 존재함을 알 수 있다. Fig. 8(c)는 5wt%로 매우 밀도가 낮고 매우 불균일한 형상을 나타냄을

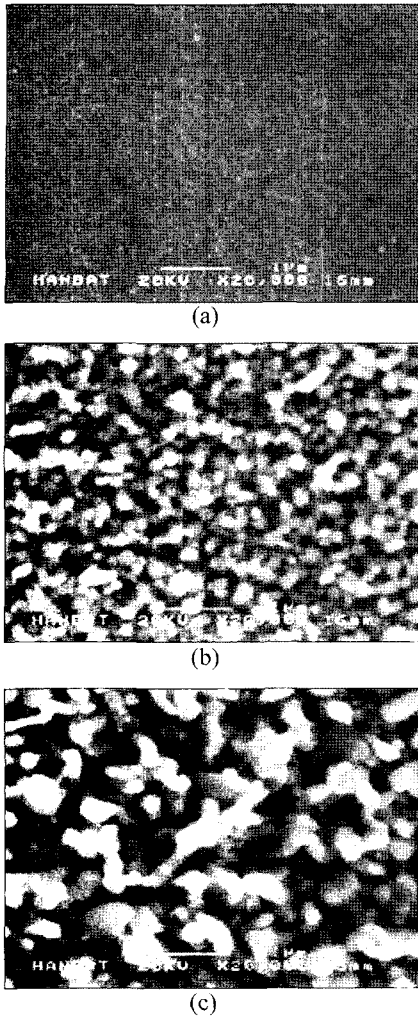


Fig. 8. SEM images of co-sputtered AuSn (a)Au 60wt%, (b)Au 30wt%, (c)Au 5wt%.

보인다. 이는 Sn의 함량이 많아지면, 표면형상이 불균일하며 밀도가 낮은 Sn의 증착특성이 동시증착된 AuSn의 증착 특성을 지배함을 생각 할 수 있다. 그러나 각각의 입자의 형상은 Fig. 5에서 보이는 Sn과 매우 다르다. 입자 형태가 작고 구형으로 변한 것을 설명하기 위해 XRD로 결정구조를 분석하였다.

Fig. 9는 순수한 Au와 Sn 그리고 reflow를 거치지 않은 동시증착 AuSn의 조성에 따른 XRD 회절 데이터이다. 비록 reflow를 하지 않았지만 이미 금속간화합물을 형성함을 알 수 있고 Au의 첨가량에 따라 명확히 다른 회절 특성을 나타내고 있다.

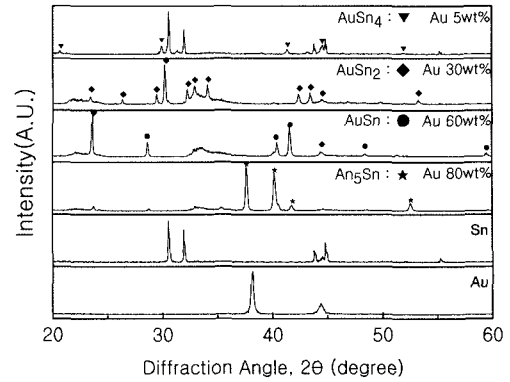


Fig. 9. XRD analysis of solder films with various Au composition.

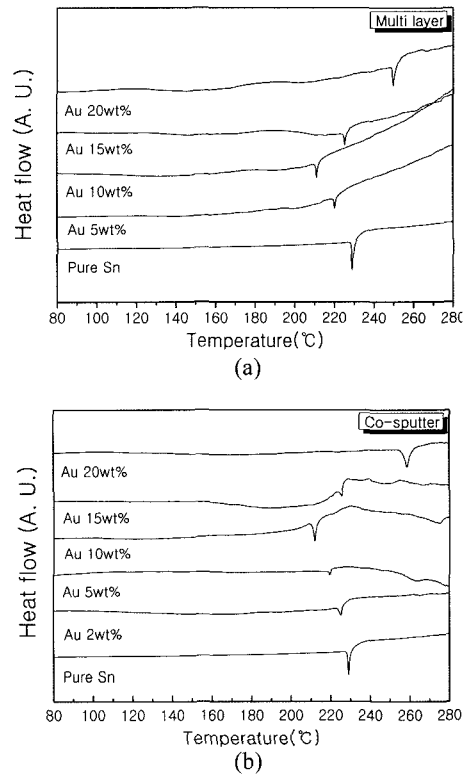


Fig. 10. DSC analysis of solder films (a)Multilayer, (b)Co-sputter.

이들을 JCPDS 카드와 비교 하였을 때 5, 30, 60, 80wt%의 Au조성에서 각각 AuSn₄, AuSn₂, AuSn, Au₅Sn의 회절 특성을 포함함을 알 수 있었다. 특히 Sn의 절대량이 많은 5wt%의 경우 Sn과 AuSn₄

가 혼재된 것으로 나타났다. 또한 reflow 후 EDX 측정으로도 조성의 변화가 나타나지 않았다. 따라서 동시증착된 AuSn은 파워 및 조성에 따라 Au-Sn 금속간화합물이 증착됨을 알 수 있다.

본 실험에서는 설계한 조성을 EDX를 통하여 분석하였고 이를 보완하기 위해 DSC분석을 하였다. Fig. 10에 180°C로 증착한 다층막 AuSn솔더와 30°C에서 동시증착으로 형성한 AuSn 솔더의 DSC 결과를 나타내었다. DSC가 나타내고 있는 각각의 피크는 용점에서 솔더가 녹을 때 열의 흡수에 의한 것이다. 따라서 Fig. 10의 결과는 조성에 따라 용점의 변화가 명확히 나타나고 있음을 보이고 있다. Au-Sn 상태도에서 나타내는 순수 Sn의 용점은 231°C이고, Au 5wt%, 10wt%, 15wt%는 217°C의 공정점과 각각 약 225°C, 217°C, 228°C의 액상선 온도를 갖으며, Au 20wt%는 217°C의 공정점, 252°C의 공정점과 약 260°C의 액상선을 나타낸다. 본 실험에서 나타난 용점은 각 조성에 따라 한 개의 명확한 피크가 나타난다. 이는 공정점에서 보다 액상선에서 변화하는 열의 흡수량이 현저하게 크기 때문에 나타나는 것으로 사료된다.

Fig. 11은 본 실험으로 제조된 AuSn의 전단응력을 나타내고 있다. 본딩 하중은 1kg이며, 본딩 시간은 10sec으로 본딩 하였고 플렉스를 사용하지 않았다. 조성에 따라 녹는점이 다르기 때문에 본딩온도는 DSC 데이터를 바탕으로 설정 되었다. Au 2wt%는 230°C, Au 5wt%는 225°C 그리고 Au 10wt%는 215°C이다. Fig. 11에 나타난 바와 같이 조성의 변화에 따른 전단응력의 변화를 측정하였

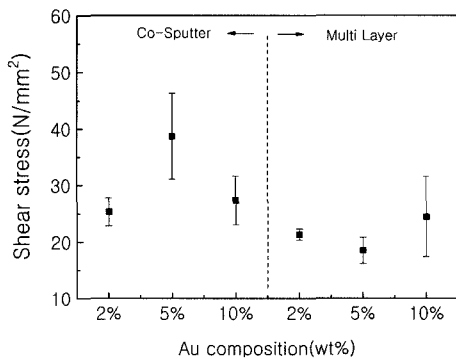
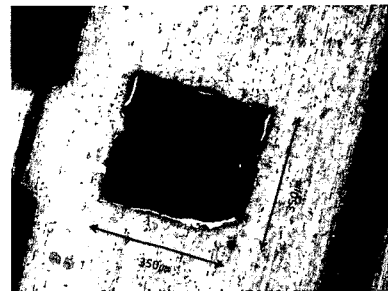


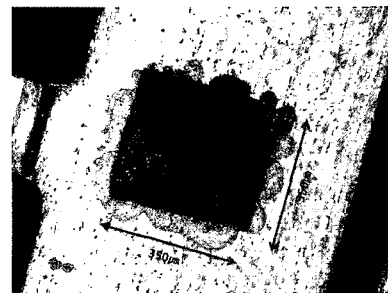
Fig. 11. Shear stress by Au composition and deposition type.

다. 모든 조성에 대하여 5회의 측정이 이루어졌다. 동시증착 솔더의 경우 Au 5wt%에서 가장 높은 전단응력을 나타내었으며, 다층막 솔더에서는 Au 10wt%에서 가장 높게 나타났다. 동일한 조성에서 동시증착의 전단응력이 더 높게 관측 되었다. 이는 동시증착의 경우, 대부분 박막이 금속간 화합물로 구성되어 있어 본딩이 어려울 것으로 예상하였으나, 다소 상이한 결과를 보였다. 이러한 현상에 대해서는 추후 연구가 필요하며, 각 금속간화합물 및 순수 Sn의 산화막 형성 정도에 영향을 받는 것으로 사료된다. 또한 본 실험에서는 전혀 다른 타입의 솔더를 본딩함에 있어 동일한 본딩 하중과 시간을 적용하였기 때문에 해당 조성과 타입이 갖는 본래의 전단응력을 충분히 나타내지는 못했을 수 있음을 예상 할 수 있다. Fig. 12에 그러한 예상을 광학현미경을 사용하여 분석 하였다.

Fig. 12는 본딩을 끝내고 350 μm×350 μm의 칩을 제거한 후 광학 현미경을 이용하여 찍은 사진이다. Au 5wt%의 동일한 조건이지만 Fig. 12(a)와 Fig. 12(b)의 본딩자국형상은 매우 다름을 알 수 있다.



(a)



(b)

Fig. 12. Surface morphology of Ag plated Alloy42 frame with Au 5wt% solder after shear test (a)Co-sputter, (b)Multilayer.

Fig. 12(b)의 경우 칩이 위치했던 자리 주변으로 솔더가 번져있는 자국이 명확하게 나타나지만 Fig. 12(a)의 경우 전혀 나타나지 않고 있다. 두 개의 사진으로 분석하였을때 Fig. 12(a)는 모든 솔더가 본딩에 기여 하고 있고, Fig. 12(b)는 일부의 솔더가 유출되어 Fig. 12(a)보다 적은양의 솔더가 본딩에 기여했음을 알 수 있다. 솔더의 절대량이 감소한 것으로 추정할 수 있다. 따라서 Fig. 11의 결과는 각 솔더의 전단응력을 명확하게 나타내고 있지 않음을 간접적으로 증명하고 있으며, 각 조성의 정확한 전단응력을 분석을 하려면 모든 솔더가 본딩에 기여하는 조건에서 비교 되어야 함을 알 수 있다.

4. 결 론

본 연구에서는 Au와 Sn의 타겟을 독립적으로 사용하고 다층막 방법과 동시증착 방법을 적용하여 AuSn 조성을 제어함으로써 Sn-rich AuSn솔더를 구현하고자 하였다. 각 단계에서의 증착 특성과 조성을 변화를 근거로하여 다음과 같은 결론을 얻었다. 스퍼터로 AuSn솔더를 구현하기 위해서는 Sn의 증착조건을 명확하게 확립해야 한다. Au는 30°C의 낮은 온도 조건에서도 재현성 있는 증착이 가능하였다. 그러나 Sn층은 낮은 온도에서 정확하게 제어되지 않아 조성의 제어가 불가능 하였다. 즉 낮은 온도 일때 Sn의 조도가 불균일한 것에 기인한 것임을 알 수 있었다. 또한 기판온도를 높임으로써 조도를 낮추고, 조성 제어의 정밀도를 높일 수 있음을 증명하였다. 동시증착된 AuSn은 금속간 화합물을 형성함을 알 수 있었으며, Au와 Sn의 파워만으로 매우 쉽게 조성을 조절이 가능함을 보였다. DSC 분석을 통하여 본 실험의 AuSn 솔더가 정확하게 제어 되고 있음이 확인되었다. 또한 동일한 조성을 가져도 솔더가 증착된 방법에 따라 솔더링 특성이 변하는 현상을 관측하였고, 같은 조성이라도 솔더의 증착 타입에 따라서 본딩 조건의 조절이 필요함을 보였다.

감사의 글

본 연구는 산업자원부의 청정생산기술개발사업의 지원에 의해 이루어졌으며, 이에 감사드립니다.

참고문헌

1. S. K. Kang, J. Horkans, P. C. Andricacos, R.A. Caruthers, J. Cotte, M. Datta, P. Gruber, J.M.E. Harper, K. Kwietniak, C. Sambucetti, L. Shi, G. Brouillette and D. Danovitch, "Pb-Free Solder Alloys for Flip Chip Applications", *IEEE-ECTC 49*, 283-288(1999)
2. Zaheed S. Karim' and Rob Schetty, "Lead-Free Bump Interconnections for Flip-Chip Applications", *IEEE-CPMT Int'l Electronics Manufacturing Technology Symposium*, 20(6), 274-278(2000)
3. K.N. TU, K. Zeng, "Reliability Issues of Pb-Free Solder Joints in Electronic Packaging Technology", *IEEE-ECTC Proc. 52*, 1194-1200(2002)
4. Teck Kheng Lee, Sam Zhang, Chee Cheong Wong, Ah Chin Tan, "Instantaneous fluxless bonding of Au with Pb-Sn solder in ambient", *J. Appl. Phys.* 98, 034904(2005)
5. AUBREY J. RAFFALOVICH, "Corrosive Effects of Solder Flux on Printed-Circuit Boards" *IEEE Trans. Hybrids, and Packaging*, 7(4), (1971)
6. Soon-Min Hong, Jae-yong Park, Chang-bae Park, Jaepil Jung, Choon-sik Kang, "Effect of Atmosphere on the Fluxless Wetting Properties of UBM-Coated Si-Wafer to the Pb-Free Solders", *J. Kor. Inst. Met. & Mater.*, 39(1), (2001)
7. Chin C. Lee, Chen Y. Wang, Goran Matijasevic, "A New Bonding Technology Using Gold and Tin Multilayer Composite Structures", *IEEE-TCHMT*, 14, 407-412(1991)
8. G.S. Matijasevic, Chin C. Lee, Chen Y. Wang, "Gold-tin alloy phase diagram and properties related to its use as a bond medium", *Thin Solid Films*, 223, 276-287(1993)
9. Chin C. Lee, Ricky Chuang, "Fluxless Non-Eutectic Joints Fabricated Using Gold-Tin Multilayer Composite", *IEEE-TCPT*, 26, 416-422(2003)
10. Dongwook Kim, Jongsung Kim, and Chin C. Lee, "Fluxless Flip-chip Technique Using Electroplated Sn/Au Bumps", *IEEE-ECTC Proc.*, 1642-1646(2004)
11. B. Djurfors, D.G. Ivey, "Microstructural characterization of pulsed electrodeposited Au/Sn alloy thin films", *Mater. Sci. Eng. B*, 90, 309-320(2002)
12. A Goyal, J Cheong, S Tadigadapa, "Tin-based solder bonding for MEMS fabrication and packaging applications", *J. Micromech. Microeng.*, 14, 819-825 (2004)
13. K Minoglou, ED Kyriakis-Bitaros, E Grivas, S Katsafouros, A Kostopoulos, G Konstadinidis, G Halkias, "Metallic bonding of optoelectronic dies to silicon

- wafers”, *J. Phys. Conf. Ser.*, 10, 393-396(2005)
14. Anhock, S. Oppermann, H. Kallmayer, C. Aschenbrenner, R. Thomas, L. Reichl, H., “Investigations of Au-Sn alloys on different end-metallizations for high temperature applications”, *IEEE-CPMT Int'l Electronics Manufacturing Technology Symposium*, 20(2), 156-165(1998)
 15. S.C. Tjong, H.P. Ho, S.T. Lee, “The interdiffusion of Sn from AuSn solder with the barrier metal deposited on diamond”, *Mater. Res. Bull.* 36, 153-160(2001)
 16. Jong S. Kim, Won S. Choi, Dongwook Kim, Andrei Shkel, Chin C. Lee, “Fluxless silicon-to-alumina bonding using electroplated Au-Sn-Au structure at eutectic composition”, *Mater. Sci. Eng. A*, 458, 101-107(2007)
 17. Takayoshi Tanji, Keiji Yada, Yasuhiro Kawamata, “Diffraction effect of x-rays on the accuracy of quantitative analysis of crystals”, *J. Electron Microsc. Tech.*, 4(2), 163-170(1985)
 18. N.T. Gladkikh, S.I. Bogatyrenko, A.P. Kryshnal, R. Anton, “Melting point lowering of thin metal films (Me = In, Sn, Bi, Pb) in Al/Me/Al film system”, *Appl. Surf. Sci.*, 219, 338-346(2003)