

논문 2007-44SD-4-5

Twin-well Non-epitaxial CMOS Substrate에서의 노이즈 분석을 위한 Substrate Resistance 및 Guard-ring 모델링

(A Substrate Resistance and Guard-ring Modeling for Noise Analysis of Twin-well Non-epitaxial CMOS Substrate)

김 봉 진*, 정 해 강*, 이 경 호*, 박 흥 준**

(Bong-Jin Kim, Hae-Kang Jung, Kyoung-Ho Lee, and Hong-June Park)

요 약

0.35 μ m twin-well non-epitaxial CMOS 공정에서의 substrate noise에 의한 아날로그 회로의 성능 저하를 예측하기 위하여 substrate 저항을 모델링하였다. Substrate 저항 모델 방정식은 P+ guard-ring isolation에 적용되어 측정값과 일치함을 확인하였다. Substrate 저항을 네 가지 형태로 구분하고 각각에 대하여 semi-empirical 모델 방정식을 확립하여, 측정값과 비교하여 rms 오차가 10% 미만이었다. 이 substrate 저항 모델을 guard-ring에 의한 isolation 구조에 적용하기 위하여 모델 방정식과 ADS(Advanced Design System) 회로 시뮬레이션에 의한 결과와 Network Analyzer의 측정 결과를 비교하였고, 비교적 잘 일치함을 확인하였다.

Abstract

The substrate resistance is modeled to estimate the performance degradation of analog circuits by substrate noise in a 0.35 μ m twin-well non-epitaxial CMOS process. The substrate resistance model equations are applied to the P+ guard-ring isolation structure and a good match was achieved between measurements and models. The substrate resistance is divided into four types and a semi-empirical model equation is obtained for each type of substrate resistance. The rms(root-mean-square) error of the substrate resistance model is below 10% compared with the measured resistance. To apply this substrate resistance model to the P+ guard ring structure, ADS(Advanced Design System) circuit simulation results are compared with the measurement results using Network Analyzer, and relatively good agreements are obtained between measurements and simulations.

Keywords : substrate noise analysis, substrate resistance model, guard-ring, isolation

I. 서 론

반도체 공정 기술 및 System-On-Chip(SOC) 기술의 발달에 힘입어, 하나의 칩에 집적할 수 있는 회로 블록의 수가 증가하고 있다. 이러한 집적도의 증가와 함께, 하나의 칩 위에 다수의 아날로그와 디지털 블록이 공존하게 되었고, 이 때 칩의 디지털 블록에서 발생하는 substrate noise는 동일한 칩 위에 존재하는 아날로그

블록의 성능을 크게 저하시킬 수 있다^[1]. 그림 1에서는 substrate noise의 전파 모습을 보여주고 있다.

Substrate noise에 의한 아날로그 회로의 성능 저하는 집적 회로를 설계하는 데에 아주 중요한 고려사항이다. 실제로 이러한 성능 저하를 막기 위해 SOI와 같은

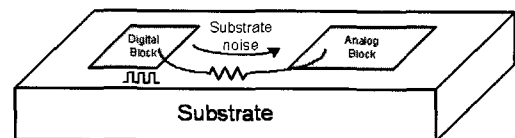


그림 1. Substrate noise의 전달
Fig. 1. Transfer of substrate noise.

* 학생회원, ** 정회원, 포항공과대학교 아날로그 집적 회로 시스템 연구실

(Analog IC Systems Laboratory, POSTECH)

접수일자: 2006년7월21일, 수정완료일: 2007년3월20일

공정 기법^[2]이나 guard-ring의 사용^[3], 또는 새로운 회로적인 기법^[4] 등이 사용되어 왔다. 그러나 이러한 기법들은 실제로 칩을 제작하기 전에는 그 효용성을 증명하기 힘들다. 이에, 본 논문에서는 substrate 저항을 새로이 모델링함으로써 해서 집적회로 칩을 제작하기 전에 ADS(Advanced Design System, AGILENT)와 같은 회로 시뮬레이션 프로그램을 이용해서 아날로그 회로의 substrate noise에 대한 민감도를 시험해 볼 수 있도록 한다. 이 때, guard-ring을 이용한 isolation model을 만들고, 그 위에 저항 모델을 적용해서 guard-ring이 있고 없을 경우의 substrate noise에 대한 isolation을 시험해보고, 실제 칩으로 만들어 측정한 결과와 비교해보았다. 그림 2는 guard-ring의 종류와 위치에 따른 4가지 isolation model이다. 한편, 본 논문에서 사용한 substrate의 종류는 Twin-well Non-epitaxial CMOS substrate로써, mixed-signal CMOS 공정에서 널리 사용하는 substrate 이다.

논문의 본문에 앞서서 기존에 발표된 몇 가지 substrate model에 관하여 살펴보고, 본 논문에서 제안하는 모델의 필요성에 대해서 알아본다.

1984년 발표된 논문 [5]에서는 IC 칩의 substrate를

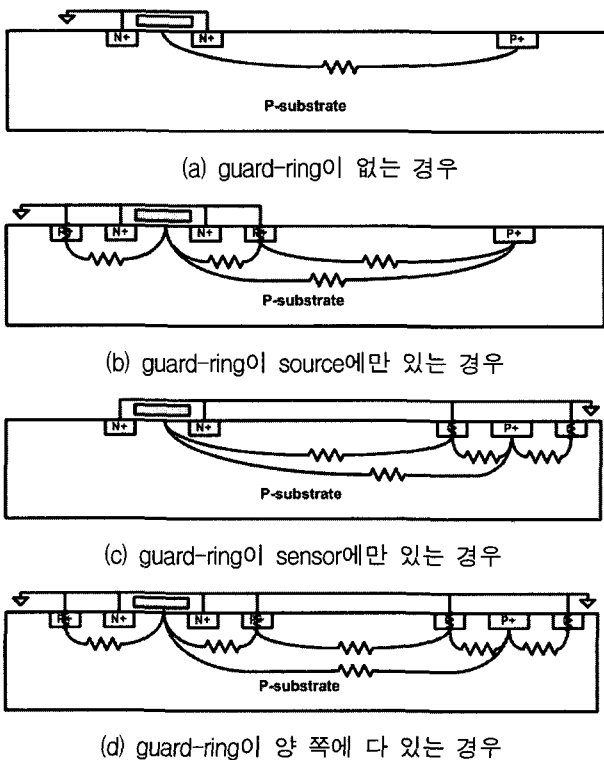


그림 2. Guard-ring 종류에 따른 4가지 isolation 구조
Fig. 2. 4 isolation architectures with different guard-rings.

하나의 커다란 저항 네트워크로 해석하고 있다. 이 논문에서는 substrate 저항을 저항의 단면적에 반비례하고 길이에 비례하는 기본적인 단위 모델을 기본 단위로 하여, 이들의 array 형태로 이루어진 커다란 네트워크 모델을 equivalent하고 manageable한 단위의 network로 간단화하여 모델링하고 있다. 이러한 모델링을 통해서 동일 substrate 위에서 두 point 사이의 저항을 비교적 정확히 모델링 하는 데에 성공했다.

[6]과 [7]에서는 [5]에서 제안된 substrate 에서의 두 point, 즉 두 P+ 사이의 저항을 network 모델이 아닌 empirical 방식을 통해서 두 P+ 사이의 거리와 각 P+의 width를 이용해서 하나의 모델 방정식으로 나타내었다. [5]에서는 기본적인 저항 식을 이용한 network의 간소화에 초점을 맞춘 반면, [6]과 [7]의 논문에서는 두 개의 P+ 사이의 저항 모델 방정식을 이용해 비교적 정확한 substrate 저항을 모델링하고 있다. 이러한 방식은 모델 방정식을 통해 손쉽게 등가회로의 저항 값을 정하고, 이를 회로 시뮬레이터를 통해서 빠르게 시뮬레이션 해 볼 수 있는 장점을 가진다.

한편, [8]에서는 두 개의 P+ 사이의 저항뿐만 아니라, 하나의 P+와 backplane 사이의 저항을 추가로 정의하고 있다. 이 두 가지 저항 모델은 모두 empirical 하게 모델링 되었으며 비교적 간단한 모델 방정식의 형태를 취하고 있고, 실제 substrate noise의 측정과 시뮬레이션 파형을 통해서 모델의 정확성을 나타내고 있다. 그러나 이러한 간단한 모델은 heavily doped CMOS 공정에서 유효한 모델로써, 일반 CMOS 공정과 isolation 테스트를 위한 모델에서는 추가적인 저항 모델이 필요할 것으로 보인다.

마지막으로 [9]에서는 guard-ring을 사용해서 isolation model을 만들고, 이 때의 저항 성분을 R1~R3의 세 가지로 나누어서 모델링 하고 있다. R1은 source에서 guard-ring에 이르는 저항, R2는 guard-ring bottom에서 ground에 이르는 저항, 그리고 R3는 두 개의 P+ contact 사이의 저항이다. 이 때 R3의 경우, [6], [7]과 같이 변수를 P+의 두께와 양 P+의 거리로만 사용하였는데, 이는 본 논문에서 추가한 fringing effect나 그 외의 P+ 크기에 의한 영향을 고려하지 않고 있어 다양한 경우의 R3를 모델링 하기에는 적합하지 않다. 또한 R1의 경우, [9]에서는 R2, R3와 독립적으로 empirical 모델을 사용하고 있는데, 본 논문에서는 이 모델을 R3를 재사용하여 나타냄으로써, substrate 모델의 통일성을 높여주었다.

이상에서 살펴본 바와 같이 본 논문에서는 [5]~[9]에서 제안된 substrate 모델에 비해서 보다 간단하고, 정확하며, 통일성 있는 모델을 제시할 것이다. II 장에서는 먼저 substrate 저항 모델링에 대해서 이야기 할 것이다. Substrate 저항은 크게 R1~R4의 네 가지로 구분되어 모델링 되었고, 각각의 모델 방정식을 만들어 낸 후, 실제 저항 측정 패턴의 측정 결과를 통해서 process 상수들을 구한다. III 장에서는 II 장에서 얻어낸 substrate 저항 모델 방정식을 실제 isolation model의 등가회로에 적용해서 isolation의 정도를 분석한다. IV 장에서는 isolation의 측정 결과 및 ADS 시뮬레이션 결과를 보이고 비교할 것이며, 마지막으로 V 장에서는 논문의 결론을 짓는다.

II. Substrate Resistance Modeling

Substrate 저항의 종류는 크게 4 가지로 나누어 볼 수 있다.

그림 3은 isolation model 중 substrate noise를 생성하는 source와 noise의 영향을 받는 sensor의 양 쪽에 모두 guard-ring이 있는 모델로써, 여기에는 이 4 가지의 저항 모델이 모두 포함되어 있다. 먼저, R1은 source나 sensor로부터 guard-ring까지의 저항, R2는 guard-ring의 바닥으로부터 ground까지의 저항을 나타낸다. R3는 source와 sensor 사이의 coupling 저항으로써, guard-ring이 있을 경우에는 양 쪽 guard-ring 사이의 저항을 나타내고, R4는 guard-ring이 존재 할 경우, source 쪽에서 guard-ring을 거치지 않고 sensor 쪽으로 바로 전달되는 일부 noise의 경로를 나타내는 저항이다.

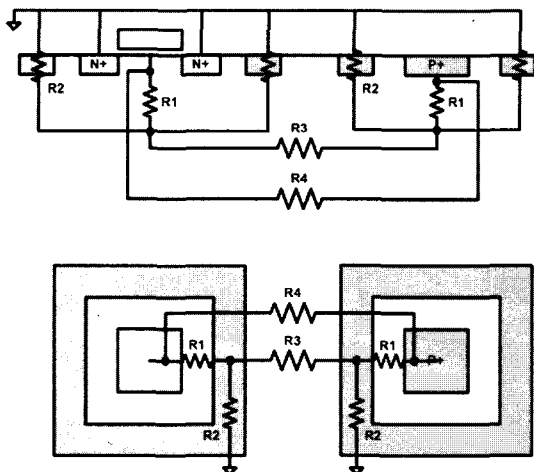


그림 3. Substrate 저항 모델
Fig. 3. Substrate Resistance model.

항이다. 이번 장에서는 이러한 4 가지 저항 중 가장 기본 모델이 되는 R3의 모델링에 대해 먼저 살펴본 후, 이어서 R1, R2, 그리고 R4 모델에 관해서 설명한다.

1. R3 모델링

R3 model은 두 개의 마주 보는 P+ 사이의 저항으로 모델 할 수 있다. 이 때 source 쪽과 sensor 쪽 P+의 size, 즉 가로와 세로의 width, 그리고 space등이 변수가 되어 R3는 각각의 경우에 다른 값을 가지게 된다. R3의 수학적 모델링에 앞서, 일반적인 R3의 모델을 양 쪽 P+의 크기 및 거리와 함께 그림 4에서 보이고 있다.

그림 4에서 왼쪽의 P+는 source, 오른쪽의 P+는 sensor의 역할을 한다. 즉, 왼쪽의 P+에서 발생한 noise 전류가 R3를 따라서 오른쪽의 P+로 전달된다. 그림 상에서 W1은 source나 sensor의 P+에서 중첩되는 부분의 vertical width이고, W1H, W1L은 위, 아래의 겹치지 않는 부분의 vertical width를 나타낸다. 그리고 W2와 W3는 source와 sensor의 horizontal width를 나타내고, 마지막으로 S는 source와 sensor의 거리이다.

R3 저항은 source에서 sensor쪽으로 흐르는 전류의 경로에 따라서 크게 네 가지의 성분으로 나누었다. 첫 번째는 source 에서 sensor 방향으로 직선 방향의 경로에 의한 저항으로 Rs로 정의한다. 이 때, 직선 방향에 의한 전류의 흐름은 왼쪽 P+의 오른쪽 면에서부터 시작해서 오른쪽 P+의 왼쪽 면으로 향한다. 따라서 Rs 모델은 W1과 S의 식으로 나타내었다. R3 저항 모델의 두 번째 성분은 source의 오른쪽을 제외한 면에서부터 sensor의 왼쪽 면을 제외한 면으로 휘어져서 전달되는 경로, 즉 fringing 현상에 의한 저항이다. 이러한 성분을 Rf라고 정의한다. 마지막 두 성분은 source와 sensor의

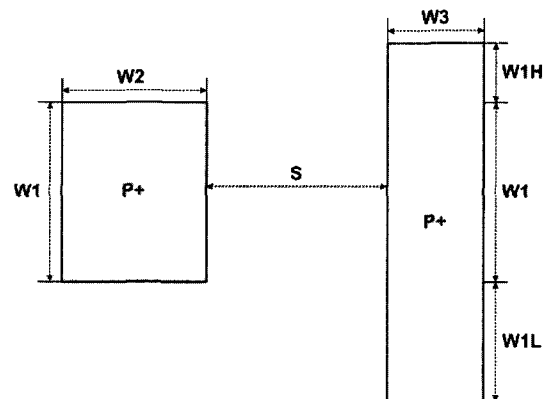


그림 4. R3 모델의 기본 형태
Fig. 4. Basic shape of R3 model.

세로 width의 크기 차이에 의한 저항으로, source의 오른쪽 면을 제외한 면으로부터 sensor의 왼쪽 면으로 나아가는 경로에 의한 것으로 Rph 또는 Rpl 이라고 정의한다. 이 때, W1H에 의한 성분을 Rph, W1L에 의한 성분을 Rpl로 정의한다. R3는 이와 같은 네 가지 저항 성분의 병렬 구조로 이루어져 있다.

Rs 저항 모델은 physical based method를 이용해서 만들어진 기존의 모델^[6]을 사용하도록 하였다. (1)의 식은 [6]에서 정의한 저항 모델 방정식으로써, arc 사인 함수를 포함하고 있다. 이 때, ρ[ohm-m]는 substrate의 resistivity이고, A, B, C는 process parameter들이다. (1)의 식을 Curve-fitting Tool을 사용해서 실제 측정 결과와 fitting 한 결과, (1)의 A, B, C는 각각 16.79, 1, 0.01로 fitting 되었다. 그림 5에서는 측정 결과와 fitting 된 결과를 그래프를 통해서 비교하고 있다.

$$R_s = A \cdot \frac{\rho}{W1} \times \left\{ \frac{\pi}{2} - \sin^{-1} \left(\frac{B \cdot W1}{W1 + C \cdot S} \right) \right\} \quad (1)$$

Rf는 그림 6과 같이 fringing effect에 의해 곡선 모

양으로 흐르는 부분의 저항이다. 이 때, Rph와 Rpl 저항 성분을 포함시키지 않기 위해서 양 쪽 P+의 vertical width를 동일하게 한다. Rf의 모델링에 사용된 변수는 W1, W2, W3, S의 네 가지로 이루어진다.

그림 6에서와 같이 W1, W2, W3는 길이가 늘어날수록 전류의 경로를 넓혀주므로 전류가 보다 쉽게 전달된다. 이 때, W2나 W3의 크기는 W1의 크기에 비해 조금만 커져도 전류가 보다 더 쉽게 전달 될 수 있으므로, W1에 0보다 크고 1보다 작은 상수 B를 곱해서 그 영향을 같도록 해 주었다. 전류는 또한 P+ 사이의 거리인 'S+W2+W3'가 멀수록 전달이 어려워진다. 이와 같은 사항을 고려하여 Rf 모델 식을 (2)와 같이 만들었다.

$$R_f = A \cdot \rho \cdot \left(\frac{S + W1 + W2}{B \cdot W1 + W2 + W3} \right)^C \quad (2)$$

그림 7은 실제 측정을 통해 얻은 Rf의 값과 fitting을 통해 얻은 모델을 그래프를 통해 비교한 결과이다. 이 때, X축의 값은 모델 식에서 괄호 안에 들어가는 분수식의 값이고, Y축의 값은 측정을 통한 Rf의 값 또는

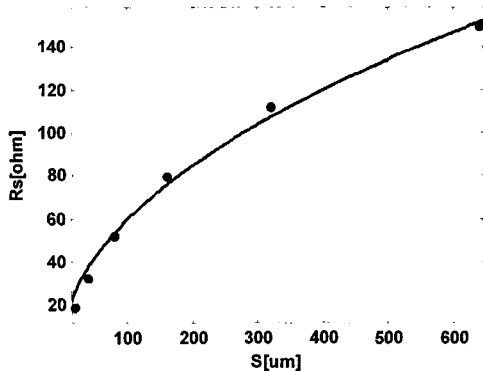


그림 5. Rs 모델 fitting 결과
Fig. 5. The fitting result of Rs model.

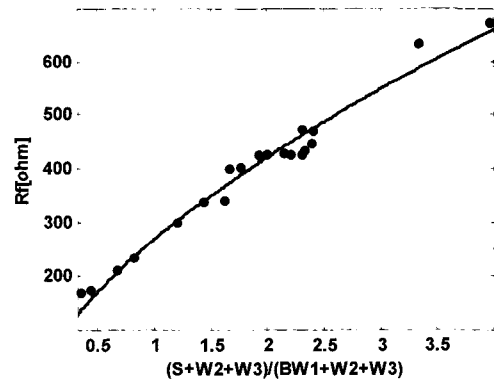


그림 7. Rf 모델 fitting 결과
Fig. 7. The fitting result of Rf model.

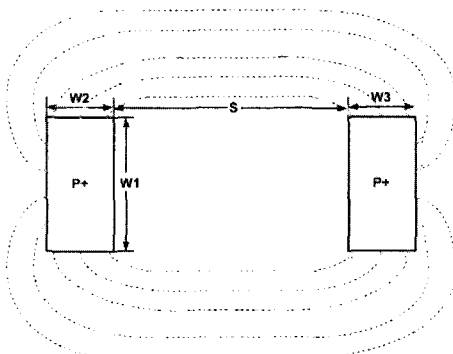


그림 6. Rf 저항을 타고 흐르는 전류 성분
Fig. 6. Current component which flows along Rf.

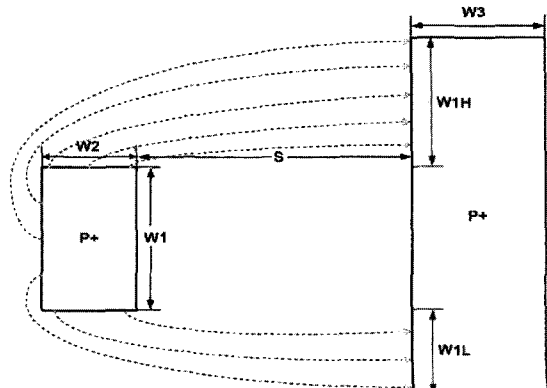


그림 8. Rph, Rpl 저항을 타고 흐르는 전류 성분
Fig. 8. Current component which flows along Rph, Rpl.

fitting 결과인 Rf값을 나타낸다. 측정 결과와 fitting 결과의 RMSE(RMS Error)는 23.19[ohm]로 나타났다. 이는 저항의 값의 평균이 약 400 ohm임을 감안할 때, 약 5.8%의 차이이다. 한편, Fitting을 통해서 A, B, C의 값들은 각각 33.675[1/cm], 0.4, 0.6465로 정해졌다.

Rph는 그림 8과 같이 왼 쪽의 source P+의 윗면과 왼쪽 면에서 출발하여 오른 쪽의 sensor P+의 왼쪽 면 중 위의 W1H로 흐르는 전류 성분과 관련된다. 따라서 Rph의 모델 식은 W1, W2, W1H, S의 식으로 표현된다. 한편, Rpl은 W1H을 W1L로 바꾸어서 동일하게 모델링 할 수 있다.

그림 8에서 W1과 W2가 커지면 noise 전류가 쉽게 흐를 수 있고, 따라서 Rph 저항의 크기는 작아진다. 이때 W1의 영향은 Rf 모델 식에서와 같이 W2에 비해서 작다고 볼 수 있으므로 0보다 크고 1보다 작은 상수 B를 곱하여 W2의 효과와 동일하게 해준다. W1H도 마찬가지로 넓어질수록 전류의 흐름에 도움을 준다. 단, W1H는 width가 0이 될 경우, 그림 11의 위쪽과 같은 전류의 흐름이 없어지므로, Rph의 값이 무한대가 된다. 따라서 Rph의 식에서 'B*W1+W2'와 'W1H'는 분모에서 서로 곱해주었다. 한편, 두 P+의 거리인 'W1+S'는 커질수록 저항의 크기가 증가한다. 이러한 점들을 고려하여 (3)과 같은 Rph의 식이 만들어 졌다. (4)는 동일한 형태의 Rpl의 모델 식이다.

$$R_{ph} = A \cdot \rho \cdot \left(\frac{S+W2}{(B \cdot W1+W2) \cdot W1H} \right)^C \tag{3}$$

$$R_{pl} = A \cdot \rho \cdot \left(\frac{S+W2}{(B \cdot W1+W2) \cdot W1L} \right)^C \tag{4}$$

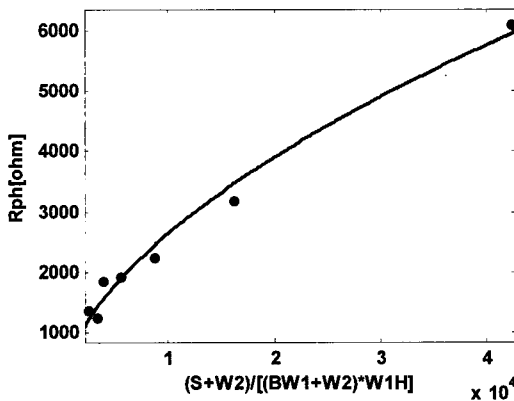


그림 9. Rph 모델 fitting 결과
Fig. 9. The fitting result of Rph model.

그림 9는 측정을 통해 얻은 Rph의 값과 fitting을 통해 얻은 모델을 그래프를 통해 비교한 결과이다. X축의 값은 (3)의 식에서 괄호 안에 들어가는 분수 식의 값을 나타내고 있고, Y축의 값은 측정을 통한 Rph의 값 또는 fitting 결과의 Rph값을 나타낸다. 측정 결과와 fitting 결과의 RMSE(RMS Error)는 245.6으로 나타났다. 이는 저항의 값의 평균이 약 3500 ohm임을 감안할 때, 약 7.0%의 차이이다. Fitting 과정을 통해서 A, B, C의 값은 각각 1.87[1/cm], 0.2, 0.5616로 정해졌다.

R3는 이상에서 설명한 네 가지 저항 모델의 병렬 조합으로 (5)의 식으로 구할 수 있다.

$$\frac{1}{R3} = \frac{1}{Rs} + \frac{1}{Rf} + \frac{1}{Rph} + \frac{1}{Rpl} \tag{5}$$

2. 기타 저항 모델링

R1은 source나 sensor에서 guard-ring까지의 저항으로, guard-ring의 형태가 모델링에서 중요한 역할을 한다. 이러한 guard-ring의 형태는 그림 10와 같이 보통 사각형의 모양을 하고 있다. R1의 모델링은 이러한 물리적 형태를 바탕으로 모델링을 하였다.

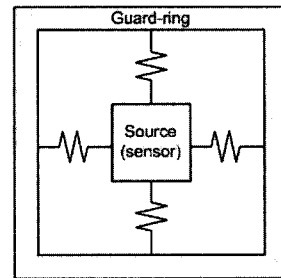


그림 10. Guard-ring의 외형
Fig. 10. Shape of guard-ring.

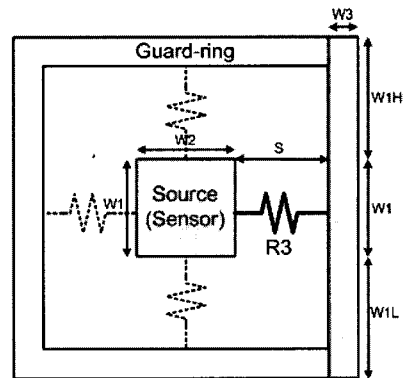


그림 11. 4개의 R3 병렬 조합으로 이루어진 R1
Fig. 11. R1 which consists of a parallel combination of 4 R3's.

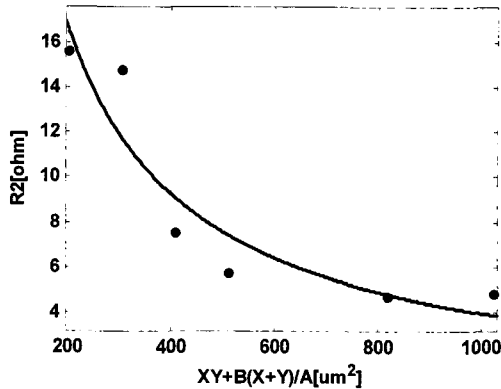


그림 12. R2 모델 fitting 결과
Fig. 12. The fitting result of R2 model.

그림 10에서 source와 guard-ring 사이에 보이는 4개의 저항은 R1을 이루는 4개의 병렬 저항으로, 이 4개 저항들의 병렬 조합이 R1을 구성한다. 따라서 이들 각각의 저항 모델을 찾게 되면 R1의 모델링이 완성된다. 그림 11은 이 들 각각의 저항이 W1, W2, W3, W1H, W1L, S의 6 가지 변수를 가지는 R3의 모델로 각각 표현될 수 있는 것을 보인다. 즉, R1의 모델 식은 4개의 R3 모델 식의 병렬조합이라고 볼 수 있는데, guard-ring의 모습이 정사각형이고 source나 sensor에서의 거리가 모두 일정할 때, R1의 모델 식은 (6)과 같이 표현할 수 있다.

$$R1 = \frac{R3}{4} \tag{6}$$

한편, guard-ring의 모습이 직사각형이고 source나 sensor에서의 거리도 일정하지 않을 때, R1의 모델 식은 (7)과 같다. 이 때, R3a, R3b, R3c, R3d는 source나 sensor로부터 guard-ring 각각의 면으로의 R3 저항 값을 의미한다.

$$R1 = \frac{1}{R3a} + \frac{1}{R3b} + \frac{1}{R3c} + \frac{1}{R3d} \tag{7}$$

R2는 guard-ring의 bottom으로부터 ground에 이르는 저항으로써, [8]의 논문에서의 Z11 식을 참고로 하였다. 즉, P+의 가로와 세로의 길이를 x와 y라고 할 때, 'x*y'와 'x+y'를 변수로 하여, R2의 크기가 이 두 변수에 반비례함을 이용하여 (8)의 모델 식을 만들었다. 이 때, ρ[ohm-cm]는 resistivity이고, 상수 A, B, C는 process 상수들이다.

$$R2 = \frac{\rho}{A \cdot area + B \cdot perimeter + C} = \frac{\rho}{A \cdot xy + B \cdot (x + y) + C} \tag{8}$$

그림 12는 실제 저항 측정 패턴을 이용한 R2의 fitting 결과 그래프이다. Fitting 결과, A = 0.00194[1/(um)²], B = 0.0002[1/um], C = 0.088의 값을 얻을 수 있었다. 한편, RMSE는 2.035[ohm]이고, percentage로 나타내어보면 약 23.9%의 오차임을 확인했다.

R4는 source로부터 guard-ring을 거치지 않고 바로 sensor로 전달되는 일부의 전류의 이동 경로를 담당하는 저항 성분으로, 실제로 R1~R3에 비해서 상당히 큰 값을 가지게 되고, 따라서 R1~R3에 비해서 isolation 효과에 비교적 작은 영향을 주게 된다. 그러나 R4는 isolation 모델을 설명하는 데에 꼭 필요한 성분으로써, R3 모델을 적용해서, 그 값에 10배를 곱해준 값을 사용하였다.

III. Substrate Isolation Modeling

Substrate isolation model은 guard-ring의 유무와 위치에 따라 4 가지로 모델링 되었다. 각각 guard-ring이 없을 경우, guard-ring이 source 쪽이나 sensor 쪽에만 따로 있는 경우, 그리고 source와 sensor 양 쪽에 모두 guard-ring이 존재 하는 경우를 말한다. 이 4가지의 모델은 그림 13에서 평면과 단면 및 이 때 필요한 저항 모델들으로써 나타내고 있다.

그림 13에 보이는 4가지의 isolation model에서 각각의 경우에 대해서 source 와 sensor 사이의 거리는 100um, 200um, 400um의 3가지로 구성되어 있다. 따라서 총 12가지의 경우에 대해서 S-parameter 측정을 통해서 S21 값을 구할 수 있다. 또한 이 경우들에 대한 등가회로를 ADS를 통해서 구현하고 S-parameter 시뮬레이션을 통해서 S21 값을 구하고, 이를 측정값과 비교하게 된다.

한편, 위의 4가지 모델 이외에 sensor 쪽에만 guard-ring을 했을 경우에 대해서 guard-ring의 width를 변경시켰을 경우와 guard-ring과 sensor 사이의 거리를 변경시켰을 경우의 두 가지를 추가로 측정하고, ADS S-parameter 시뮬레이션을 해 보았다. 이때의 isolation 결과 또한 뒤에서 알아 볼 것이다.

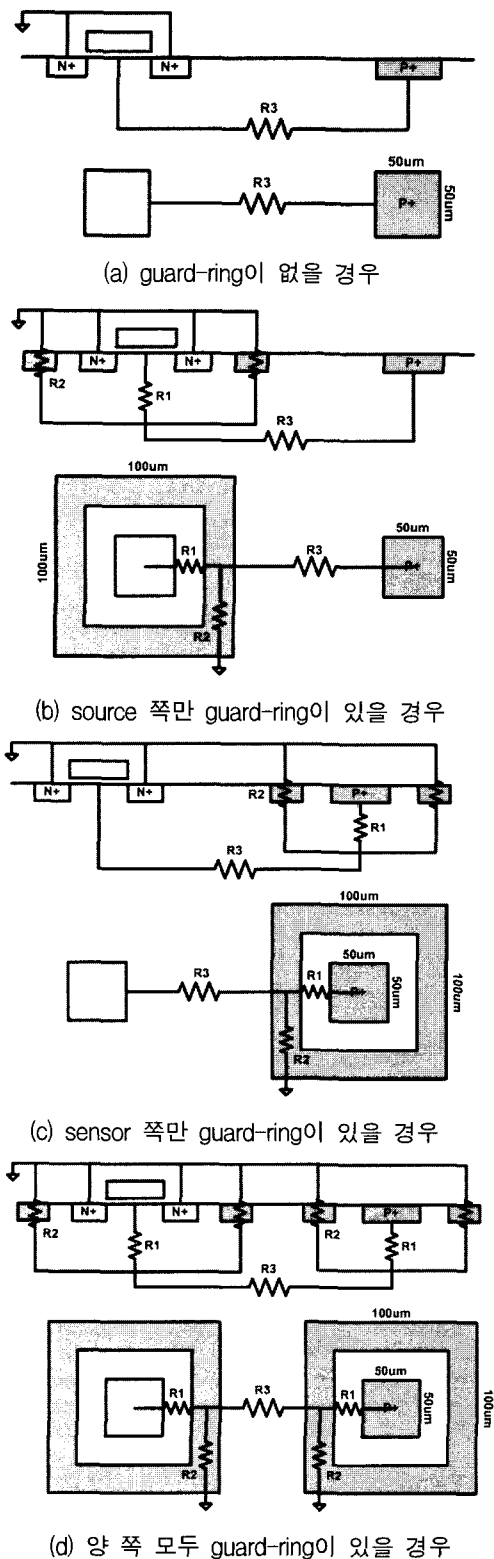


그림 13. 4 가지 isolation models
Fig. 13. 4 different isolation models.

IV. 측정 및 시뮬레이션 결과

1. 측정 및 시뮬레이션 설정

그림 13의 (a)~(d)에 이르는 isolation model들은 그림 14과 같은 모습의 레이아웃으로 설계되어 실제 칩으로 구현되었다. 칩의 공정은 0.35um 공정을 사용하였고, source 쪽의 MOSFET은 NMOS로써 그 크기는 width와 length가 동일하게 50um이다. 그림 14에서 (a)는 guard-ring이 없는 경우의 isolation 측정 패턴의 모습이고, (b)는 source에만 있는 경우, (c)는 sensor에만 있는 경우, 그리고 (d)는 양 쪽에 모두 있는 경우이다. 각각의 경우에 대해서 distance는 100um, 200um, 400um

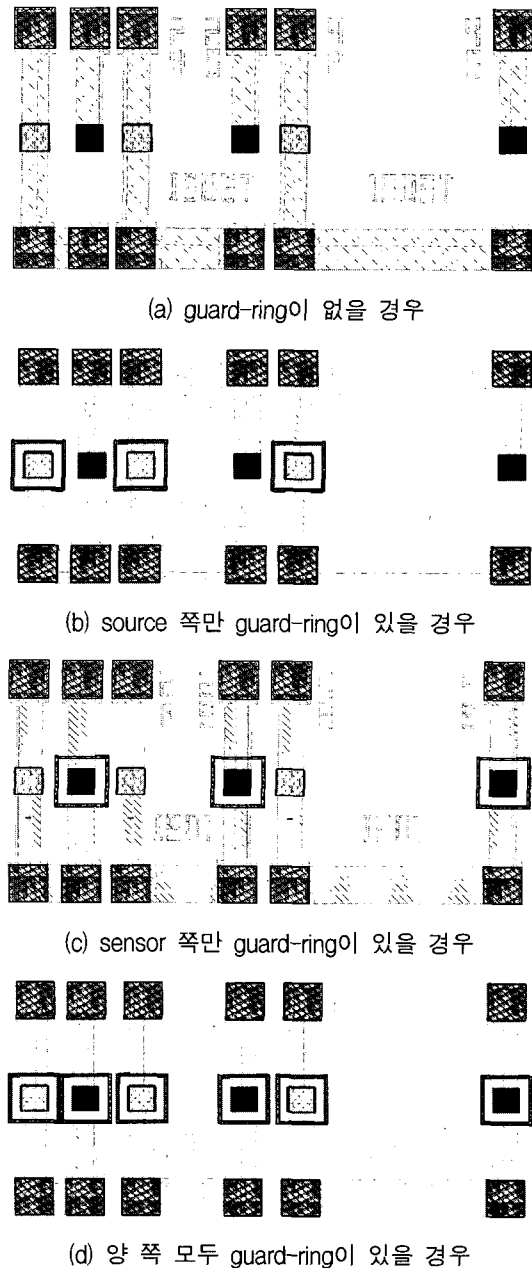


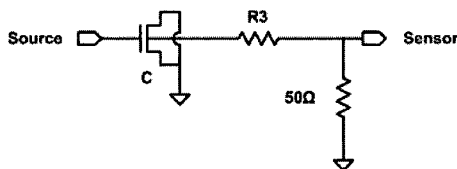
그림 14. guard-ring의 종류에 따른 isolation model의 레이아웃

Fig. 14. Layout of isolation models with different guard-rings.

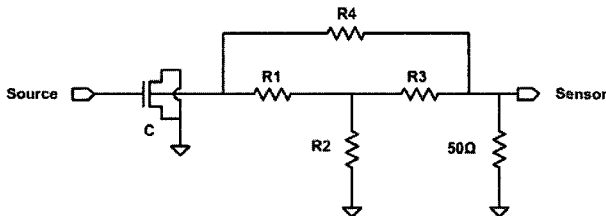
로 달리하여 측정을 할 수 있도록 하였다.

측정은 VNA(Vector Network Analyzer)를 사용해서 source 쪽과 sensor 쪽의 2-port network에 대한 S-parameter를 추출했다. 추출된 S-parameter 중에서 isolation의 척도인 S21의 magnitude 값을 이용해서 주파수에 대한 isolation의 정도를 확인할 수 있었다. 이때, Bias Tee를 사용해서 MOS capacitor에 3.3V의 DC 바이어스를 가해 주었고, On-chip Calibration을 통해서 VNA의 측정 결과가 보다 정확할 수 있도록 하였다.

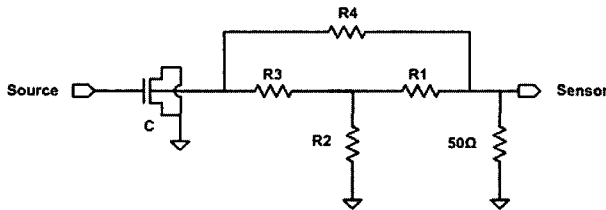
그림 14의 각각의 모델에 대한 등가회로를 MOS와 저항 등을 이용해서 ADS에서 회로를 구성하고, 양쪽 끝단에 50 ohm의 termination 저항을 달아서 2-port S-parameter 시뮬레이션을 하였다. 실제 측정 시에는 VNA의 내부에 50 ohm의 저항이 있으므로 동일한 조



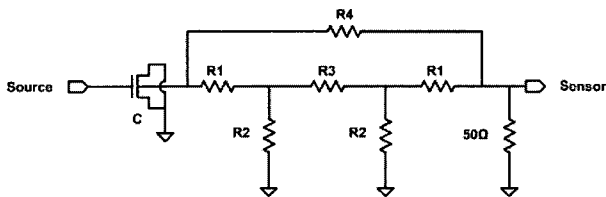
(a) guard-ring이 없을 경우



(b) source 쪽만 guard-ring이 있을 경우



(c) sensor 쪽만 guard-ring이 있을 경우



(d) 양 쪽 모두 guard-ring이 있을 경우

그림 15. guard-ring의 종류에 따른 isolation model의 등가회로

Fig. 15. Equivalent circuits of isolation models with different guard-rings.

표 1. 계산된 R3 저항값

Table 1. Calculated R3 values.

| | 100 μ m | 200 μ m | 400 μ m |
|--------------|--------------|--------------|--------------|
| No guard | 350 Ω | 457 Ω | 636 Ω |
| Source guard | 349 Ω | 502 Ω | 744 Ω |
| Sensor guard | 336 Ω | 481 Ω | 712 Ω |
| Both guard | 275 Ω | 478 Ω | 771 Ω |

표 2. 계산된 R1, R2, R4 저항값

Table 2. Calculated values of R1, R2, and R4.

| | R1(source) | R1(sensor) | R2 | R4 |
|------|---------------|---------------|---------------|-------|
| 저항 값 | 55.6 Ω | 56.2 Ω | 10.5 Ω | 10*R3 |

건이다. 그림 15는 그림 14에 해당하는 각각의 등가회로를 ADS로 구현한 것이다.

각각의 경우에 대해서 R의 값들은 2장에서 모델링을 통해서 얻은 R1~R4의 저항 식과 W1에서 S에 이르는 6가지 변수를 사용해서 계산을 통해서 구한 후, 그림 14에 사용된 각 저항의 값으로 사용되었다. 표 1은 계산된 R3 저항의 값들을 정리한 것이고, 표 2는 R1, R2, R4의 계산된 값이다. R4의 값은 각각의 거리에 대해서 R3의 값을 구한 후, 그 값에 10배를 곱해준 값을 사용하였다. 각각의 경우에 대해서 100 μ m, 200 μ m, 400 μ m의 세 가지의 경우에 대한 저항 값의 변화를 반영하면서 시뮬레이션을 하였다.

S-parameter 시뮬레이션의 주파수 range는 21MHz에서 4.2GHz에 이르도록 하여 측정과 동일하도록 하였으며, 주파수 step은 21MHz로 고정하였다.

2. 측정 및 시뮬레이션 결과

그림 16은 guard-ring이 없을 경우의 S21의 magnitude의 주파수에 대한 변화를 거리에 따라서 시뮬레이션 및 측정 결과를 통해서 비교하고 있다. 그 결과, 주파수에 따른 S21 magnitude의 경향이 비슷하게 나왔으나, 고주파 영역에서의 측정값이 다소 흔들리는 모습을 보여서 시뮬레이션 결과와 차이를 보였다. 한편, sensor와 source 사이의 거리가 멀어질수록 고주파 영역에서의 S21의 크기가 감소하는 것으로 보아, 거리가 크면 클수록, 즉 저항이 클 때 고주파 영역의 isolation의 효과가 커짐을 알 수 있다

그림 17은 guard-ring이 source와 sensor 양쪽에 모두 존재하는 경우의 S21의 magnitude의 주파수에 대한 변화를 거리에 따라서 시뮬레이션 및 측정 결과를 통해서 비교하고 있다. 그 결과 약 700MHz까지의 주파수 영역에서는 시뮬레이션과 측정 결과가 일치하는 것

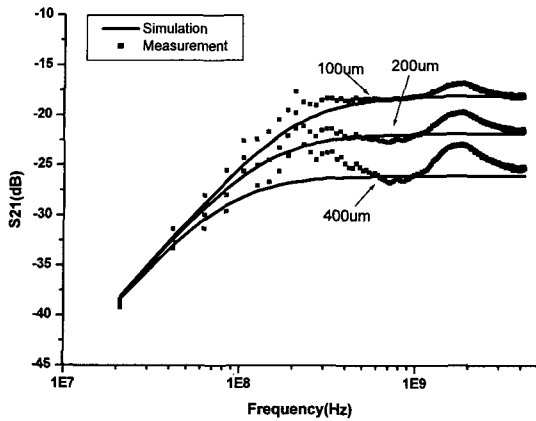


그림 16. 거리에 따른 S21 magnitude 그래프 (no guard)
 Fig. 16. S21 magnitude plot with different distance between source and sensor.(no guard)

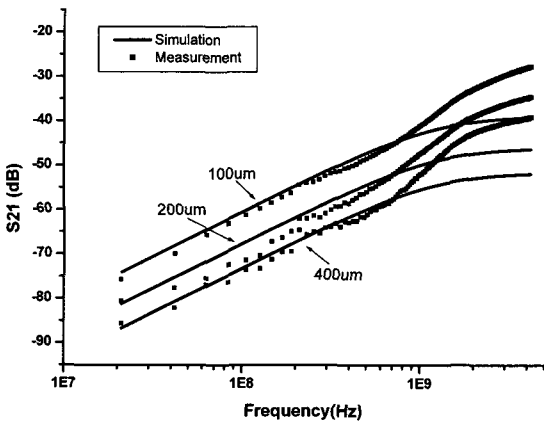


그림 17. 거리에 따른 S21 magnitude 그래프 (both guard)
 Fig. 17. S21 magnitude plot with different distance between source and sensor.(both guard)

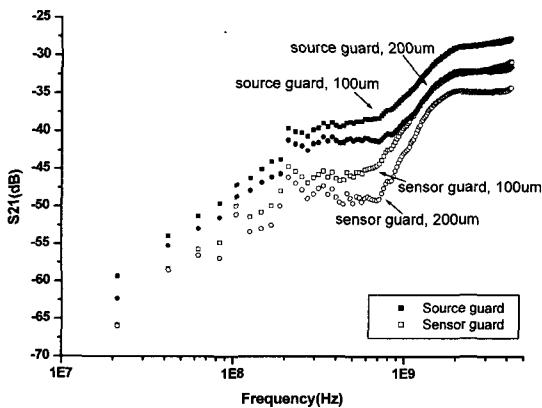


그림 18. source guard와 sensor guard 경우의 isolation 정도의 차이
 Fig. 18. Difference in isolation between source guard and sensor guard.

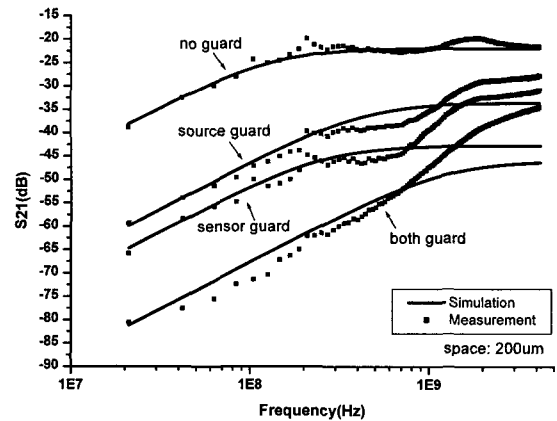


그림 19. guard-ring의 유무에 따른 isolation의 차이
 Fig. 19. Difference in isolation with different guard-rings.

을 확인했다. 그러나 그 이상의 주파수 영역에서는 약 10dB 가량의 차이를 보이며 일치하지 않는 결과를 보이고 있다.

그림 18에서는 source나 sensor의 한 쪽에만 guard-ring을 했을 경우의 isolation을 비교한 그래프이다. 그 결과, sensor 쪽 guard-ring의 경우가 source 쪽 guard-ring에 비해서 isolation의 효과가 크다는 것을 알 수 있었다. 이러한 결과의 원인은 그림 15의 등가회로를 통해서 알아볼 수 있다. Source 쪽에서 발생한 noise current는 R4의 경로와 R1 ~ R3에 이르는 경로를 따라 sensor 쪽으로 이동한다. 이 때, 그림 15 (b)와 (c)에서 source와 sensor 양단에 걸리는 저항은 동일한 구조이므로, noise 전류는 그림 15 (b)와 (c)에서 동일하게 R4와 R1 ~ R3에 나누어 흐른다. 이 때, R4를 통해 sensor에 도착한 일부 noise 전류는 50 ohm의 termination 저항과 R3 또는 R1을 만나게 되는데, 그림 15 (c)의 경우인 R1을 만났을 경우에 더 많은 noise 전류가 다시 guard-ring을 타고 ground로 빠지게 된다. 이러한 차이에 의해서 sensor쪽의 guard-ring이 약 5dB 가량의 isolation에서의 향상 효과를 가져왔다.

그림 19에서는 source와 sensor의 거리가 200um 떨어져 있을 때, guard-ring의 유무에 따른 isolation의 효과를 하나의 그래프에 나타내어 비교해 보았다. 저주파 영역에서는 guard-ring의 사용에 따른 차이가 크게 나타난다. 200MHz까지의 결과를 평균 했을 때, source guard-ring은 guard-ring이 없는 경우에 비해 약 20dB의 isolation 효과가 좋고, sensor guard-ring은 이보다 5dB가 추가로 증가했다. Isolation의 효과가 가장 크게 나타나는 양쪽 guard-ring의 경우에는 sensor guard-

ring에 비해서 15dB가 더 증가하는 것으로 확인되었다. 이와 같은 guard-ring의 영향은 약 700MHz까지 유효하게 나타났다.

V. 결 론

본 연구에서는 isolation 모델을 실제 칩으로 측정하였는가 하면, isolation model을 실제 R, C의 등가회로로 모델링 하였다. 이러한 R, C의 등가회로가 제대로 동작하기 위해서 substrate 저항의 모델링이 필수적으로 요구되었고, R1~R4의 substrate 저항을 성공적으로 모델링 하였다. R1~R4의 substrate 저항 식은 실제 칩으로 제작된 isolation model의 레이아웃의 각종 크기 정보를 입력해서 isolation 모델의 모든 저항 성분의 값을 얻게 하였다. 이 값들은 isolation model에 바로 적용되어 ADS 시뮬레이터의 S-parameter 시뮬레이션을 통해서 isolation의 정도를 알아볼 수 있었다. 그리고 이러한 결과는 실제 측정 결과와 비교되었고, 고주파 영역에서 약간의 차이를 보였으나, 대체적으로 거의 일치하는 경향을 확인할 수 있었다. 이는 역으로, substrate 저항 모델이 얼마나 정확하게 모델링 되었는지를 의미한다고 볼 수 있다. 한편, advanced isolation model에서는 보다 세밀화된 guard-ring의 모델을 제시하고, 고주파 영역에서의 source와 sensor 간의 거리와 guard-ring의 두께 및 sensor와 guard-ring 사이의 거리에 따른 isolation을 비교함으로써 고주파 영역에서 guard-ring을 사용하는 데에 있어서 방향을 제시하였다.

참 고 문 헌

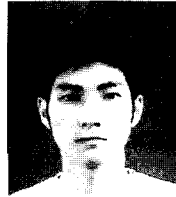
- [1] M. Xu, D. K. Su, D. K. Shaeffer, T. H. Lee, and B. A. Wooley, "Measuring and modeling the effects of substrate noise on the LNA for a CMOS GPS receiver," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 3, pp. 473-485, March 2001.
- [2] I. Rahim, I. Lim, J. Foerstner, and B. Y. Hwang, "Comparison of SOI versus bulk silicon substrate crosstalk properties for mixed-mode IC's," in *Proc. IEEE Int. SOI Conf.*, 1992, pp. 170-171.
- [3] D. K. Su, M. Loinaz, S. Masui, and B. A. Wooley, "Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits," *IEEE J. Solid State Circuits*, vol. 28, pp. 420-429, April 1993.
- [4] D. J. Allstot, S. Chee, S. Kiaei, and M. Shrivastawa, "Folded source coupled logic vs. CMOS static logic for low-noise mixed-signal IC's," *IEEE Trans. Circuits and Syst.-I*, vol. 40, pp. 553-563, Sept. 1993.
- [5] Thomas A. Johnson, Ronald W. Knepper, Victor Marcello, Wen Wang, "Chip Substrate Resistance Modeling Technique for Integrated Circuit Design," *IEEE Transactions on Computer-Aided Design*, vol. CAD-3, no. 2, April 1984.
- [6] L. Deferm, C. Claeys, and G. J. Declerk, "Two- and three-dimensional calculation of substrate resistance," *IEEE Trans. Electron Devices*, vol. 35, pp. 339-351, March 1988.
- [7] Simon Kristiansson, Shiva P. Kagganti, Tony Ewert, Fredrik Ingvarson, Jorgen Olsson, Kjell O. Jeppson, "Substrate Resistance Modeling for Noise Coupling Analysis," *IEEE ICMTS*, March 2003.
- [8] Brian E. Owens, Sirisha Adluri, Patrick Birrer, Robert Shreeve, Sasi Kumar Arunachalam, Kartikeya Marayam, Terri S. Fiez, "Simulation and Measurement of Supply and Substrate Noise in Mixed-Signal ICs," *IEEE Journal of Solid State Circuits*, vol. 40, no. 2, February 2005.
- [9] Kuntal Joarder, "A simple approach to modeling cross-talk in integrated circuits," *IEEE Journal of Solid-State Circuits*, vol. 29, pp.1212-1219, October 1994.

— 저 자 소 개 —



김 봉 진(학생회원)
2004년 포항공과대학교 전자전기
공학과 학사.
2006년 포항공과대학교 전자전기
공학과 석사.

<주관심분야 : CMOS 고속 입출력 회로 설계,
USB2.0 PHY, Serial ATA PHY, HDMI PHY, 클
럭 생성 및 동기회로(PLL, DLL)>



정 해 강(학생회원)
2005년 한양대학교 전자컴퓨터
공학과 학사.
2005년 포항공과대학교 전자전기
공학과 석박사통합과정.

<주관심분야 : CMOS 고속 입출력 회로 설계,
Signal Integrity, Power Integrity>



이 경 호(학생회원)
1997년 포항공과대학교 전자전기
공학과 학사.
1999년 포항공과대학교 전자전기
공학과 석사.
2004년 포항공과대학교 전자전기
공학과 박사과정.

<주관심분야 : CMOS 고속 입출력 회로 설계,
Signal Integrity, Power Integrity, 도선 모델링>



박 흥 준(정회원)
1979년 서울대학교 전자전기
공학과 학사.
1981년 한국과학기술원 전자전기
공학과 석사.
1989년 University of California,
Berkeley, 전자공학 박사.

<주관심분야 : CMOS 고속 입출력 회로 설계,
CMOS 아날로그 회로 설계, 신호 보존성 및 도선
모델링>