

논문 2007-44SD-4-13

부분 재구성 방법을 이용한 재구성형 FIR 필터 설계

(Reconfigurable FIR Filter Design Using Partial Reconfiguration)

최 창 석*, 이 한 호**

(Chang-Seok Choi and Hanho Lee)

요 약

본 논문은 부분 재구성 설계방법을 이용하여 Xilinx Virtex4 FPGA로 구현된 재구성형 FIR 필터의 구조를 제시한다. 설계한 재구성형 FIR 필터는 저 전력 소비, 자율적 채택, 재구성 능력 등 모든 목적에 부합하는 재구성 가능한 디지털 신호처리 구조이며, 다양한 주파수 응답에 적용 할 수 있는 FIR 필터이다. 구현된 재구성형 FIR 필터는 재구성 모듈의 추가 또는 제거를 통한 설계의 유연성과 면적 효율성을 보장하며, 다양한 차수의 필터연산 수행이 가능하다. 제안된 부분 재구성형 FIR 필터는 기존 FIR 필터의 설계방법과 비교하여, 면적 효율성, 설계의 유연성 및 구성 시간의 향상을 보인다.

Abstract

This paper presents our implemented, synthesized and tested on demand and partial reconfiguration approaches for FIR filters using Xilinx Virtex4 FPGAs. Our scope is implementation of a low-power, area-efficient autonomously reconfigurable digital signal processing architecture that is tailored for the realization of arbitrary response FIR filters on Xilinx Virtex4 FPGAs. The implementation of design addresses area efficiency and flexibility allowing dynamically inserting and/or removing the partial modules to implement the partial reconfigurable FIR filters with various taps. This partial reconfigurable FIR filter design shows the configuration time improvement, good area efficiency and flexibility by using the dynamic partial reconfiguration method.

Keywords : Reconfigurable FIR filter, partial reconfiguration, reconfigurable architecture.

I. 서 론

FIR 필터는 디지털 신호처리를 위한 다양한 응용분야에 광범위하게 사용되는 필터이다. 많은 응용분야 (software define radio, image, audio/video processing and coding, sensor filtering 등)에서 전력소모, 처리 속도의 향상은 물론 시스템 호환성 및 재사용성의 요구를 충족시켜야 하는 현시점에서는 재구성이 가능하도록 하드웨어를 설계하는 것이 필요하다. 특히 항공우주분야 같은 곳에서는 다양한 내부 및 외부 요인에 대응 할 수

있는 무정지형(fault tolerant) FIR 필터의 필요성은 더욱 크다.

본 논문에서는 모든 목적(저전력, 자율적 채택, 재구성 능력 등)에 부합하고, Xilinx Virtex4 FPGA로 구현된 부분 재구성형 FIR 필터 구조를 제안한다. FPGA는 디지털 회로의 구현에 사용되는 프로그램 가능한 장치이다. FPGA는 구성 비트 스트림(bit-stream)을 통해 그 기능을 수행 할 수 있는 로직 셀들로 구성되어 있다. 대다수의 FPGA 시스템들은 정적으로만 구성(Statically configurable)된다. 정적 구성의 의미는 시스템의 동작 전에 완벽히 장치가 구성되어야 함을 의미한다. 만약 새로운 시스템으로 재구성을 하려면, 반드시 시스템의 동작을 멈추고 다시 FPGA를 재구성해야 했다. 그러나 몇몇 FPGA들은 내부의 로직을 부분 비트스트림(Partial bit-stream)을 이용하여 동적으로 부분적인 재구성(Dynamic partial reconfiguration)을 지원한다. 동

* 학생회원, ** 정회원 인하대학교 정보통신공학부
(School of Information and Communication
Engineering, Inha University)

※ 본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음
(ITA-2006-C1090-0603-0019)

접수일자: 2006년10월30일, 수정완료일: 2007년3월13일

적 부분 재구성은 시스템 또는 장치가 동작하고 있음에도 영향을 미치지 않으면서 FPGA의 일부가 부분적으로 재구성됨을 의미한다.^[1]

FIR 필터는 선형위상 특성 및 안정성이 좋기 때문에 많은 응용분야에 사용되는 특별한 디지털 필터이다. 그러나 특정 시스템이 원하는 조건을 충족시키기 위해서는 여러 차수의 필터 연산이 필요하며, 이는 많은 수의 계수를 필요로 하므로 많은 곱셈기 및 덧셈기가 필요하다. 이러한 이유로 FPGA로 구현함에 있어서 많은 면적(slice)의 사용을 필요로 한다. 그러므로 일반적인 FPGA 설계에 있어서 고차의 연산을 필요로 하는 실시간 재구성 FIR 필터의 구현은 특정 손해를 감수해야 한다. 대표적인 것은 장치를 재구성 하기위해 사용되는 재구성 시간(Reconfiguration time)이다. 이는 재구성 하려는 장치와, 재구성 하는 방법에 의존하며, 이런 경우에 부분 재구성 기술이 사용 될 수 있다. 높은 차수의 연산을 수행하는 FIR 필터는 그 구조에 있어서 유사성이 많기 때문에 부분 재구성 기술을 사용하면 고차 FIR 필터의 구현에 있어서 계수의 유연성 및 면적 효율적인 설계가 가능하며, 재구성 오버헤드를 줄일 수 있다.

II. 부분 재구성 설계 방법

다수의 하드웨어 연구가들로부터 다양한 부분 재구성 방법론(JBits, PARBIT등)은 끊임없이 제시되어 왔다.^{[1][2]} 그러나 이러한 방법들은 하위레벨(Gate level)에서의 구현방법이어서 실제 시스템에 적용시키기에는 어려움이 많았다. 그래서 시스템 레벨에서 모듈을 기반으로 하는 부분 재구성 방법이 Xilinx로부터 제안 되었고, 최근에는 이전의 방법론 보다 더 유연성 있는 설계를 보장하는 부분 재구성 방법론을 제시하였다.^{[3][4]}

새롭게 지원되는 부분 재구성 방법론은 그 설계 방법에 있어서 두 가지 주된 특징이 있다. 하나는 최근 가장 많이 사용되는 Virtex4 계열의 FPGA 에서 Slice-based 버스 매크로(Bus macro)를 이용하여 부분 재구성이 가능하도록 지원하며, 다른 하나는 이전의 설계 방법에서는 지원하지 못했던 부분 재구성 모듈(Partial Reconfiguration Module)을 위한 유연성 있는 면적 제약조건을 할당 할 수 있도록 지원하는 것이다.

1. Slice-based 버스 매크로

Slice-based 버스 매크로는 재구성 모듈과 기본모듈, 재구성 모듈과 재구성 모듈사이의 고정된 라우팅 채널

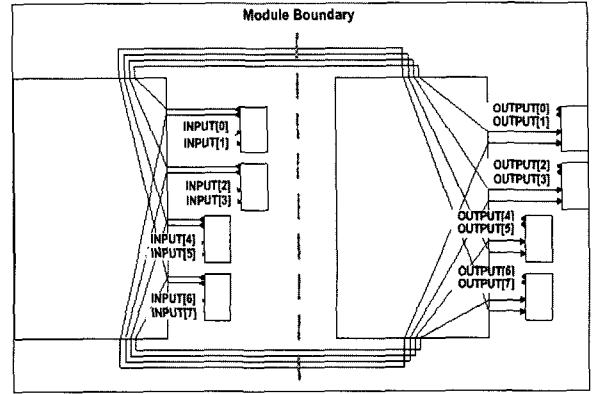


그림 1. Slice-based 버스 매크로
Fig. 1. Slice-based bus macro.

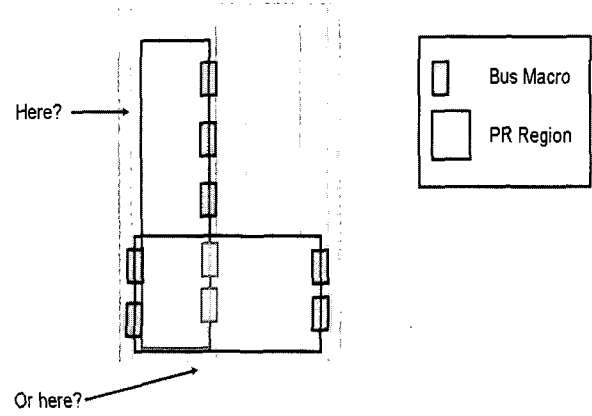


그림 2. 부분 재구성 모듈을 위한 영역
Fig. 2. Region of Partial Reconfiguration Module (PRM).

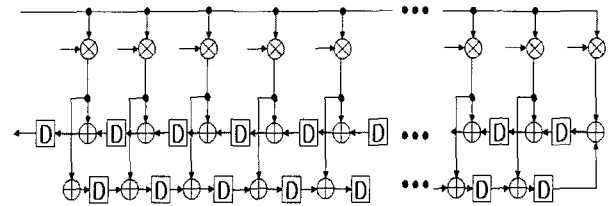


그림 3. N차 전치 FIR 필터
Fig. 3. N-order transposed FIR filter.

을 보장한다. 이를 통하여 모든 모듈(재구성모듈, 기본 모듈)사이의 주고받는 신호들은 클락 신호를 제외 하고, 반드시 버스 매크로를 통해서만 가능하다.^[5] 모듈사이의 고정된 slice-based 버스매크로는 장치에서 매번 모듈의 재구성이 실행되더라도 변하지 않는 고정된 라우팅 채널을 보장함으로써 모듈간의 내부 신호의 라우팅이 변경되는 것을 방지한다. 새롭게 제시된 부분 재구성 방법론에서는 그 사용 방법에 따라 다양하게 적용 할 수 있는 여러 종류의 버스 매크로를 제공하며, 그림 1 은 slice-based 버스 매크로의 구조를 보여주고 있다.

2. 부분재구성 모듈을 위한 면적제한

이전의 부분 재구성 방법론은 부분 재구성 모듈의 면적 제한 조건에 있어서 매우 엄격한 방법을 제시하였다. 예를 들면 부분 재구성 모듈의 면적은 slice의 개수를 최소 4개부터 반드시 4의 배수로 재구성 모듈의 면적을 할당할 수 있었으며, FPGA의 최대 slice 높이로 면적을 할당하여야 만 했었다.^[3] 그러나 새롭게 발표된 설계 방법에서는^[5] 이전 보다 좀 더 유연한 면적 제약 조건을 지원한다. 이를 통하여 설계자는 재구성 모듈을 위해서 어떤 사각형 면적도 할당 할 수 있게 되었으며, 이는 FPGA 설계에 있어서 면적의 효율 및 효율적인 자원사용을 보장한다. 그림 2는 새로 지원되는 부분 재구성 방법론에서 재구성 모듈을 위해 할당 할 수 있는 면적의 예를 보여 주고 있다.

III. 재구성형 FIR 필터 설계

FIR 필터는 순차적으로 입력되는 신호와 계수들의 곱셈연산을 통하여 결과를 누적시킨 후 이 값들을 연속적으로 더함으로써 출력을 생성한다. FIR 필터의 구현은 소프트웨어 또는 하드웨어로 설계가 가능하지만, 소프트웨어로 구현하게 되면 순차적으로 연산을 수행해야 하는 단점이 있다. 하드웨어로 구현하게 되면 필터의 연산을 병렬로 처리함에 따라 최대한 빠르게 처리하는 필터를 구현할 수 있지만, 수정의 어려움이 따르게 된다.^[6] 그러므로 재구성 가능한 구조의 FIR 필터를 설계함으로써 소프트웨어와 같은 설계 유연성과, 하드웨어와 같은 고속 처리의 두 가지 장점을 얻을 수 있다.

그림 3은 N차 Transposed FIR 필터의 구조를 보여 주고 있으며, 이는 Direct-form FIR 필터 구조보다 사용되는 곱셈기가 N/2로 감소함에 따라 하드웨어 구현시 차지하는 면적에 있어서 이득을 볼 수 있다. 또한 Multiply-Accumulate(MAC)구조를 응용함으로써 설계가 편리하며, 재구성형으로 구현함에 있어서 모듈화가 용이하다.

그림 4는 N차 재구성형 FIR 필터 및 재구성 모듈을 위한 MAC의 구조를 보여주고 있으며, 재구성형 FIR 필터는 최소 7차부터 20차까지 연산을 할 수 있는 FIR 필터로 재구성될 수 있다. 설계한 재구성 FIR 필터는 세 개의 부분 재구성 곱셈 누산기(PR MAC) 모듈과 한 개의 최 우단 곱셈 누산기(right-side MAC)로 구성되며 각 모듈사이의 신호는 버스매크로를 이용하여 연결되어 있다. 그리고 각각의 PR MAC 모듈은 독립적으로

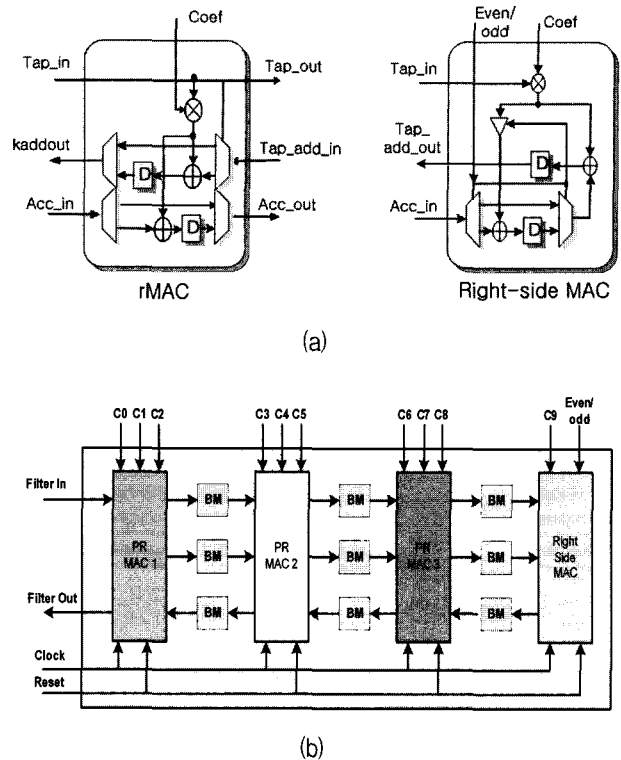


그림 4. (a) rMAC 및 Right-side MAC 구조, (b) 재구성형 N차 FIR 필터

Fig. 4. (a) Block diagram of rMAC and Right-side MAC (b) Reconfigurable N-order FIR Filter.

재구성 할 수 있는 3개의 MAC구조로 되어 있으며, 이는 각각 1, 2, 3개의 rMAC과 계수 입력을 위한 직렬-병렬 변환 레지스터를 포함하고 있다. 특히 최 우단 모듈은 홀수 또는 짝수 차수의 필터 연산을 수행할 수 있도록 하는 even/odd 신호를 가지고 있다.

IV. 재구성형 FIR 필터 구현

적용 시스템에서 전체 시스템의 성능을 제한하는 요소는 특정 작업을 수행하도록 채택되는 과정의 속도이다. 이번 장에서는 최소 7차부터 20차까지 재구성이 가능한 FIR 필터의 구현방법에 대해 설명한다. 이 재구성형 FIR 필터는 부분 재구성 방법을 적용하였고 Xilinx Virtex4 FPGA를 이용하여 구현하였다.

부분 재구성 설계에서는 반드시 제한된 규칙과 정해진 순서대로 이루어져야 한다. 그림 5에서는 부분 재구성 하드웨어의 설계 흐름에 대해 보여주고 있으며, 재구성형 FIR 필터의 설계는 동일한 과정을 통하여 설계하였다.

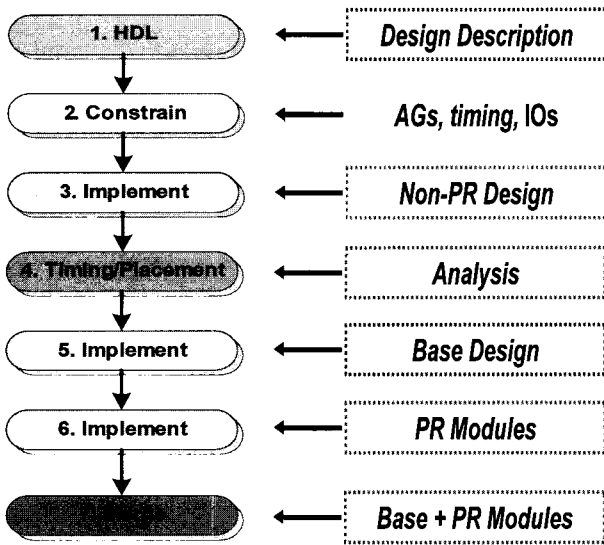


그림 5. 부분 재구성 설계 흐름
Fig. 5. Partial reconfiguration design flow.

가. HDL코드 작성 및 합성

부분 재구성 설계방법은 HDL 코드 작성 과정에서 엄격한 하위 구조적 설계가 요구된다. 세부과정을 보면 크게 세부분으로 나누어 각각 독립적으로 설계하고 합성과정을 거쳐야 한다.

(1) 최상위 모듈 설계(Top-level Module Design)

최상위 모듈을 설계할 때 하드웨어 설계자는 버스 매크로를 이용한 각각의 내부 모듈간의 내부 배선을 생각해야 한다. 최상위 모듈에는 반드시 입력, 출력신호(I/O signals), 클럭 신호(Clock primitive), 기본 모듈(Base design module), 부분재구성 모듈(PR module), 그리고 버스매크로(Bus macro)만을 포함하여야 한다.

재구성형 FIR 필터의 설계에는 총 3개의 재구성 모듈이 있으며, 내부 신호의 연결을 위하여 각 모듈별로 20개의 버스매크로를 사용하였다.

(2) 기본 모듈 설계(Base Module Design)

기본 모듈은 정적인 모듈로서 부분재구성이 수행되더라도 변하지 않는 모듈이다. 그러므로 기본모듈을 설계 할 때에는 일반적인 설계방법을 따른다. 재구성형 FIR 필터에서는 최 우단 모듈이 기본 모듈이 된다.

(3) 부분 재구성 모듈 설계(PR Module Design)

각각의 재구성 모듈을 설계할 때는 마찬가지로 일반적인 설계방법을 따른다. 그러나 재구성 모듈은 최소 두 개 이상 존재 하므로 하드웨어 설계자는 반드시 각 재구성

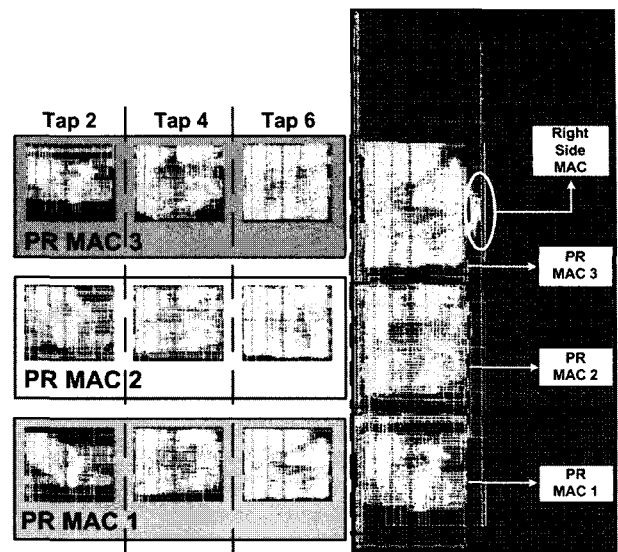


그림 6. 재구성형 FIR 필터의 라우팅(14차 FIR 필터)
Fig. 6. PAR map of 14-order FIR filter using DPR(3) 재구성 모듈 설계(PR module).

모듈별로 다수의 HDL코드를 작성해야 한다. 재구성형 FIR 필터의 설계에는 총 3개의 재구성 모듈(PR MAC-1, PR MAC-2, PR MAC-3)이 있으며 PR MAC마다 재구성 모듈은 서로 다른 3개의 모듈을 설계 하였다.

나. 설계 제약조건(Set Design Constraints)

HDL작성 과정이 끝나고 각 모듈별로 합성과정을 거치면, 각 모듈별의 영역 할당 및 성능을 높이기 위한 타이밍 제약조건(Timing Constraints)을 할당한다. 제약조건을 할당할 때 중요한 부분은 그룹영역(Area Group)지정과 버스 매크로 위치의 지정이다.

다. 기본모듈의 구현(Implementation Base Design)

먼저, 기본모듈이 구현 단계를 거쳐야 하며, 이 과정에서 생성되는 정보가 각각의 재구성 모듈의 구현과정에서 사용된다. 구현 과정은 Mapping, Placement, Routing 과정을 순차적으로 진행하여야 한다.

라. 재구성 모듈의 구현(Implementation PR design)

기본 모듈의 구현 과정이 끝나면, 각각의 재구성 모듈을 구현하며, 각각의 재구성 모듈은 독립적으로 구현 단계를 거쳐야 한다.

마. 병합 단계(Merge)

기본모듈과 재구성 모듈의 구현이 끝나면, 최상위 모듈, 기본모듈, 재구성 모듈을 병합하는 단계를 거쳐야 한

다. 병합단계에서 최초 FPGA를 구성하기 위한 비트 스트림 파일이 생성되고, 각각의 재구성 모듈을 위한 많은 부분 비트 스트림이 생성된다.

그림 6은 각각의 재구성 모듈영역에 PR MAC-1, PR MAC-2, PR MAC-3가 완벽히 라우팅 되었음을 보여주고 있으며, PR MAC-1은 2차, PR MAC-2는 4차, PR MAC-3는 6차, 최 우단 모듈 2차인 모듈이 라우팅 되어 현재 14차 재구성형 FIR 필터가 구성되어 있다.

V. 실험 및 결과

재구성형 FIR 필터는 Xilinx Virtex4-LX100을 이용하여 설계 및 검증을 하였고, 테스트 환경은 그림 7과 같이 FPGA에 여러 재구성 비트스트림을 순차적으로 다운로드를 수행함으로써 진행하였다.^{[7]-[9]} Xilinx Virtex4 FPGA 테스트 보드와 Agilent사의 로직 애널라이저(Logic Analyzer)를 이용하여 재구성 모듈의 변화를 확인하였다. 그리고 FPGA에 비트스트림을 다운로드 하기

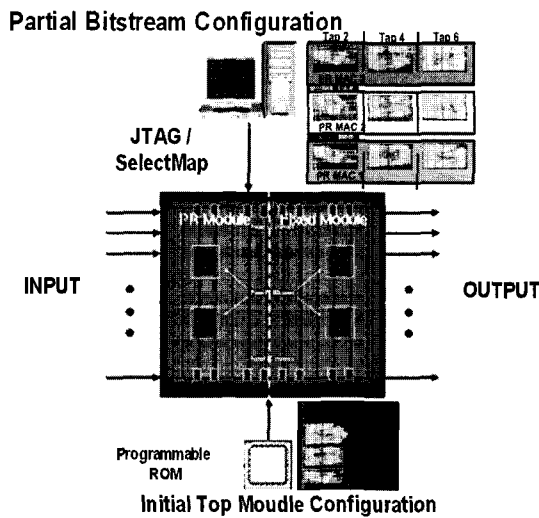


그림 7. 재구성형 FIR필터 실험환경
Fig. 7. Test environment of reconfigurable FIR filter.

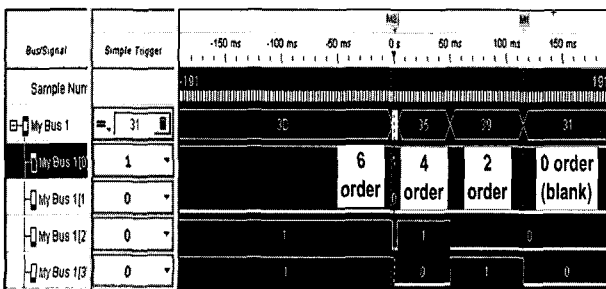


그림 8. 로직 애널라이저를 이용한 모듈 변화 테스트
Fig. 8. Test of module change using logic analyzer.

표 1. PR MAC별 차지하는 면적

Table 1. Occupied Slice Number of Each PR MAC.

	면적(Number of Slice)		
	2-order	4-order	6-order
PR MAC-1	1,500	2,395	3,288
PR MAC-2	1,501	2,393	3,289
PR MAC-3	1,501	2,393	3,290

표 2. PR MAC별 구성시간

Table 2. Configuration Time of Each PR MAC.

	구성시간(Configuration Time(sec))		
	2-order	4-order	6-order
PR MAC-1	7	10	11
PR MAC-2	7	9	10
PR MAC-3	8	9	11
Full Configuration	113		

위해서 Xilinx의 병렬케이블IV(Xilinx Parallel Cable IV) 및 iMPACT 프로그램을 사용하였다. 부분 재구성이 이루어짐을 테스트하기 위하여 PR MAC-2가 6차 필터 모듈인 18차 재구성형 FIR 필터의 최초 비트스트림을 FPGA에 다운로드 한 후, 부분 비트스트림을 순차적으로 다운로드 하여 모듈의 변화를 측정하였다. 모듈의 변화를 측정하기 위하여 각각의 PR-MAC모듈의 부분 재구성 모듈에 각각 0차 →“00”, 2차→“10” 4차→“01”, 6차→“11”의 식별신호(Identification Signal)를 삽입하였다.

그림 8에서 보이는 바와 같이 최초 16차 재구성형 FIR 필터의 식별신호는 3D(11 11 01)에서 PR MAC-2모듈의 부분 재구성이 수행 될 때 마다 순차적으로 4차(35 = 11 01 01), 2차(39 = 11 10 01), 0차(31 = 11 00 01)로 값이 변하는 것을 확인 할 수 있다. 이를 통하여 부분 재구성 필터가 FPGA에서 동작 하고 있음에도, 동적으로 부분 재구성이 일어나는 것을 알 수 있다.

표 1은 각 PR MAC별로 차지하는 면적을 보여 주고 있다. 재구성형 FIR 필터는 Xilinx ISE 8.1 CAD 툴을 이용하여 합성 구현 되었다. PR MAC들을 위한 각각의 부분 재구성 모듈들은 같은 구조이기 때문에 각각의 재구성 모듈이 차지하는 면적은 거의 유사하며, 2차→4차, 4차→6차로 차수가 증가할 때 마다 약 900개의 Slice가 선형적으로 증가함을 확인할 수 있다.

표 2는 iMPACT에서 측정한 각각의 재구성 모듈별 구성시간(Configuration Time)이다. 최초 장치의 구성에는 113초의 구성시간이 필요하나, 이후 부분 재구성 모듈별로 동적 부분 재구성을 할 경우 평균 9초의 구성시간이 소요된다. 재구성형 FIR 필터는 새로운 필터로의 구성을

위해 FPGA에 매번 다운로드를 수행하는 경우와 비교하여 약 1/12 정도로 구성시간을 단축함으로써, 구성시간의 성능향상을 보인다.

VI. 결 론

본 논문에서는 부분 재구성 방법을 이용하여 재구성형 FIR 필터의 설계를 제안하였다. 설계한 재구성형 FIR 필터는 Xilinx Virtex4 FPGA를 이용하여 구현되고 실험을 수행 하였다. 재구성형 FIR 필터는 내부의 부분 재구성 모듈만의 재구성을 수행함으로써 면적 효율, 유연성 있는 설계 및 구성시간 단축의 성능향상을 보였다.

앞으로는 부분 재구성 방법을 기반으로 하드웨어를 설계하고 마이크로프로세서와 구성 메모리(Configuration Memory)를 이용하는 Self-Reconfiguration이 가능한 하드웨어 시스템과 실시간 환경의 디지털 회로에 적용할 자동 부분 재구성(Automatic Partial Reconfiguration) 방법에 대한 연구가 가능할 것이다.

참 고 문 헌

[1] D. Mesquita, F. Moraes, J. Palma, L. Moller, N. Calazanas, "Remote and Partial Reconfiguration

of FPGAs: tools and trends," Proc. of International Parallel and Distributed Processing Symposium, April 2003.
 [2] A. K. Raghavan, P. Sutton, "JPG-A partial bitstream generation tool support partial reconfiguration in Virtex FPGAs," Proc. of International Parallel and Distributed Processing Symposium, 2002.
 [3] Xilinx Inc., "XAPP 290: Two flows for Partial Reconfiguration, Module Based and Difference Based," Sept. 2004.
 [4] Xilinx Inc., "Development System Reference Guide" www.xilinx.com.
 [5] Xilinx Inc., "Early Access Partial Reconfiguration User Guide," March 2006.
 [6] Uwe Meyer-Baese, "Digital Signal Processing with Field Programmable Gate Arrays", Springer, Sept. 2001.
 [7] Xilinx Inc., "Virtex Configuration Architecture Advanced User's Guide," Oct. 2004.
 [8] Philippe Brutel, "Managing Partial Dynamic Reconfiguration in Virtex-II Pro FPGAs," Xcell Journal, Xilinx, Fall 2004.
 [9] Xilinx Inc., "Xilinx University Program Virtex-II Pro Development System Hardware Reference Manual," March 2005.

저 자 소 개



최 창 석(학생회원)
 2005년 한신대학교 정보과학대학
 정보통신학과 졸업
 2005년~현재 인하대학교
 정보통신공학과 석사재학.
 <주관심분야 : 재구성 하드웨어,
 VLSI 설계, SoC 설계>



이 한 호(정회원)
 1993년 충북대학교
 전자공학과 졸업.
 1996년 Univ. of Minnesota
 전기 및 컴퓨터 공학
 석사 졸업.
 2000년 Univ. of Minnesota 전기
 및 컴퓨터공학 박사 졸업.
 2002년 Member of Technical Staff, Lucent
 Technologies, USA.
 2004년 Assistant Prof. Dept. of Electrical and
 Computer Engineering. Univ of
 Connecticut, USA.
 2004년~현재 인하대학교 정보통신공학과 부교수
 <주관심분야 : 재구성 하드웨어, VLSI 설계, SoC
 설계>