

논문 2007-44SD-2-3

DC 및 AC 스트레스에서 Lateral DMOS 트랜지스터의 소자열화

(Hot-Carrier-Induced Degradation of Lateral DMOS Transistors under
DC and AC Stress)

이 인 경*, 윤 세레나*, 유 중 근**, 박 종 태**

(In Kyong Lee, Se Re Na Yun, Chong Gun Yu, and J. T. Park)

요 약

본 연구에서는 Lateral DMOS 소자열화 메커니즘이 게이트 산화층의 두께에 따라 다른 것을 측정을 통하여 알 수 있었다. 얇은 산화층 소자는 채널에 생성되는 계면상태와 drift 영역에 포획되는 홀에 의하여 소자가 열화 되고 두꺼운 산화층 소자에서는 채널 영역의 계면상태 생성에 의해서 소자가 열화 되는 것으로 알 수 있었다. 그리고 소자 시뮬레이션을 통하여 다른 열화 메커니즘을 입증할 수 있었다. DC 스트레스에서의 소자 열화와 AC 스트레스에서 소자열화의 비교로부터 AC스트레스에서 소자열화가 적게 되었으며 게이트 펄스의 주파수가 증가할수록 소자열화가 심함을 알 수 있었다. 그 결과로부터 RF LDMOS 에서는 소자열화가 소자설계 및 회로설계에 중요한 변수로 작용할 수 있음을 알 수 있었다.

Abstract

This paper presents the experimental findings on the different degradation mechanism which depends on the gate oxide thickness in lateral DMOS transistors. For thin oxide devices, the generation of interface states in the channel region and the trapped holes in the drift region is found to be the causes of the device degradation. For thick devices, the generation of interface states in the channel region is found to be the causes of the device degradation. We confirmed the different degradation mechanism using device simulation. From the comparison of device degradation under DC and AC stress, it is found that the device degradation is more significant under DC stress than one under AC stress. The device degradation under AC stress is more significant in high frequency. Therefore the hot carrier induced degradation should be more carefully considered in the design of RF LDMOS transistors and circuit design.

Keywords : lateral DMOS, hot carrier effects, device degradation, interface state generation, hole trapping

I. 서 론

표준 CMOS 공정으로 제작이 가능한 Lateral DMOS 트랜지스터는 20-100V의 높은 전압이 요구되는 자동차용 IC, 디스플레이소자의 구동회로, 통신용 IC에 많이 사용되고 있다. LDMOS 소자에 인가되는 전압이 높으므로 자연스럽게 소자 내에는 고전계가 걸리게 되고 이로

인하여 hot carrier에 의한 소자 열화가 심하게 된다^[1]. 고전압용 소자에서는 소자의 안전 동작 범위 (Safe Operating Area)가 중요한 소자 설계 및 공정 가이드라인이 되며 소자열화가 이 SOA 결정에 중요한 변수가 됨이 여러 연구를 통하여서 밝혀졌다^[2-3].

LDMOS의 소자열화 메커니즘이 CMOS 소자 열화 메커니즘과 다르다는 연구 결과들이 발표되었다. 초기의 연구는 게이트 산화층이 비교적 두꺼운 소자에서 hot electron이 채널의 소스 부근으로 주입되어 게이트 산화층에 포획되므로 이동도가 작아지고 그 결과 드레인 전자가 감소하여 소자의 온 저항을 증가 시키는 것으로 발표되었다^[4-5]. 그러나 최근에는 비교적 게이트

* 학생회원, ** 정회원 인천대학교 전자공학과
(Dept. of Electronic Eng. Incheon University)

※ 이 논문은 인천대학교 2006년도 자체 연구비에 의하여 연구되었음.

접수일자: 2006년10월20일, 수정완료일: 2007년1월19일

산화층의 두께가 얇은 소자에서 hot hole이 LDMOS 소자의 drift 영역으로 주입되어 게이트 산화층에 포획되므로 오히려 포화영역에서 드레인 전류가 증가되는 것으로 발표되고 있다^[6-8]. 최근에 Morens 등은 이런 서로 다른 소자열화 메커니즘을 종합적으로 분석하여 인가 스트레스 전압에 따라 어느 메커니즘이 더 지배적인지에 관한 연구인 competing mechanism을 제안하였다^[9].

지금까지는 게이트 산화층의 두께에 따라 앞에서 제시한 두 종류의 열화 메커니즘 중 어느 것이 소자에 더 영향을 주는지에 관한 연구가 없었다. 또한 실제 회로를 꾸며 LDMOS 소자 열화를 분석하는 것은 회로에서의 소자 열화에 대해 더 실제적이고 유용한 결과를 얻을 수 있을 것이라 사료된다.

본 연구에서는 기존의 competing mechanism을 적용하여 게이트 산화층이 얇은 소자 (110 Å) 와 비교적 두꺼운 소자 (420 Å)의 소자열화 메커니즘을 DC 스트레스에서 분석하였다. 그리고 이 열화 메커니즘을 소자 시뮬레이션을 통하여 제시한 분석결과를 증명하였다. 또한 회로 내에서 소자 열화로 인한 소자의 성능을 분석하기 위하여 AC스트레스 조건에서 소자의 열화를 측정 분석하였다.

II. 소자 및 측정

본 연구에서 사용한 n-형 LDMOS의 소자 구조는 그림 1과 같다. 드리프트 영역에서 field 산화층 두께는 약 4000 Å 이며 게이트 산화층 두께는 얇은 소자가 110 Å 이고 두꺼운 소자가 420 Å 이다. 소자의 채널길이는 0.5um-0.6um이며 채널 폭은 20um-80um이다. 소자의 유효채널길이는 0.35um-0.45um 이다.

측정에 사용된 소자의 문턱전압은 $V_{DS}=0.1V$ 에서 드레인 전류 $I_{DS}=250\mu A$ 으로 정의 한 결과 게이트 산화층이 얇은 소자는 $V_T=1.17V$ 두꺼운 소자는 $V_T=3.3V$ 이었다. 그리고 $V_{GS}=0.0V$ 에서 $I_{DS}=1\mu A$ 으로 정의된 항복전압에서는 얇은 게이트 산화층 소자가 $V_{BR}=16V$ 이었고 두꺼운 소자가 $V_{BR}=20V$ 이었다. DC 스트레스는 얇은 산화층 소자는 $V_{DS}=10V$, 두꺼운 소자는 $V_{DS}=15V$ 로 하였고 V_{GS} 는 가변하였다. 소자열화 메커니즘 분석을 위하여 포화영역에서 드레인 전류를 측정하였다.

그리고 ATHENA 공정 시뮬레이션을 사용하여 제작한 LDMOS 소자로 ATLAS 소자 시뮬레이션을 수행하여 분석한 메커니즘을 확인하였다^[10].

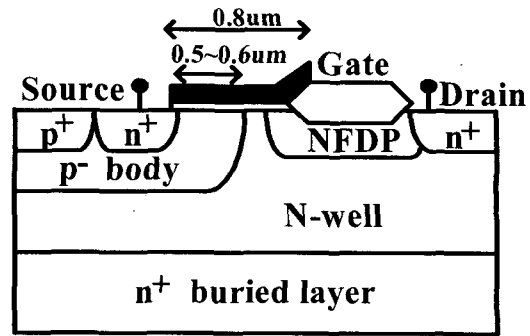


그림 1. LDMOS 소자의 단면도

Fig. 1. Device cross-section of lateral DMOS.

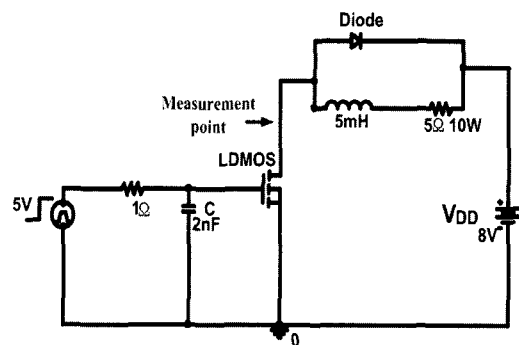


그림 2. AC 스트레스인가 및 측정을 위한 회로도

Fig. 2. Circuit for AC stress and measurement.

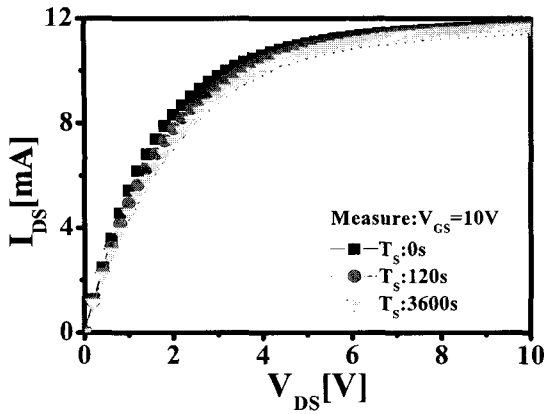
AC 스트레스는 그림 2와 같은 회로를 구성하여 게이트에 펄스 (0V-5V)를 인가하고 Tetronix사의 TDS3034B를 사용하여 출력 드레인 전압을 확인 하였다. 출력 드레인 전류는 TCP202 전류 프로브를 사용하여 측정하였고 V_{DD} 에는 DC 8V 전압을 인가하였다.

AC 스트레스에서 소자가 turn on 되었을 때 소자의 온 전류와 V_{DS} 측정으로부터 R_{on} 의 변화를 분석하였다. 게이트에 인가되는 주파수 변화에 따른 열화도를 측정하였다. 이 때 사용된 소자는 게이트 산화층이 400 Å 이고 채널길이 및 폭은 각각 $L=0.8\mu m$, $W=260\mu m$ 이다. 게이트에 인가되는 펄스에 노이즈 성분을 제거하기 위하여 필터를 연결하였다. 또한 드레인 부분의 전류의 영향으로 저항과 다이오드의 파괴를 막기 위해 큰 전력을 견딜 수 있는 소자를 사용하였다.

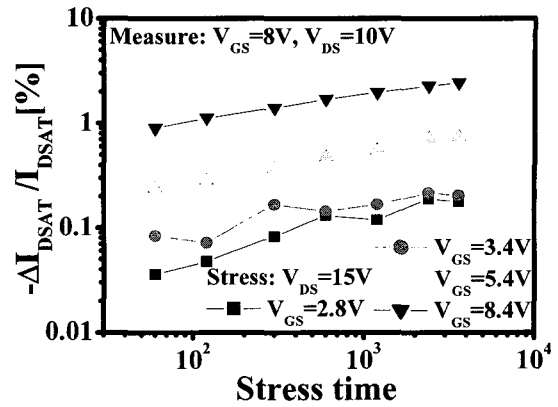
III. DC 스트레스에서 소자열화

1. 얇은 게이트 산화층 및 두꺼운 산화층 소자의 열화 메커니즘.

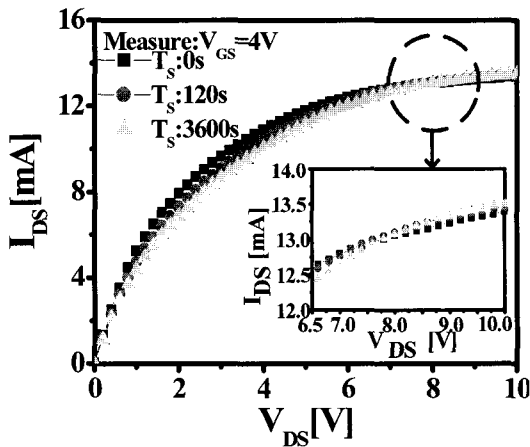
그림 3은 두꺼운 게이트 산화층 소자와 얇은 게이트 산화층 소자의 DC 스트레스 전 후의 전류-전압 특성



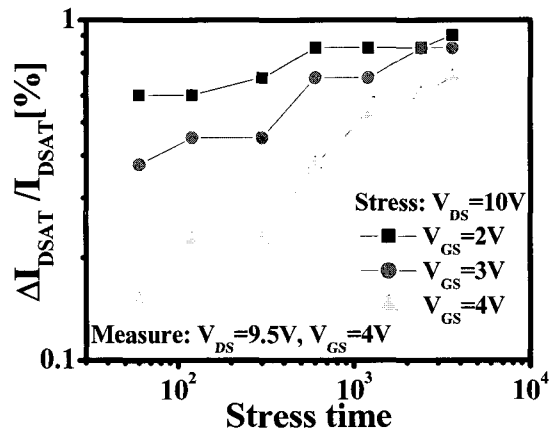
(a)



(a)



(b)



(b)

그림 3. DC 스트레스 전후의 전류-전압 특성 곡선
(a) 두꺼운 산화층 소자 (b) 얇은 산화층 소자
Fig. 3. Characteristics of current-voltage before and after DC stress. (a) thick device (b) thin device

그림 4. DC 스트레스 시간에 따른 포화 드레인 전류 변화
(a) 두꺼운 산화층 소자 (b) 얇은 산화층 소자
Fig. 4. Drain current degradation with DC stress time. (a) thick device (b) thin device

을 측정하는 것이다. 채널 길이는 $L=0.5\mu\text{m}$, 채널 폭은 $W=20\mu\text{m}$ 이다.

두꺼운 산화층 소자는 스트레스 후 선형 및 포화영역에서 드레인 전류가 감소하였다. 그러나 얇은 산화층 소자는 선형영역에서 드레인 전류가 감소하였지만 포화영역에서는 오히려 증가하는 현상을 확인할 수 있다.

위와 같은 결과는 게이트 산화층의 두께에 따라 소자 열화 메커니즘이 다르다는 것을 의미한다. 스트레스 게이트 전압에 따른 포화영역에서 드레인 전류 변화를 스트레스 시간에 따라 측정하여 그림 4에 나타내었다.

그림 4-(a)의 두꺼운 산화층 소자에서는 드레인 전류 감소를, 그림 4-(b)에서는 얇은 산화층 소자에서 드레인 전류 증가를 나타내었다. 두꺼운 산화층 소자의 드레인 전류가 감소하는 것은 Moens, Van den bosh 등이 제안한 것과 같이 채널 영역에서 게이트 산화층으로

주입된 hot hole이 계면상태 (interface state: N_{it})를 생성하게 되고 이 계면상태에 의해 채널에서 이동도를 감소시키기 때문이다^[9]. 얇은 산화층 소자에서는 채널 영역과 drift 영역에서 hot hole이 주입되어, 채널 영역에서는 N_{it} 를 생성하게 되고 drift 영역에서는 게이트 산화층에 포획이 되어 양전하(N_{ot})가 되고 이로 인하여 스트레스 후에 포화영역에서 드레인 전류가 증가하게 된다. 결국 얇은 산화층 소자에서 선형영역의 드레인 전류 감소는 채널 영역의 N_{it} 에 의한 것이고 포화영역의 드레인 전류의 증가는 N_{ot} 에 의한 것으로 사료된다. 두꺼운 산화층 소자에서는 드레인 전류가 스트레스 시간에 따라 power law 함수적으로 비례하지만 얇은 산화층 소자에서는 스트레스 초기에 열화가 많이 되었다가 스트레스 시간이 증가하면 점차 포화되는 것을 관측할 수 있다. 이런 포화 현상은 스트레스 시간이 증가할수록

hot hole이 drift 영역의 산화층으로 주입이 계속되지만 이미 포획된 N_{ot} 이 주입되는 hot hole을 막는 역할을 하므로 N_{ot} 양이 증가되지 않고 포화되는 것으로 사료된다. 그리고 그림 4-(b)에서 게이트 전압이 낮을수록 드레인 전류 변화가 큰 것은 게이트 전압이 낮을수록 게이트로 향하는 전계가 크게 되고 그 결과 drift 영역에서 hot hole 주입이 용이해 지기 때문인 것으로 사료된다.

2. 소자 시뮬레이션에 의한 소자열화 메카니즘 분석

얇은 산화층 소자의 열화 메카니즘을 분석하기 위하여 ATLAS로 소자 시뮬레이션을 수행하였다. 게이트 산화층 두께는 110 \AA 이며 채널 길이와 폭은 측정에 사용된 소자와 같다. 그림 5는 스트레스 전의 전류-전압 특성 곡선과 스트레스 후에 채널 부위의 $N_{it} = 3 \times 10^{11} \text{ cm}^{-2}$ 가 생성된 것으로 가정한 전류-전압 특성 곡선을 비교한 것이다. 그리고 그림 6은 스트레스 전의 전류-전압 특성 곡선과 스트레스 후 채널에 $N_{it} = 3 \times 10^{11} \text{ cm}^{-2}$ 가 생성과 drift 영역의 산화층에 양전하 $N_{ot} = 5 \times 10^{11} \text{ cm}^{-2}$ 가 있는 것으로 가정한 후의 전류-전압 특성 곡선이다. 그림 5로부터 채널에 N_{it} 성분만 존재할 경우 열화 후 드레인 전류가 선형 및 포화 영역에서 스트레스 전 소자의 전류보다 감소하는 것을 알 수 있다. 그림 6에서는 채널에 N_{it} 로 인해 선형 드레인 전류는 감소하나 drift 영역에서 N_{ot} 로 인하여 드레인 전압이 증가하면 포화 영역에서 드레인 전류가 스트레스 전의 전류보다 오히려 증가하는 것을 확인할 수 있다.

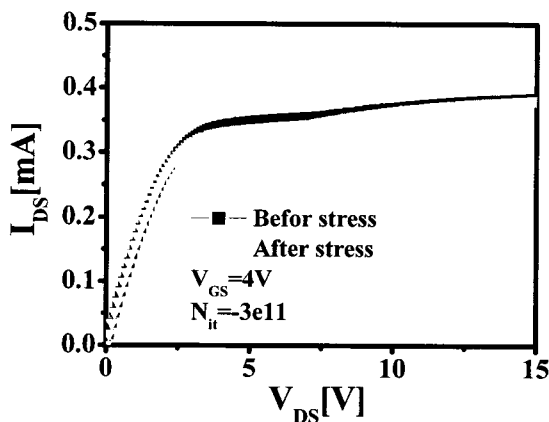


그림 5. 스트레스 전과 스트레스 후에 채널 부위의 N_{it} 가 생성된 것으로 가정한 전류-전압 특성 곡선

Fig. 5. Current-voltage characteristics of fresh device and degraded device which is assumed the generation of interface state in the channel region.

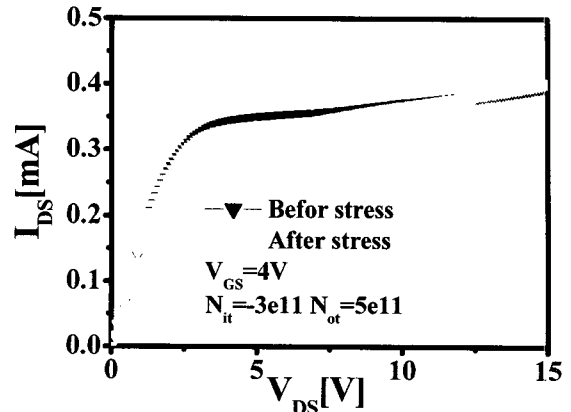


그림 6. 스트레스 전과 스트레스 후에 N_{it} 와 N_{ot} 가 생성된 것으로 가정한 전류-전압 특성 곡선

Fig. 6. Current-voltage characteristics of fresh device and degraded device which is assumed the generation of N_{it} and trapping of N_{ot} .

이런 결과는 DC 스트레스 후 얇은 산화층 소자의 드레인 전류가 높은 드레인 전압에서 증가하는 것과 같다. 얇은 산화층 소자에서는 드레인 전압이 증가하면 drift 영역에서 게이트로 향하는 전계가 증가하기 때문에 hot hole의 주입이 많아지게 되고 이로 인하여 드레인 전류는 증가하게 된다.

IV. AC 스트레스에서 소자열화

일반적으로 CMOS에서 AC 스트레스로 인한 소자열화는 DC 스트레스로 인한 소자열화 보다 작은 것으로 알려져 있다. AC 스트레스 인가 시 입력 게이트 전압에 voltage overshoot에 의한 노이즈가 없다면 AC 스트레스에 의한 소자 수명 시간은 DC 소자수명 시간보다 짧으며 보정 정수를 이용하여 DC 소자 수명으로부터 AC 소자수명시간을 예측할 수 있는 것으로 발표되었다^[11-13]. 본 연구에서는 그림 2와 같은 AC 스트레스용 회로를 구성하여 게이트에 0V-5V의 펄스를 스트레스 전압으로 인가 하였다. 그리고 회로의 VDD=8V로 하였다. 인가 게이트 펄스를 오실로스코프(TDS 3034B)로 관측하여 그림 7에 나타내었다. 그림 7에서 입력 게이트 펄스에는 큰 voltage overshoot가 없는 것을 알 수 있다. 그림 8은 TCP 202 전류 프로브를 사용하여 스트레스 전후의 출력 드레인 전류를 측정하여 나타낸 것이다. 그림으로부터 스트레스 후에 드레인 전류가 감소하는 것을 관측할 수 있다. 스트레스 시간이 증가할수록 드레인 전류의 감소는 증가하였다.

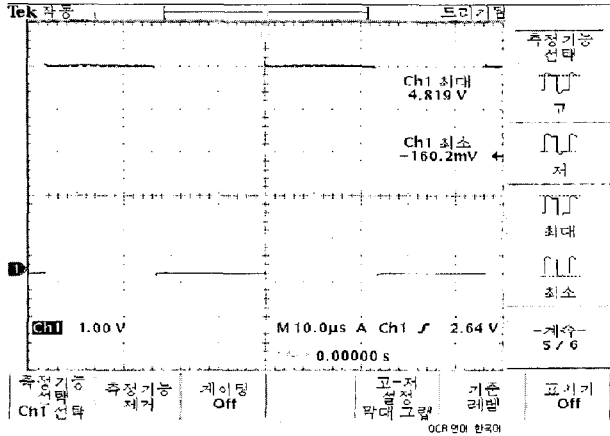


그림 7. AC 스트레스를 위한 게이트 전압 파형
 Fig. 7. Measured wave form of gate voltage for AC stress.

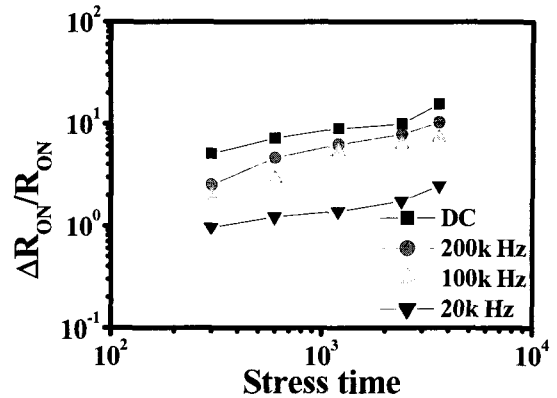
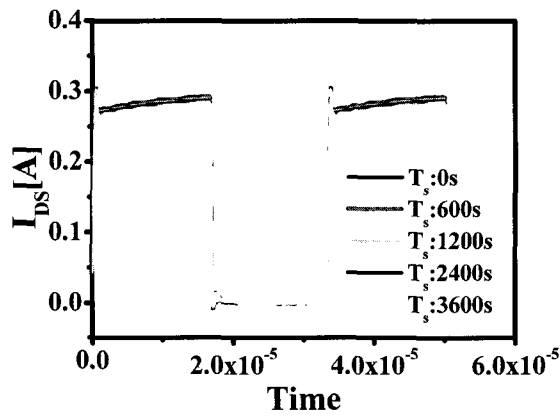
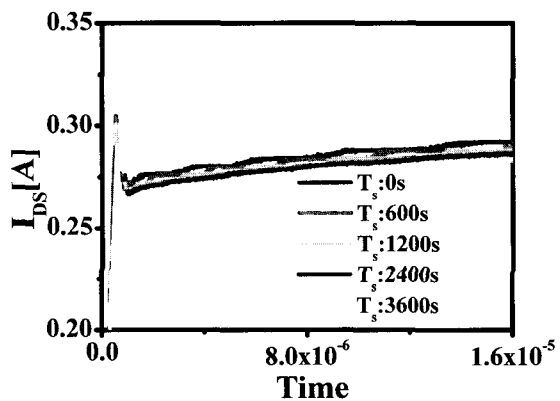


그림 9. DC 및 AC 스트레스 후의 소자 ON 저항 변화
 Fig. 9. The variation of device ON resistance after DC and AC stress.



(a)



(b)

그림 8. (a) 측정된 출력 드레인 전류 파형
 (b) 확대한 드레인 전류파형
 Fig. 8. (a) Measured wave form of out put drain current.
 (b) Magnified view of measured drain current wave.

그림 9는 DC 스트레스와 AC 스트레스에서 소자열화로 인한 R_{ON} 의 변화를 비교한 것이다. 스트레스 전 후에 드레인 출력전압은 일정하므로 출력 드레인 전류로 출력전압을 나누어 R_{ON} 을 정의하였다.

DC 스트레스는 게이트에 펄스 대신 DC $V_{GS}=5.0V$ 를 인가한 것이다. 그리고 게이트 펄스의 주파수를 20KHz, 100KHz, 200KHz 가변하고 듀티 사이클은 모든 주파수에서 50%를 유지하여 소자열화를 측정하였다. 그림으로부터 DC 스트레스에서 소자열화가 가장 심함을 알 수 있으며 게이트 펄스의 주파수가 증가할수록 소자열화가 심함을 알 수 있다. AC 스트레스에서 소자열화는 게이트 입력전압과 출력 드레인 전압이 overlap되는 시간에 발생하게 되므로 DC 스트레스에 비해 소자열화가 당연히 적게 된다. 그리고 주파수가 클수록 소자열화가 심하게 되는 것은 높은 게이트 전압과 드레인 전압이 overlap되는 시간이 길게 되기 때문이다.

본 연구의 결과로부터 낮은 주파수용 LDMOS의 소자열화는 크게 문제되지 않는 수 있지만 RF용 LDMOS는 AC 스트레스에서 소자열화가 DC 소자열화 유사할 정도로 증가될 것으로 사료되어 이에 관한 연구가 필요함을 알 수 있다.

V. 결 론

이 논문은 얇은 게이트 산화층 LDMOS 소자와 두꺼운 게이트 산화층 LDMOS 소자의 열화를 측정하고 분석 하였다. 얇은 게이트 산화층 소자는 채널영역의 N_{it} 성분으로 인한 이동도 감소로, 선형 드레인 전류가 감소하였으나 포화 드레인 전류는 drift영역의 hole 포

획으로 인해 증가하였다. 그러나 게이트 산화층이 두꺼운 LDMOS 소자에서는 채널영역의 N_{it} 성분으로 인한 이동도 감소로 선형 및 포화 드레인 전류 모두 감소하였다.

AC 스트레스에서 소자열화는 DC 스트레스에 비해 적었으며 주파수가 증가할수록 소자 열화가 심함을 알 수 있었다. 또한 RF용 LDMOS의 소자열화에 관한 연구가 필요함을 알 수 있다.

참 고 문 헌

- [1] M. Knaipp, J.M. Park, V. Vescoli, "Evolution of a CMOS Based Lateral High Voltage Technology Concept," *Microelectronics Journal*, vol. 37, pp. 243-248, 2006.
- [2] O'Donovan V., Whiston S., Deignan A., N. Chleirigh C. Hot Carrier Reliability of Lateral DMOS Transistors, in *Proc. of IRPS 2000* 174-179
- [3] Philip L. Hower, "Safe Operating Area-a New Frontier in Ldmos Design," *Proc. of International Symposium on Power Semiconductor Device & IC's*, pp. 1-8, 2002.
- [4] Aresu S., D. Ceuninck W., Van den bosch G., Groeseneken G., Moens P., Manca J., Wojciechowski D., Gassot P. Evidence for source injection hot carrier effects on lateral DMOS, *Microelectronics Reliability* 2004; 44: 1621-1624
- [5] S. Manzini and C. Contiero, "Hot-Electron-Induced Degradation in High-Voltage Submicron DMOS Transistors," *IEEE IEDM Tech. Dig.*, pp.65-68, 1996.
- [6] Versari R., Pieracci A. Experimental Study of Hot-Carrier Effects in LDMOS Transistors, *IEEE Trans. Electron Devices*, vol.46, no.6, pp.1228-1233, 1999.
- [7] Manzini S.Gallerano A. Avalanche injection of hot holes in the gate oxide of LDMOS Transistors, *Solid-State Electronics*, vol.44, pp.1325-1330, 2000.
- [8] Moens P., Van den bosch G., Groeseneken G. Hot-Carrier Degradation Phenomena in Lateral and Vertical DMOS Transistors, *IEEE Trans. Electron Devices*, vol.51, no.4, pp.623-628, 2004.
- [9] Moens P., Van den bosch G., De Keukeleire C., Degraeve R., Tack M., Groeseneken G. Hot Hole Degradation Effects in Lateral nDMOS Transistors, *IEEE Trans. Electron Devices*, vol.51, no.10, pp.1704-1710, 2004.
- [10] ATLAS: <http://www.silvaco.com>
- [11] E. Takeda, R. Izawa, K. Umeda, and R. Nagai, "AC hot-carrier effects in scaled MOS devices," *IEEE Int. Reliability Physics Symp. Proc.*, pp.118-122,1991
- [12] K. Mistry ,and B. Doyle, " The role of electron trap creation in enhanced hot-carrier degradation during AC stress," *IEEE Electron Device Lett.*, vol. 11, no. 6, pp. 267-269, 1990.
- [13] K. N. Quader, P. K. Ko, and C. Hu, " Projecting CMOS circuit hot-carrier reliability from DC device lifetime ," *IEEE IEDM Tech. Dig.*, pp. 511-513, 1999.

저 자 소 개



이 인 경(학생회원)
2005년 인천대학교 전자공학과
학사 졸업.
2005년~현재 인천대학교
전자공학과 석사과정.
<주관심분야 : Nono소자 및
Power 소자 열화 분석>

윤 세레나(정회원)
대한전자공학회 논문지
제41권 SD편 제4호 참조

유 종 근(정회원)
대한전자공학회 논문지
제40권 SD편 제10호 참조

박 종 태(정회원)
대한전자공학회 논문지
제40권 SD편 제10호 참조