

논문 2007-44SD-2-4

그래픽 DRAM 인터페이스용 5.4Gb/s 클럭 및 데이터 복원회로

(A 5.4Gb/s Clock and Data Recovery Circuit for Graphic DRAM Interface)

김 영 란*, 김 경 애**, 이 승 준***, 박 성 민***

(Youngran Kim, Kyungae Kim, Seungjun Lee, and Sung Min Park)

요 약

최근 대용량 데이터 전송이 이루어지면서 하드웨어의 복잡성과 전력, 가격 등의 이유로 인하여 입력데이터와 클럭을 함께 수신 단으로 전송하는 병렬버스 기법보다는 시리얼 링크 기법이 메모리 인터페이스에 많이 사용되고 있다. 시리얼 링크 기법은 병렬버스 기법과는 달리 클럭을 제외한 데이터 정보만을 수신단으로 보내는 방식이다. 클럭 및 데이터 복원 회로(clock and data recovery 혹은 CDR)는 시리얼 링크의 핵심 블록으로, 본 논문에서는 그래픽 DRAM 인터페이스용의 5.4Gb/s half-rate bang-bang 클럭 및 데이터 복원회로를 설계하였다. 이 회로는 half-rate bang-bang 위상검출기, current-mirror 전하펌프, 이차 루프필터, 및 4단의 차동 링타입 VCO로 구성되었다. 위상 검출기의 내부에서 반 주기로 DeMUX된 데이터를 복원할 수 있게 하였고, 전체 회로의 용이한 검증을 위해 MUX를 연결하여, 수신된 데이터가 제대로 복원이 되는지를 확인하였다. 설계한 회로는 66nm CMOS 공정파라미터를 기반으로 설계 및 layout하였고, post-layout 시뮬레이션을 위해 5.4Gb/s의 $2^{13}-1$ PRBS 입력데이터를 사용하였다. 실제 PCB 환경의 유사 기생성분을 포함하여 시뮬레이션 한 결과, 10ps_{RMS} 클럭 지터 및 40ps_{D, D} 복원된 데이터 지터 특성을 가지고, 1.8V 단일 전원전압으로부터 약 80mW 전력소모를 보인다.

Abstract

With recent advancement of high-speed, multi-gigabit data transmission capabilities, serial links have been more widely adopted in industry than parallel links. Since the parallel link design forces its transmitter to transmit both the data and the clock to the receiver at the same time, it leads to hardware's intricacy during high-speed data transmission, large power consumption, and high cost. Meanwhile, the serial links allows the transmitter to transmit data only with no synchronized clock information. For the purpose, clock and data recovery circuit becomes a very crucial key block. In this paper, a 5.4Gbps half-rate bang-bang CDR is designed for the applications of high-speed graphic DRAM interface. The CDR consists of a half-rate bang-bang phase detector, a current-mirror charge-pump, a 2nd-order loop filter, and a 4-stage differential ring-type VCO. The PD automatically retimes and demultiplexes the data, generating two 2.7Gb/s sequences. The proposed circuit is realized in 66nm CMOS process. With input pseudo-random bit sequences (PRBS) of $2^{13}-1$, the post-layout simulations show 10ps_{RMS} clock jitter and 40ps_{D, D} retimed data jitter characteristics, and also the power dissipation of 80mW from a single 1.8V supply.

Keywords : CDR, CMOS, GDDR, Half-rate, Serial Links

I. 서 론

최근 다양한 멀티미디어와 인터넷과 같은 정보통신 기술의 급격한 발달로 대량의 멀티미디어 데이터를 고속으로 전송하려는 노력이 진행됨에 따라 메모리 인터페이스의 bottleneck 현상을 최소화시키며 메모리의 데

* 학생회원, *** 평생회원, 이화여자대학교 정보통신학과
(Department of Information Electronics
Engineering, Ewha Womans University)

** 정회원, 매그나칩 ISD IAE팀
(ISD IAE Team, Magnachip Semiconductor Ltd)

※ 본 연구는 (주) 하이닉스반도체의 지원에 의해 수행
하였음.

접수일자: 2006년12월5일, 수정완료일: 2007년1월23일

이터 대역폭을 확대시키는 여러 방안들이 연구되고 있다. 이 중에서도 최근 부각되는 메모리 인터페이스 방법 중 하나가 고속 시리얼 링크 트랜시버 설계를 기반으로 한 DDR3 (Double-Data-Rate 3) 이다. 이 때 기반이 되는 시리얼 링크기법은 고속의 데이터 동기를 맞추는 클럭을 제외한 데이터 정보만을 수신 단으로 보내는 방식으로 기존의 병렬버스 기법에 비해 한 채널당 수기가비트급의 빠른 속도로 데이터 전송을 가능하게 하였다. 이처럼 중요성과 활용도가 날로 커지고 있는 시리얼 링크기법 중에서도 그 핵심 블록에 해당하는 것이 클럭 및 데이터 복원회로이다.

그림 1은 일반적인 병렬버스 구조와 시리얼 링크의 메모리 인터페이스를 나타내는 블록 다이어그램이다. 시리얼 링크는 고속의 데이터 전송 시 동기를 맞추는 클럭을 제외한 데이터 정보만을 수신단으로 보내는 방식을 사용한다. 이때, 수신단은 수신된 신호에 동기화된 안정적인 클럭을 필요로 하게 되고, 이는 전체 시스템의 성능을 좌우하는 중요한 부분이다. 이에 따라, 위상 동기회로(phase-locked loop, PLL)을 기반으로 한 데이터로부터 클럭신호를 추출하는 클럭 및 데이터 복원(clock and data recovery, CDR)회로가 매우 필요하다^[1].

CDR회로는 binary NRZ 입력 데이터를 받아들여 동기화된 클럭을 발생시키는 클럭 복원회로와 발생된 클럭에 의해 수신된 데이터를 결정하는 decision 회로로 나뉜다. 특히, 데이터 복원 시 ISI(inter symbol interference) 및 다른 노이즈들로부터 데이터를 정확히

복원하기 위해 지터가 적은 깨끗한 클럭을 생성하는 것이 전체의 성능을 좌우할 만큼 중요하다. 또한 클럭생성 블록을 최적화함으로써 입력 데이터에서 발생한 지터도 줄일 수 있다^[2].

클럭을 발생시키는 방법으로는 크게 open-loop 방식과 close-loop 방식이 있다. open-loop방식은 구조가 간단하고 동기시간이 짧은 장점이 있으나, 지터에 민감한 단점을 가지고 있다. 반면 closed-loop 방식은 지터를 제거할 수 있는 장점이 있으나, 구조가 다소 복잡하고 동기시간이 길다. 클럭 발생회로는 두 개의 방식을 혼합하여 사용하기도 한다. 특히, 위상 동기회로(PLL)는 closed-loop 방식으로 온칩 집적이 가능하고, 클럭과 입력 데이터 간의 위상이 비교적 짧은 시간에 lock 될 수 있는 장점과 지터특성이 좋기 때문에 널리 쓰이고 있다.

선형성을 지닌 일반적인 CDR회로는 다음과 같은 블록들로 구성된다. 클럭과 입력 데이터의 위상 차이를 비교하는 위상검출기(phase detector 혹은 PD), 그 위상 차이를 아날로그 에러신호로 바꾸어 주는 전하 펌프회로(charge-pump 혹은 CP), 고주파수 성분의 노이즈를 제거하고 전체회로의 이득을 결정하는 루프 필터(LPF)와 함께 제어 전압에 따라 그에 알맞은 클럭을 생성하는 전압 제어 발진기(voltage controlled oscillator 혹은 VCO)로 이루어져 있다. 또한, 생성된 클럭으로 수신된 입력데이터를 깨끗한 신호로 복원하는 decision 블록이 오게 된다.

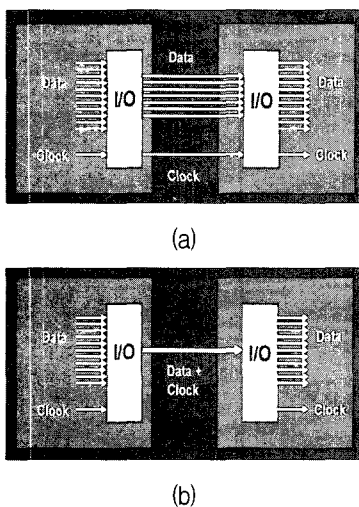


그림 1. (a) 병렬버스 구조 및 (b) 시리얼 링크의 블록 다이어그램

Fig. 1. Block diagrams of (a) a parallel bus and (b) a serial link.

II. Half-Rate CDR 회로설계

1. Half-Rate CDR 회로의 구성 및 동작원리

본 논문에서는 그래픽 DRAM 인터페이스용의 5.4Gb/s에서 동작하는 클럭 및 데이터 복원회로를 66nm CMOS 공정파라미터를 기반으로 설계하였고, 그 구성은 다음과 같다 (그림 2). 먼저, half-rate의 위상검출기를 사용함으로써, 전압제어발진기 설계의 부담을 줄였고, 고속의 회로설계에 적합한 bang-bang 타입의 Alexander 위상검출기 형태를 이용하였다^[3]. 또한, 일반적인 V/I 변환기를 사용하는 대신 이득이 작은 선형위상검출기에 적용하는 전하펌프 회로를 이용함으로써 빠른 acquisition을 얻도록 하였다. 특히, 차동의 current-mirror 전하펌프회로를 사용하여, 전압제어발진기에서 발생할 수 있는 공통모드 잡음에 대한 영향을 줄이도록 하였다.

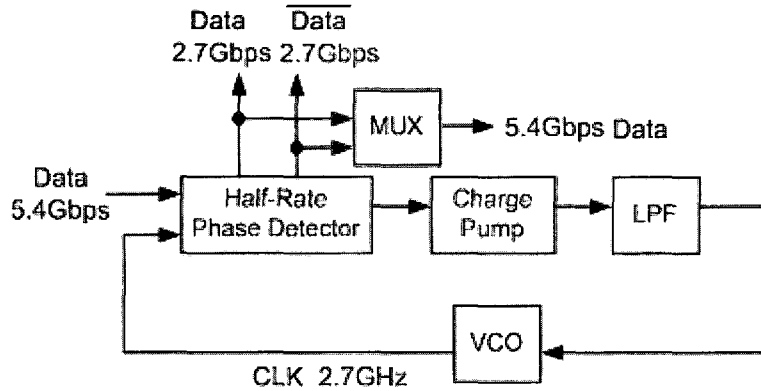


그림 2. 설계한 Half-Rate CDR 회로의 블록다이어그램

Fig. 2. Block diagram of the half -Rate clock and data recovery circuit.

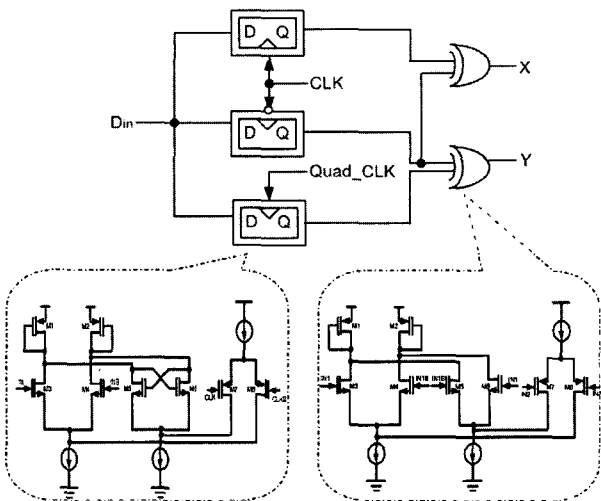


그림 3. 설계한 Half-Rate 위상검출기 회로의 블록다이어그램 및 회로도

Fig. 3. Block diagram and schematic diagrams of the half-Rate CDR circuit.

2차 저역통과 여파기(low-pass filter 혹은 LPF)를 구현하였고, 4개의 차동 인버터로 이루어진 링 타입(ring-type) 전압제어발진기를 사용하여 4개의 위상차를 갖는 클럭을 발생하도록 하였다^[4]. Half-rate 회로의 장점으로 인해, decision 회로 및 DeMUX 회로 없이도 위상검출기 내부에서 수신된 데이터를 복원할 수 있게 하였고, 동작속도의 검증을 용이하게 할 수 있도록, MUX(multiplexer)를 달아 수신된 데이터가 제대로 복원이 되는지를 확인하였다^[1].

높은 주파수에서의 동작을 보장하고 노이즈에 대한 영향력을 줄이기 위해 위상검출기, 전하펌프 및 전압제어 발진기 등 각 기능 동작 블록을 fully differential logic 으로 설계하였다.

Half-rate bang-bang 타입의 위상검출기(PD)를 사용

하여 클럭과 데이터의 위상 차이를 검출하도록 하였다. 그림 3에서 보는 바와 같이, quadrature 클럭을 사용하여 세 개의 신호값을 비교하여 위상 차이를 얻는다. Half-rate 위상검출기는 full-rate 위상검출기와 달리, 절반의 클럭속도를 갖는 전압 제어발진기(VCO)로 동일한 성능을 낼 수 있기 때문에 고주파 VCO 설계에 대한 부하를 줄일 수 있다.

Alexander 위상검출기는 입력 데이터를 클럭의 rising edge 및 falling edge와 quadrature 클럭을 이용하여 세 번 샘플링함으로써 데이터 천이가 있는지의 여부와 데이터가 빠르지 아니면 클럭이 빠르지를 알 수 있도록 한다.

Full-rate 위상검출기의 경우, 입력 데이터의 비트속도와 동일한 속도를 갖는 클럭의 한 에지부분에서만 데이터를 샘플링하는데, half-rate 위상검출기는 D-플립플롭 대신에 D-래치를 사용함으로써 입력 데이터 비트속도의 절반이 되는 클럭 주파수로도 입력 데이터의 모든 천이를 검출하여, 위상차이에 비례하는 X, Y 신호를 발생시킬 수 있다. 따라서 고속의 클럭 및 데이터 복원 회로에 사용하기 편리하다. 그러나 양쪽 에지부분에서 데이터를 샘플링하기 때문에 50%의 duty-cycle을 맞춰야 하는 설계 상 어려움이 발생한다.

위상검출기로 클럭과 데이터의 위상 오차가 검출되면 그에 따라 각각의 출력 값은 UP/DOWN 펄스를 만들게 된다. 이러한 디지털적인 위상 오차를 아날로그 에러로 바꾸는 역할을 전하펌프 회로가 하게 된다. 즉, 클럭이 데이터 보다 느리면 DOWN 신호가 켜지고 UP 신호가 꺼지게 되면서 전하펌프 뒷단에 있는 루프 필터의 커패시터에 전하를 충전함으로써 전압을 낮추게 되고, 반대로 클럭이 데이터 보다 빠르면 DOWN 신호가

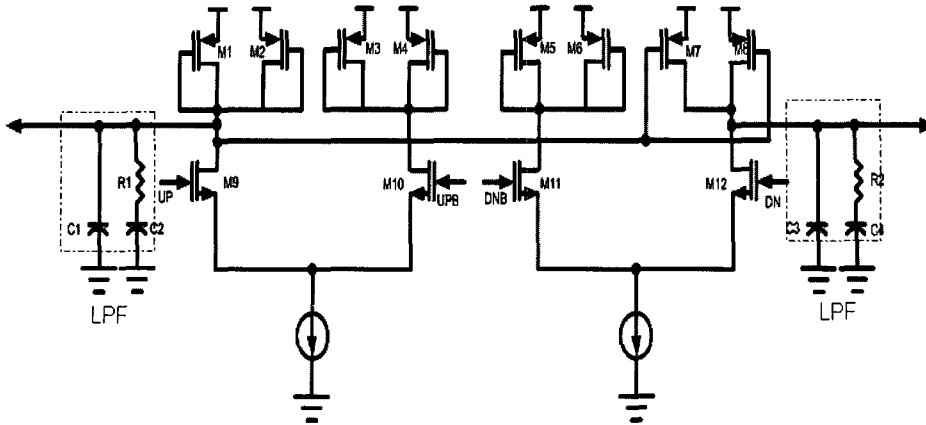


그림 4. 전하펌프 및 루프필터의 회로도

Fig. 4. Schematic diagrams of the charge-pump and the loop filter circuits.

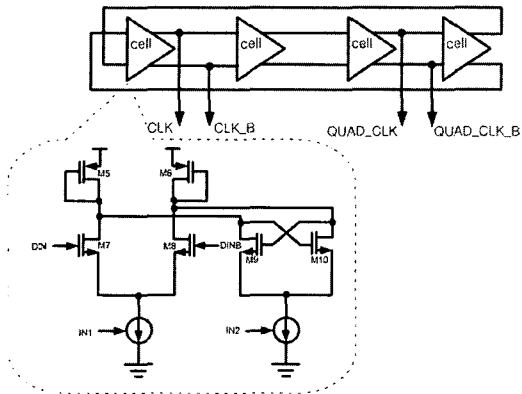


그림 5. 전압 제어발진기의 블록 다이어그램 및 회로도
Fig. 5. Block diagram of the 4-stage VCO and the schematic diagram of each gain cell.

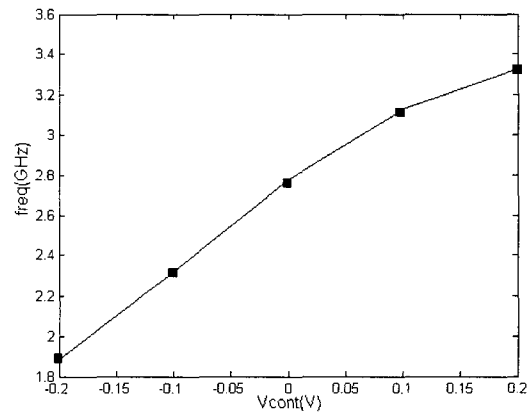


그림 6. 전압 제어발진기의 동작특성

Fig. 6. Gain characteristics of the VCO.

꺼지고 UP 신호가 켜지게 되면서, 커패시터에 저장되어 있는 전하를 방전하여 전압을 높인다(그림 4). 클럭과 입력 데이터가 동기화 되었을 때 데이터의 천이가 발생하면, 같은 크기의 UP/DOWN 신호가 발생하므로, 이 경우 전하펌프의 누설 전류가 생길 수 있어 이에 따른 오프셋을 최대한 줄이는 것이 전하펌프에서 고려해야 할 매우 중요한 사항이다.

전압 제어발진기를 만드는 여러 방법 중, 링(ring) 타입 전압 제어발진기는 인버터를 직렬 체인 구조로 구현한 뒤, 다시 그 출력을 입력단으로 피드백 시킨 것이다. 각각의 인버터들의 반전 시간과 지연(delay) 기능으로 인해 발진을 하게 되며, 각 인버터의 지연시간을 적절히 조절함으로써 발진주파수를 조절한다. 본 논문에서 사용한 전압 제어발진기는 그림 5에서 보는 바와 같이, 4단의 차동 인버터구조를 이용한 링 타입 발진기를 사용하였다. 큰 진폭을 안정적으로 얻을 수 있도록 차동회로를 사용하였고, 첫째 및 셋째 인버터 출

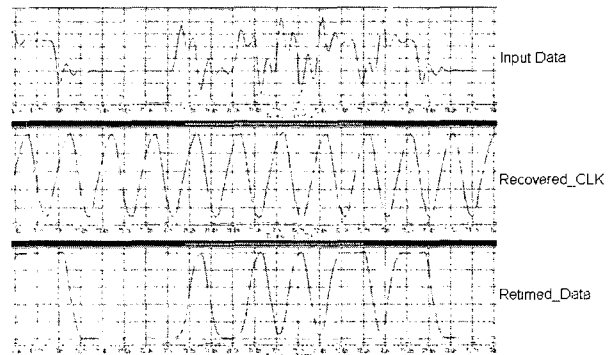


그림 7. (a) PCB 환경에서 기생 인덕턴스 및 캐패시턴스에 의해 왜곡된 $2^{13}-1$ 입력 PRBS, (b) 생성된 클럭 신호, (c) 복원된 데이터 신호

Fig. 7. (a) Distorted input $2^{13}-1$ PRBS at the realistic PCB environment due to parasitic inductance and capacitance, (b) recovered clock, and (c) retimed data.

력 값을 quadrature 클럭으로 사용하였다. 그림 6은 전압 제어발진기의 제어전압에 따른 출력 주파수의 동작 특성을 나타낸다. 설계한 전압제어발진기의 이득은

0.25V/GHz 이다.

위에서 기술한 5.4Gb/s half-rate bang-bang CDR 회로를 66nm 표준 CMOS 공정 파라미터를 이용하여 설계하였고, HSPICE를 이용하여 시뮬레이션 하였다. 그림 7은 실제와 유사한 PCB 환경에서 50ps의 데이터 천이 기울기를 가진 500mVpp 크기의 2¹³-1 PRBS입력 신호에 대하여, 설계한 CDR회로의 생성된 클럭과 복원된 데이터의 시뮬레이션 결과를 보여준다. 이 때, COB (chip-on-board)에서 발생하는 기생 인덕턴스 및 캐패시턴스를 전기적으로 모델링하여 시뮬레이션 하였다.

III. Layout 및 Post-layout 시뮬레이션

그림 8은 설계한 CDR회로의 layout을 보여주며, 이 회로의 core 면적은 160x160 μm^2 이다. 그림 9는 post-layout 시뮬레이션 결과로서, 5.4Gb/s의 2¹³-1 입력 PRBS 신호에 대한 CDR 회로의 데이터 출력 eye-diagram을 나타내며, 복원된 데이터의 지터는 40ps_{p-p}이고 복원된 클럭의 지터는

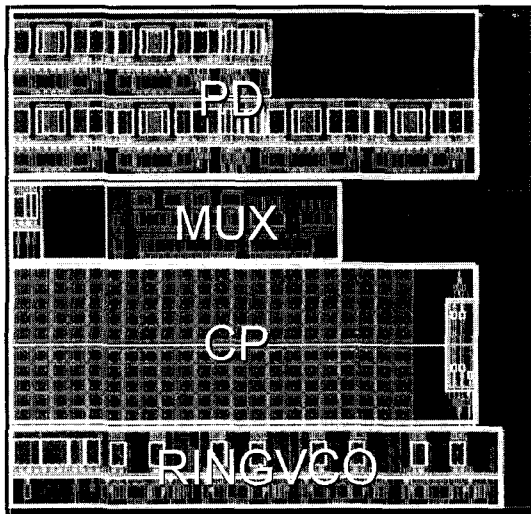


그림 8. 설계한 CDR회로의 레이아웃 배치도.
Fig. 8. Layout of the CDR circuit.

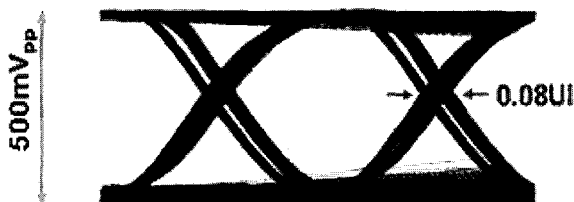


그림 9. 2¹³-1 입력 PRBS에 대한 복원 및 DeMUX된 데이터의 eye-diagram (지터 0.08UI)
Fig. 9. Eye-diagrams of the retimed and demuxed data for 2¹³-1 input PRBS (jitter 0.08UI).

표 1. 기존 CDR 회로와의 성능비교

Table 1. Performance comparison with recently published gigabit CDRs.

파라미터	[1]	[2]	[4]	this work
공정	0.25 μm	0.18 μm	0.25 μm	66nm
전원전압	2.5V	2.5V	2.5V	1.8V
구조	1/8-rate	half-rate	half-rate	half-rate
동작속도	4Gb/s	10Gb/s	5Gb/s	5.4Gb/s
VCO	500MHz	5GHz	2.5GHz	2.7GHz
클럭 지터	5.2ps _{SRMS}	14.5ps _{p-p}	-	10ps _{SRMS}
소비전력	70mW	72mW	50mW	80mW
칩 크기	0.9mm ²	0.99mm ²	-	0.026mm ²

10ps_{SRMS}이다. 전체 회로는 1.8V 단일 전압을 사용하며, 80mW의 전력소모를 보인다.

표 1은 최근 발표된 기가비트급 CDR 회로의 성능을 비교한다. 1/8-rate CDR의 경우, VCO의 동작속도가 500MHz로 매우 낮기 때문에 클럭의 지터를 줄일 수 있는 반면 칩 사이즈가 본 연구에 비해 매우 큰 단점이 있다. 또한 half-rate 10Gb/s CDR의 경우, 선형성 위상검출기를 사용하여 지터를 낮출 수 있으나, VCO의 동작속도가 높아 매우 신중한 설계가 필요하다. 반면, 본 연구에서는 비선형의 bang-bang 위상검출기 및 루프이득을 높일 수 있는 전하펌프를 동시에 사용하여 루프 에러를 빨리 줄일 수 있었고, half-rate 구조를 이용하여 매우 작은 칩 사이즈를 얻을 수 있었다.

IV. 결 론

5.4Gb/s half-rate bang-bang 클럭 및 데이터 복원 회로를 66nm CMOS 공정파라미터를 기반으로 설계하였다. 실제 PCB 환경의 유사 기생성분을 포함하여 post-layout 시뮬레이션 결과, 5.4Gb/s의 2¹³-1 PRBS 입력데이터에 대해 10ps_{SRMS} 클럭 지터 및 40ps_{p-p} 복원된 데이터 지터 특성을 가지며, 1.8V의 단일 전원전압으로부터 약 80mW 전력소모를 보인다. 따라서 이 회로는 고속의 대용량 데이터 전송이 이루어지는 차세대 그래픽 DRAM 인터페이스 응용에 쓰일 수 있다

참 고 문 헌

[1] S. -J. Song, J. Lee, S. M. Park, and H. -J. Yoo "A 4-Gb/s Clock and Data Recovery Circuit Using Four-Phase 1/8-Rate Clock", IEEE J. of Solid-State Circuits, Vol. 38, pp. 1213-1219, 2003.
[2] J. Savoj and B. Razavi, "10-Gb/s CMOS Clock

and Data Recovery Circuit with a Half-Rate Linear Phase Detector", IEEE J. of Solid-State Circuits, Vol. 36, No. 5, pp. 761-768, May 2001.

[3] B. Razavi, "Challenges in the Design of High-Speed Clock and Data Recovery Circuits", IEEE Communications Magazine, pp.94-101, 2002.

[4] K. Kim, Y. Kim, S. M. Park, and S. Lee, "High speed memory interface를 위한 5Gbps 클럭/데이터 복원회로 설계", SoC 학술대회, May 2006.

저 자 소 개



김 영 란(학생회원)
 2005년 이화여자대학교 정보통신학과 학사졸업.
 2007년 이화여자대학교 정보통신학과 석사졸업 예정.
 <주관심분야 : 메모리 인터페이스 회로설계>



김 경 애(정회원)
 2004년 이화여자대학교 정보통신학과 학사졸업.
 2006년 이화여자대학교 정보통신학과 석사졸업.
 현재 매그나칩 ISD IAE 팀

<주관심분야 : 디지털 및 아날로그 회로설계>



이 승 준(평생회원)
 1986년 서울대학교 전기전자공학과 학사졸업.
 1989년 U.C. Berkely 전자공학과 석사 졸업.
 1993년 U.C. Berkely 전자공학과 박사 졸업.

현재 이화여자대학교 정보통신학과 부교수
 <주관심분야 : 디지털 SoC설계, 무선통신용 MAC 구현, 차세대 메모리 설계>



박 성 민(평생회원)
 1993년 한국과학기술원 전기및전자공학과 학사졸업.
 1994년 런던대학교 전자공학과 석사 졸업.
 2000년 임페리얼 공대 전자공학과 박사 졸업.

현재 이화여자대학교 정보통신학과 조교수
 <주관심분야 : RF 및 광통신용 초고속 아날로그 회로 설계>