

논문 2007-44SD-2-12

휴대용 내장형 시스템에서 DC-DC 변환기를 고려한 동적 전압 조절 (DVS) 기법

(Dynamic Voltage Scaling (DVS) Considering the DC-DC Converter in Portable Embedded Systems)

최 용 석*, 장 래 혁*, 김 태 환**

(Yongseok Choi, Naehyuck Chang, and Taewhan Kim)

요 약

동적 전압 조절(Dynamic voltage scaling, DVS) 기법은 가장 효과적이면서 가장 잘 알려진 전력 관리 기법 중 하나이다. DVS가 효율적인 여유 시간(Slack time) 분배 방법, 전압 할당 방법 등 다양한 방면에서 연구되었지만, 전압 변경 가능 프로세서 이외의 장치들에 대한 영향은 제대로 연구되지 못했다. DC-DC 변환기는 오늘날 대부분의 내장형 시스템에서 내부 장치들을 위한 다양한 값의 공급 전압 생성 및 전압 안정화 기능을 제공하는 중요한 역할을 하고 있으며, 특히 공급 전압의 계속적인 변경이 필요한 DVS를 적용하기 위해서는 필수적인 구성 요소이다. 이 논문에서는 DC-DC 변환기의 전력 소모를 포함한 시스템의 에너지 소모에 대해 분석하고 이를 바탕으로 DC-DC 변환기를 포함하는 시스템 또는 이와 유사한 형태의 에너지 소모 특성을 가지는 시스템에서 에너지 소모를 최소화하는 새로운 에너지 최적 오프라인 DVS 스케줄링 알고리즘을 제안하고, 실험 결과를 통해 제안된 알고리즘이 어떤 종류의 설정에서도 기존의 DVS 알고리즘보다 더 적은 에너지 소모의 스케줄을 생성함을 보여준다.

Abstract

Dynamic voltage scaling (DVS) is a well-known and effective power management technique. While there has been research on slack distribution, voltage allocation and other aspects of DVS, its effects on non-voltage-scalable devices has hardly been considered. A DC-DC converter plays an important role in voltage generation and regulation in most embedded systems, and is an essential component in DVS-enabled systems that scale supply voltage dynamically. We introduce a power consumption model of DC-DC converters and analyze the energy consumption of the system including the DC-DC converter. We propose an energy-optimal off-line DVS scheduling algorithm for systems with DC-DC converters, and show experimentally that our algorithm outperforms existing DVS algorithms in terms of energy consumption.

Keywords : DVS (Dynamic voltage scaling), DC-DC converter, low power, scheduling algorithm

I. 서 론

동적 전압 조절(Dynamic voltage scaling, DVS) 기

법은 가장 효과적이면서 가장 많이 연구된 전력 관리 기법 중 하나이다. DVS 적용 시 비주기적인 태스크들 또는 주기적인 태스크들에 대해 에너지 절감의 이론적인 최대치에 대한 연구^{[1][2]}부터 실제의 시스템에서 에너지 절감을 위해 실시간 태스크의 여유 시간(Slack time) 예측과 분배에 대한 연구^{[3][4]}까지 다양한 방면에서 이루어졌다. 또 동일한 태스크 수행 중에도 공급 전압을 변경시키는 인트라 태스크(Intra-task) DVS에 대한 연구들로 확장되기도 하였다^{[5][6]}.

하지만 대부분의 연구들이 DVS를 적용할 때 전압이 변경되는 장치의 에너지 소모에만 집중하고 있으며,

* 정희원, 서울대학교 컴퓨터공학부
(School of Computer Science and Engineering,
Seoul National University)

** 정희원, 서울대학교 전기공학부
(School of Electrical Engineering, Seoul National
University)

※ 본 연구는 정보통신부의 출연금 등으로 수행한 정보통신연구개발사업의 연구결과입니다.

접수일자: 2006년10월10일, 수정완료일: 2007년1월23일

DVS가 나머지 장치들의 에너지 소모에 어떤 영향을 미치는지에 대한 연구가 부족했던 것이 사실이다. 최근에서야 전압 변경이 불가능한 메모리 등의 외부 장치까지 고려한다거나^[7], 프로세서의 정적(Static) 전력 소모까지 고려하는 경우에 대한 연구 등^[8] 좀 더 현실적인 에너지 모델을 대상으로 하는 연구로 확장되고 있다. 따라서 이 논문에서는 i) DVS 실행에 필수적인 구성 요소인 DC-DC 변환기의 에너지 소모를 포함하는 좀 더 현실적인 에너지 모델을 소개하고, ii) 이에 기반을 둔 새로운 DVS 스케줄링 알고리즘을 소개하고자 한다.

DC-DC 변환기는 원하는 공급 전압으로의 변환(Conversion)과 전압 안정화(Regulation) 기능을 수행하는 장치로 다양한 전압을 사용하는 장치들로 구성된 현대 디지털 시스템의 중요한 구성 요소이다. 특히 DVS 처럼 지속적인 전압 변경을 요구하는 경우 DC-DC 변환기는 필수적인 요소이다. DC-DC 변환기 중 상대적으로 높은 효율을 보이는 스위칭 레귤레이터(Switching regulator)를 사용하는 경우에도 그 전력 소모가 시스템 전체 전력 소모의 10%에서 최대 40%에 이를 정도로 적지 않은 비중을 차지할 뿐만 아니라 시스템 부하 조건에 따라 달라지기 때문에 전력 관리 기법을 적용할 때 반드시 DC-DC 변환기의 전력 소모가 함께 고려되어야만 한다. 하지만 DC-DC 변환기 자체의 효율 또는 구조 개선에 대한 연구^{[9][10]}들이 활발하게 이루어져 온 반면 그 운용 방법에 대해서는 연구가 부족한 실정이며, 최근에 와서야 DC-DC 변환기의 전력 소모를 전력 관리 기법에 접목하는 연구가 시작되고 있다^[11].

이 논문의 기여도는 다음과 같다. i) DC-DC 변환기를 고려한 전력 관리 기법을 소개하는 기존 연구^[11]의 DVS 부분을 확장하여 다양한 DC-DC 변환기에 대한 전력 모델을 자세히 소개하고, DC-DC 변환기를 포함하는 시스템을 위한 새로운 오프라인(Off-line) 에너지 최적(Energy optimal) DVS 스케줄링 알고리즘을 제안한다. ii) 이를 위해 먼저 DC-DC 변환기의 전력 소모 모델과 기존의 전압 변경 가능 프로세서의 전력 소모 모델을 결합하여 DC-DC 변환기를 장착한 시스템의 에너지 소모 모델을 만들고, 이 시스템 에너지 모델의 특성이 기존의 그것과 달라짐을 보인다. iii) DVS 수행 시 이 특성을 이용하여 DC-DC 변환기를 포함한 전체 시스템의 에너지 소모를 최소화하는 최적 공급 전압 할당 방법을 소개하고, 이를 바탕으로 기존의 오프라인 에너지 최적 DVS 스케줄링 방법을 변경하여 DC-DC 변환기의 에너지 소모까지 고려하는 새로운 오프라인 에너지

최적 DVS 스케줄링 방법을 제안한다. iv) 마지막으로 이 방법을 다양한 실시간 태스크 집합들에 적용해봄으로써 그 효과를 검증한다.

II. DC-DC 변환기 개요

일반적으로 휴대용 시스템은 배터리 등 하나의 전력 공급원을 가지고 있다. 이 공급원으로부터 DC-DC 변환기는 여러 가지 원하는 전압값의 전력 공급원들을 만들어 낸다. 또 DC-DC 변환기는 입력 전력 공급원의 전압 변화 또는 전력을 공급받는 부하의 전력 소모 변화에 영향을 받지 않고 출력 전압을 일정하게 유지해주는 역할을 수행한다. DC-DC 변환기는 일반적으로 스위칭 레귤레이터(Switching regulator)와 선형 레귤레이터(Linear regulator)로 구분할 수 있다. 일반적으로 스위칭 레귤레이터는 선형 레귤레이터보다 더 많은 비용이 들고 더 많은 잡음을 발생시키지만 더 높은 전력 변환 효율을 보여주는 것으로 알려져 있다. DC-DC 변환기의 전력 변환 효율은 DC-DC 변환기와 연결된 부하의 전력 소모를 합친 전체 시스템의 전력 소모에 대한 부하의 전력 소모의 비율로서, 높을수록 DC-DC 변환기에서의 효율적으로 변환을 수행하여 전력 손실이 적다는 것을 나타낸다. 이런 이유로 저비용, 저잡음이 요구되는 경우를 제외하고는 저전력 응용에서는 주로 스위칭 레귤레이터가 사용된다.

스위칭 레귤레이터는 회로에 포함된 두 개의 MOSFET 스위치를 서로 번갈아가면서 주기적으로 열고 닫음으로써 기능을 수행하는데, 이 스위치들의 제어에는 여러 가지 방식이 있으며, PWM(Pulse width modulation)과 PFM(Pulse frequency modulation)이 많이 사용된다. 전자는 이 스위치들을 열고 닫는 주기인 스위칭 주파수(Switching frequency)는 변경하지 않은 상태에서 각 MOSFET 스위치의 듀티 비율(Duty

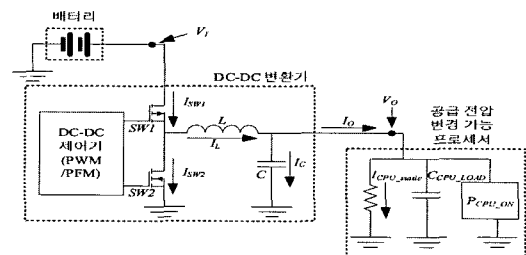


그림 1. 스텝 다운 DC-DC 변환기의 구조

Fig. 1. The structure of a step-down DC-DC converter.

ratio), 즉 한 스위칭 주기 중 각 스위치의 턴 온(Turn on) 시간의 비율을 조정하면서 부하의 요구에 부응하는 방식인 반면, 후자는 부하의 요구에 따라 일정 주기마다 스위치의 턴 온 여부를 결정하는 방식이다. 다른 제어 방식으로 인해 PWM 방식이 더 작은 출력 전압 리플(Ripple), 스위칭 잡음 제거의 용이성, 높은 부하 상황에서 고효율 등의 장점을 가지는 반면 낮은 부하 상황에서 PFM보다 효율이 낮다는 단점이 있다. 이 논문에서는 DC-DC 변환기들 중 PWM, PFM 스텝 다운(Step-down) 스위칭 레귤레이터를 대상으로 한다. 그림 1은 일반적인 스텝 다운 스위칭 레귤레이터의 구조를 보여주고 있으며, 이들의 전력 소모 모델이 부록에 소개되어 있다. 다음 장에서는 이를 바탕으로 DC-DC 변환기를 포함한 전체 시스템 에너지 모델을 작성한다.

III. DC-DC 변환기 전력 소모를 고려한 최적 공급 전압 할당 기법

전압 변경 가능 프로세서의 유효 부하 캐패시턴스 C_{CPU_load} , 동작 전압 V_{CPU} , 동작 주파수 f_{CPU} 인 경우, 전력 소모 P_{CPU} 와 에너지 소모 E_{CPU} 는 다음과 같이 구할 수 있음은 잘 알려져 있다.

$$P_{CPU} = C_{CPU_load} \cdot V_{CPU}^2 \cdot f_{CPU} + V_{CPU} \cdot I_{CPU_static} + P_{CPU_on} \quad (1)$$

여기서 I_{CPU_static} 은 동작 주파수 독립적인 정적 전류 소모(주로 서브쓰레시홀드 누설 전류(Subthreshold leakage current))를 P_{CPU_on} 은 프로세서 중 변경 가능한 공급 전압값에 영향을 받지 않는 부분에 대한 전력 소모를 나타낸다. 또, 공급 전압 변경 가능 프로세서에서 공급 전압과 최대 동작 주파수는 거의 비례한다는 것이 잘 알려져 있기 때문에 다음과 같이 둘의 관계를 표현할 수 있다.

$$f_{CPU} = \alpha \cdot V_{CPU} \quad (2)$$

여기서 α 는 임의의 상수로 사용하는 프로세서의 주파수와 공급 전압 관계에 따라 그 값이 정해진다.

우리는 프로세서 에너지 소모에 부록에 소개된 DC-DC 변환기의 에너지 소모를 더한 시스템 전체 에너지 소모를 구하여, DVS 실행 시 공급 전압의 변화에 따라 전체 에너지 소모가 어떻게 변하는지 알아보려고 한다. 식 1, 2로부터 DVS 적용할 때 공급 전압(V_{CPU})에

따른 프로세서 에너지 소모는 구할 수 있다. 하지만 앞에서 살펴보았듯이 DC-DC 변환기의 전력 소모는 DC-DC 변환기의 출력 전압(V_{CPU})과 출력 전류(I_O)에 영향을 받으며 이는 각각 프로세서의 공급 전압(V_{CPU})과 부하 전류(I_{CPU})와 동일하다. DC-DC 변환기의 전력 소모 또한 DVS 수행 시 달라지는 시스템 부하 조건을 고려하여 구해야 하는 것이다. DVS 수행 시에는 식 1, 2로부터 식 3과 같이 프로세서 부하 전류(I_{CPU})와 공급 전압(V_{CPU})의 관계를 구할 수 있고 결국 DC-DC 변환기의 출력 전류(I_O)와 출력 전압(V_O) 간의 관계이므로 DC-DC 변환기의 전력 소모 모델 중 I_O 와 관련된 항들은 모두 V_O 의 항으로 표시할 수 있게 된다.

$$\begin{aligned} I_{CPU} &= \frac{P_{CPU}}{V_{CPU}} \\ &= C_{CPU_load} \cdot \alpha \cdot V_{CPU}^2 + I_{CPU_static} + \frac{P_{CPU_on}}{V_{CPU}} \quad (3) \\ &= C_{CPU_load} \cdot \alpha \cdot V_O^2 + I_{CPU_static} + \frac{P_{CPU}}{V_O} = I_O \end{aligned}$$

결국 DC-DC 변환기의 전체 전력 소모는 식 3과 식 8, 10, 13, 14(부록 참조)를 이용하고, 프로세서의 전력 소모는 식 1, 2를 이용하면 DVS 수행 시 달라지는 여러 가지 부하 조건(공급 전압, 부하 전류, 동작 주파수 등) 중 프로세서 공급 전압(또는 DC-DC 변환기의 출력 전압)만의 함수로 표시할 수 있게 된다. 시스템 전체의 전력 소모(P_{SYS})는 다음과 같이 이들의 합으로 나타낼 수 있으므로 이 또한 프로세서 공급 전압의 함수로 표시할 수 있다. 여기서 v 는 V_O 와 V_{CPU} 를 나타내는 변수이다.

$$P_{SYS}(v) = P_{CPU}(v) + P_{DCDC}(v) \quad (4)$$

이 때 총 실행 사이클 개수가 R 인 태스크를 수행한다면, 수행을 완료하는데 걸리는 시간은 $R \cdot \frac{1}{f_{CPU}} = R \cdot \frac{1}{\alpha \cdot v}$ 이 되고 결국 이 태스크를 수행하는데 시스템 전체에서 소모되는 에너지(E_{SYS})는 다음과 같이 구할 수 있다.

$$E_{SYS}(v) = \frac{R}{\alpha} \cdot \frac{P_{SYS}(v)}{v} \quad (5)$$

그림 2는 공급 전압에 대해 DC-DC 변환기 고려한 시스템 에너지 소모(E_{SYS})와 그렇지 않은 경우의 에너지 소모(E_{CPU})를 보여주고 있다. E_{SYS} 도 여전히 E_{CPU} 와 마찬가지로 볼록(Convex) 형태의 공급 전압 대 에너지 함

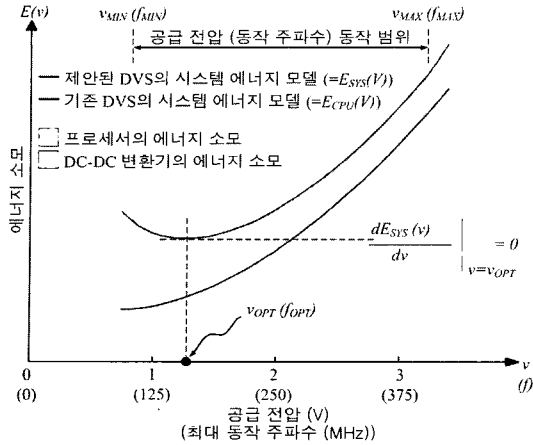


그림 2. DC-DC 변환기를 포함한 시스템에서의 공급 전압 대 에너지 소모 그래프
 Fig. 2. The energy consumption including the DC-DC converter according to the supply voltage.

수를 보여주지만 단조 증가(Monotonically increasing) 상태는 아니며 이는 더 이상 최소의 공급 전압이 최소의 에너지 소모를 보장하지 않음을 알 수 있다. 따라서 DC-DC 변환기를 고려하는 DVS에서는 태스크에 여유 시간이 충분하다 하더라도 v_{OPT} 이하의 공급 전압 그리고 f_{OPT} 이하의 동작 주파수를 할당해서는 안 된다. DC-DC 변환기를 포함한 전체 시스템의 에너지 소모를 최소화하는 최적 공급 전압값(v_{OPT})은 식 6을 만족하는 v 의 값을 구함으로써 쉽게 얻을 수 있으며 이 값은 실행되는 태스크의 특성 등과는 관계없이 시스템을 구성하는 프로세서와 DC-DC 변환기의 전력 소모 특성에 의해서 결정된다.

$$\frac{dE_{SYS}(v)}{dv} = 0 \tag{6}$$

식 2를 이용하면 에너지 소모를 최소화하는 최적 동작 주파수 f_{OPT} 도 구할 수 있다. 물론 프로세서의 공급 전압 범위가 $[v_{MIN}, v_{MAX}]$ 로 주어질 때, v_{OPT} 가 v_{MIN} 보다 작거나 v_{MAX} 보다 큰 경우가 발생한다면, v_{OPT} 는 v_{MIN} 또는 v_{MAX} 값으로 재설정되어야 한다.

IV. DC-DC 변환기를 고려한 에너지 최적 DVS 스케줄링 알고리즘

앞에서 살펴본 최적 공급 전압 및 동작 주파수 할당 방법을 바탕으로 DC-DC 변환기의 에너지까지 고려하는 새로운 DVS 스케줄링 방법을 제안하고자 한다. 실제의 다중 태스크 환경에서 태스크 상호간의 관계와 실

표 1. 다중 태스크 환경에서 DC-DC 변환기를 고려한 에너지 최적 오프라인 DVS 스케줄링 알고리즘

Table 1. An energy-optimal off-line DVS algorithm considering the DC-DC converter in multi-task systems.

<p>* J에 태스크가 남아 있지 않을 때까지 다음을 반복한다.</p> <ol style="list-style-type: none"> 1. 모든 구간에 대해 $g(I)$를 계산하고 이 중 가장 높은 집중도를 가지는 임계 구간(Critical interval) $I' = [z, z']$를 찾아낸다; 2. 만약 $f_s > f_{OPT}$라면, 마감 시한 우선 정책(Earliest deadline policy)을 적용하여 구간 I'의 태스크들 J_s를 f_s의 속도로 스케줄한다; 만약 $f_s \leq f_{OPT}$라면, 모든 스케줄되지 않은 태스크들을 f_{OPT}의 속도로 스케줄하고 종료한다; 3. 이미 스케줄된 J_s과 구간 I'를 제거하고 나머지 태스크 집합과 구간들을 재조정한다. 이를 위해 다음과 같은 작업을 수행한다: <ul style="list-style-type: none"> * $J \leftarrow J - J_s$; * $b_j \in [z, z']$이면 마감 시한을 $b_j \leftarrow z$로 설정하고, $b_j \geq z'$이면 마감 시한을 $b_j \leftarrow b_j - (z' - z)$로 설정한다; * 도착 시간도 유사한 방법으로 재조정한다.
--

시간 요구 조건을 모두 고려하여 DC-DC 변환기를 포함한 시스템의 에너지 소모를 최소화하는 동작 주파수 즉 공급 전압이 각 태스크에 할당되어야 한다. 프로세서의 동적 전력 소모만 고려하는 전통적인 DVS 시스템에서 여러 개의 태스크들에 대해 에너지 최적 오프라인 스케줄을 생성해내는 방법은 F. Yao 등에 의해 제안된 바 있다^[1]. 하지만 이 방법은 공급 전압에 대한 에너지 소모 함수가 볼록(Convex)이면서 단조 증가인 경우에 대해 오프라인 최적 스케줄을 얻는 방법으로 DC-DC 변환기의 포함으로 인해 볼록(Convex)이지만 단조 증가는 아닌 형태로 에너지 함수가 바뀐 경우에는 최적의 오프라인 스케줄을 얻는 방법도 달라져야 한다.

이 논문에서는 기존의 최적 오프라인 스케줄링 방법^[1]을 변형하여 DVS를 수행할 때 DC-DC 변환기까지 고려하는 에너지 최적 오프라인 스케줄링 알고리즘을 제시한다. 다음 장에서는 DC-DC 변환기를 사용하는 시스템에 기존의 알고리즘과 새롭게 제안된 알고리즘을 적용하여 에너지 소모를 비교하여 DC-DC 변환기를 고려한 DVS 방법의 시스템 에너지 소모 절감 효과를 보고자 한다.

만약 스케줄링하고자 하는 시간 구간 내의 태스크들의 집합을 J , J 내 각각의 태스크 $j(j \in J)$ 에 대해 a_j 는 도착 시간, b_j 는 마감 시한, R_j 는 태스크 수행에 요구되는 CPU 사이클의 개수를 나타낸다고 할 때, 기존의 최적 DVS 알고리즘^[1]에서는 구간 $I = [z, z']$ 에 대한 집중도

(Intensity) $g(I)$ 를 다음과 같이 정의한다.

$$g(I) = \frac{\Sigma R_j}{z' - z} \quad (7)$$

여기서 ΣR_j 는 구간 $I=[z, z']$ 에 속하는 모든 태스크들의 실행 사이클 개수의 합으로 결국 $g(I)$ 는 구간 I 에 대해 주어진 시간(= $z'-z$)을 모두 활용하여 전압을 조절할 때 작업 부하(Workload)의 강도를 나타낸다고 할 수 있다. 프로세서의 동적 전력 소모만 고려하는 전통적인 DVS 시스템을 가정한다면 이 집중도는 해당 구간에 속한 태스크들이 실시간 요구 조건을 위반하지 않으면서 에너지 소모를 최소화 할 수 있는 최소 구동 주파수 또는 공급 전압에 대한 정보를 제공해주게 된다. 즉 서로 다른 집중도를 가지는 구간 I_a 와 I_b 에 속한 태스크들에게 할당 가능한 최소 동작 주파수는 $g(I_a)$ 대 $g(I_b)$ 의 비율로 나타나게 되는 것이다. 결국 주어진 프로세서의 임의의 구간 I 에 대해 $f_{l,min} = \beta \cdot g(I)$ 와 같이 그 관계를 표시할 수 있다. (β 는 임의의 상수, $f_{l,min}$ 은 구간 I 에 속한 태스크들에 할당 가능한 최소 주파수값) 기존의 방법은 주어진 모든 태스크들에 대해 최대의 집중도를 가지는 구간에 속한 태스크들부터 최소의 동작 주파수로 스케줄링해 나가면서 최적의 에너지 소모 결과를 보여주는 스케줄을 생성해 낸다. 하지만 앞 장에서 살펴본 것처럼 DC-DC 변환기의 에너지 소모까지 고려하는 경우 최소의 동작 주파수가 항상 최소의 에너지 소모를 보장하지 않는다. 우리는 이러한 상황을 반영하여 기존의 방법을 변형하여 표 1과 같이 새로운 환경에 적합한 오프라인 에너지 최적 알고리즘을 소개한다. 여기서 f_s 는 집중도가 s 인 구간에 할당 가능한 최소 동작 주파수 즉 $f_s = \beta \cdot s$ 를, f_{OPT} 는 앞 장에서 언급한 DC-DC 변환기를 포함한 DVS 시스템에서 최소 에너지 소모를 위한 동작 주파수를 나타낸다.

● 제안된 알고리즘의 최적성(Optimality) 증명:

다음과 같이 보일 수 있다. 임계 구간의 집중도가 s 일 때, $f_s > f_{OPT}$ 인 경우 에너지 소모는 동작 주파수 또는 공급 전압의 불룩, 단조 증가 함수이고 여전히 이전의 방법^[1]이 유효하기 때문에 동일한 방법으로 스케줄링을 진행한다. 달라진 점은 현재 임계 구간의 집중도가 s 일 때 $f_s \leq f_{OPT}$ 인 경우가 발생하는 경우 집중도와는 관계없이 동작 주파수가 할당되지 않은 채 남아 있는 모든 태스크들에게 f_{OPT} 를 할당하고 스케줄링을 종료하는 절차가 추가된 것이다. 기존의 방법과는 달리 동작

주파수를 f_{OPT} 이상으로 제한함으로써 여유 시간이 발생하게 된다. 만약 이 절차가 최적 에너지 소모 스케줄을 만들어 내지 못한다고 가정한다면 대신 다음 두 가지 방법 중 하나로 스케줄링이 이루어져야만 한다. (앞에서 밝힌 바와 같이 f_{OPT} 값은 태스크의 특성과는 무관하며 단지 시스템을 구성하는 프로세서와 DC-DC 변환기의 전력 소모 특성에 의한 고유의 값이다.)

(i) 발생한 여유 시간을 현재의 임계 구간에 속하는 태스크들을 포함한 스케줄링되지 않은 나머지 태스크들이 활용하는 경우: 가장 높은 집중도를 가지는 구간부터 스케줄링하므로 알고리즘을 수행하는 동안 임계 구간의 집중도는 계속 낮아지게 된다는 사실로부터, (즉, 현재 임계 구간에서 할당되는 주파수는 이전의 임계 구간들에서 할당된 주파수보다는 크지 않다.) 현재 구간의 집중도가 s 이고 $f_s \leq f_{OPT}$ 이면, 이미 스케줄링된 태스크들은 모두 f_{OPT} 보다는 작지 않은 동작 주파수가 할당된 상태이고 나머지 스케줄링되지 않은 태스크들은 f_s 보다 낮은 주파수가 할당될 수 있는 상태임을 알 수 있다. 만약 스케줄링되지 않은 태스크들이 f_{OPT} 로 스케줄링이 가능한데도 여유 시간을 활용하기 위해 다른 주파수 $f' (< f_{OPT})$ 로 스케줄링한다면 그림 1에서 알 수 있듯이 $E_{SYS}(f') > E_{SYS}(f_{OPT})$ 이므로 결과의 최적성 조건을 위반한다.

(ii) 발생한 여유 시간을 이미 스케줄링된 태스크들이 활용하는 경우: 앞에서 말했듯이 f_{OPT} 보다 높은 주파수가 할당된 태스크들은 스케줄링이 끝나서 이미 자신이 속한 구간의 집중도에 상응하는 동작 주파수가 할당된 상태이다. 이 값은 실시간 요구 조건을 만족시키는 가장 낮은 값이므로 만약 에너지 소모를 줄이기 위해 남은 여유 시간을 이용하여 현재 할당된 값보다 낮은 주파수에서 동작시킨다면 실시간 요구 조건을 위반한다.

두 경우 모두 요구 사항을 만족시키지 못하므로 현재의 방법이 최적이다. 결국 임계 구간의 집중도 s 이고 $f_s \leq f_{OPT}$ 인 경우가 발생하면 스케줄링되지 않은 태스크들에게 모두 f_{OPT} 의 동작 주파수를 할당하는 것이 최적임을 알 수 있다. 제안된 알고리즘은 최소 공급 전압이 최소 에너지 소모를 이끌어 내지 않으면서 불룩 형태의 에너지 함수를 가지는 경우, 즉 $[U_{MIN}, U_{MAX}]$ 구간 내에 $U_{OPT} (\neq U_{MIN})$ 가 존재하는 모든 경우에 적용 가능하므로 DC-DC 변환기를 고려한 DVS뿐만 아니라 유사한 형태의 에너지 함수를 가지는 다른 DVS 스케줄링에도 적용할 수 있다.

V. 성능 평가

제안된 방법의 효과를 검증하기 위해 다양한 시스템 이용률(Utilization)을 가지는 태스크 집합들을 임의(Random)로 생성하여 이들에게 기존 오프라인 최적 스케줄링 알고리즘^[1]과 제안된 오프라인 최적 스케줄링 알고리즘을 각각 적용해 보고 에너지 소모를 비교한다.

다양한 성격의 시스템에서의 효과를 검증하기 위해 수백 mA에서 수 A 정도의 구동 전류를 소모하는 일반적인 내장형 프로세서(표 2의 P1)와 PWM DC-DC 변환기(표 3의 D1)로 구성된 시스템 SYS1과 수백 μA 수준의 구동 전류를 가지는 초저전력 프로세서(표 2의 P2)와 PWM/PFM 하이브리드 DC-DC 변환기(표 4의 D2)로 구성된 시스템 SYS2, 두 가지에 대해 제안된 방법의 효과를 알아보려고 한다. 실험 대상 시스템에서 사용하는 DC-DC 변환기는 표 3과 같이 실제의 DC-DC 변환기 및 부품을 가정하고 있으며 DC-DC 변환기의 전력 모델의 구축에 필요한 각종 제조 파라미터들은 이들에 해당하는 값들을 사용하였다. 표 2는 실험 대상 시스템에서 가정하는 전압 변경 가능 프로세서의 각종 전력 소모 파라미터들을 포함하고 있다.

주어진 시스템 이용률을 만족시킬 수 있도록 임의로 생성된 실시간 태스크 집합을 10000 μs 동안 수행하였을 때, 기존의 최적 DVS 스케줄링 방법^[1]과 제안된 최적 DVS 스케줄링 방법의 적용 시 에너지 소모를 표 5

표 2. 실험 대상 프로세서 요약
Table 2. Target processors in experiments.

전력 소모 특성	프로세서 설정	
	P1	P2
$[V_{MIN}, V_{MAX}]$	[0.8 V, 3.2 V]	[1.8 V, 3.6 V]
$[f_{MIN}, f_{MAX}]$	[100 MHz, 400 MHz]	[4 MHz, 8 MHz]
I_{CPU_static}	100 mA	300 μA
P_{CPU_on}	150 mW	500 μW
$P_{CPU@V_{MAX}}$	5.85 W	5.32 mW

표 3. 실험 대상 DC-DC 변환기 요약
Table 3. Target DC-DC converters in experiments.

구성 요소	DC-DC 변환기 설정	
	D1	D2
DC-DC 제어기	Texas Instruments, TPS40009 ^[12] , PWM	Texas Instruments, TPS62100 ^[13] , PWM/PFM
MOSFET (SW)	Vishay Siliconix, Si4946EY	DC-DC 제어기에 내장
인덕터 (L)	Coiltronics, DR74-6R8, 6.8 μH	Coilcraft, DO1608C-153ML, 15 μH
캐패시터 (C)	Sanyo, 20TQC22M, 22 μF	Taiyo Yuden, JMK212BJ106MG, 10 μF

와 6에서 비교하고 있다. 임의로 생성된 태스크 집합들을 10000 μs 동안 수행한 경우의 에너지 소모를 담고 있다. 시스템 SYS1의 에너지 모델을 적용한 경우에 대한 에너지 소모 비교 결과인 표 5에서 제안된 알고리즘은 최대 14.4%까지 더 적은 에너지 소모를 보임을 알 수 있다. 또 시스템 SYS2의 에너지 모델을 적용하는 경우에는 최대 5.7%까지 더 적은 에너지 소모를 보임을 알 수 있다. 그리고 어떤 설정에서 제안된 알고리즘은 기존 알고리즘보다 더 높은 에너지 소모를 보이는 경우는 없음을 볼 수 있었다.

결국 기존의 최적 알고리즘은 DC-DC 변환기를 포함하는 새로운 시스템에서 실제로 최적 DVS 스케줄을 만들어 내지 못하며, 제안된 알고리즘이 항상 더 낮은 에너지 소모의 스케줄을 생성해낸다는 점이 앞 장에서의 DC-DC 변환기를 포함한 시스템에서의 최적성 증명을 뒷받침하고 있다. 정확한 시스템 에너지 소모를 구하기 위해서는 어떤 범위의 공급 전압에서도 DC-DC 변환기의 에너지 소모가 고려되어야 하지만, DVS 스케줄링 측면에서는 V_{OPT} 이하의 공급 전압 범위에서만 차이가 발생한다. 시스템 이용률이 낮아질수록 V_{OPT} 이하의 스케줄 생성 가능성이 높아지는 만큼 표 5, 6에서도 시스템 이용률이 낮은 경우에 두 알고리즘 간 차이가 커짐을 볼 수 있다. 시스템 SYS1, SYS2에서 각각 시스템 이용률이 40%, 70%를 넘는 경우엔 기존 방법과 동일한 에너지 소모를 보이는데 모든 태스크에 V_{OPT} 이상의 공급 전압이 할당되어 기존의 알고리즘과 동일한 스케줄링 과정을 거치기 때문인 것으로 이해할 수 있다.

시스템 SYS1에서 두 알고리즘 간의 차이가 더 크게 나타남을 볼 수 있는데, SYS1에서 낮은 부하 조건에서 상대적으로 전력 손실이 더 많은 PWM DC-DC 변환기를 사용하기 때문에 공급 전압이 낮아지는데 오히려 E_{SYS} 가 높아지는 역전 현상이 더 심하게 나타나기 때문인 것으로 생각할 수 있다.

표 4. 시스템 SYS1에서 대해 기존의 알고리즘과 제안된 알고리즘의 에너지 소모 비교

Table 4. Comparison of proposed algorithm with previous one in terms of energy consumption in SYS1.

시스템 이용률 (%)	에너지 소모 (nJ)			(B) / (A)
	DVS 미적용	기존 방법 적용 (A)	제안된 방법 적용 (B)	
10	67644825.6	34400974.6	29437099.0	0.856
20	135289516.0	68801880.5	58874139.1	0.856
30	202934290.9	93857517.8	88311216.0	0.941
40	270579015.1	117769592.5	117769592.5	1.000

표 5. 시스템 SYS2에서 대해 기존의 알고리즘과 제안된 알고리즘의 에너지 소모 비교

Table 5. Comparison of proposed algorithm with previous one in terms of energy consumption in SYS2.

시스템 이용률 (%)	에너지 소모 (nJ)			(B) / (A)
	DVS 미적용	기존 방법 적용 (A)	제안된 방법 적용 (B)	
10	78538.9	72540.7	68380.2	0.943
20	157099.4	145101.3	136779.3	0.943
30	235671.6	217672.8	205188.6	0.943
40	314224.3	290226.1	273580.8	0.943
50	392789.7	362791.3	341984.1	0.943
60	471349.2	413877.5	410382.3	0.992
70	549907.7	479679.5	479679.5	1.000

VI. 결 론

DC-DC 변환기는 현대 디지털 시스템에서 필수적인 요소이며 그 중요성은 점차 증가하고 있다. DC-DC 변환기의 전력 소모가 전체 시스템 전력 소모에서 무시할 수 없는 수준을 차지하고, 연결된 부하에 의해서 상당히 달라질 수 있음에도 그 동안의 고 수준 전력 관리 기법들은 이를 고려하지 않았다. 이 논문에서는 DC-DC 변환기의 전력 소모 특성을 가장 널리 쓰이는 전력 관리 기법 중 하나인 DVS와 결합시킨다. DC-DC 변환기에 대한 전력 소모 특성과 전력 소모 모델을 소개하였고 이를 DVS 가능한 프로세서의 전력 소모와 결합한 시스템 에너지 모델을 제시했다. 이 시스템 에너지 모델은 일반적인 DVS 연구에서 가정하고 있는 시스템 에너지 모델과는 차이가 있으며 이에 따라 최적의 에너지 소모 결과를 얻기 위해서는 스케줄링 방법이 달라져야 함을 보였다. 새로운 에너지 모델에 적용 가능한 최적 전압 할당 방법을 소개하고 이를 바탕으로 DC-DC 변환기를 고려한 시스템 또는 유사한 에너지 함수를 가지는 시스템의 에너지 최적 오프라인 DVS 스케줄링 방안을 제안하였다. 제안된 알고리즘의 최적성을 증명하였고 현실적인 시스템 에너지 모델을 사용한 실험 결과를 통해 제안된 알고리즘의 효과를 보여주었다. 앞으로 DVS를 위한 온라인(Online) 스케줄링 알고리즘 개발에도 이를 적용하여 기존의 DVS에 비해 에너지 소모를 줄일 수 있을 것으로 기대하고 있다.

부 록

1. DC-DC 변환기의 전력 소모 모델

선형 레귤레이터와는 달리 이상적인 스위칭 레귤레

표 6. DC-DC 변환기 전력 모델 파라미터 정리

Table 6. Summary of parameters in DC-DC converter power model.

제조(Manufacturing) 관련 파라미터	
$R_{(x)}$	구성 요소 'x'의 등가 직렬 저항
L_f	인덕터 L의 인덕턴스
$Q_{(x)}$	MOSFET 'x'의 게이트 차지
I_{peak}	최대 인덕터 전류 허용 값 (PFM DC-DC 변환기)
시간 관련 파라미터	
f_s	MOSFET 스위칭 주파수
T	MOSFET 스위칭 주기
$T_{(x)}$	한 스위칭 주기 중 MOSFET 'x'의 턴 온 시간
D	MOSFET SW1의 듀티 비율
입, 출력 관련 파라미터	
V_I	DC-DC 변환기 입력 전압
V_O	DC-DC 변환기 출력 전압 (= V_{CPU})
I_O	DC-DC 변환기 출력 전류 (= I_{CPU})

이터는 변환 과정에서 전력 손실 다시 말해 변환기 자체의 전력 소모는 발생하지 않는다. 하지만 실제의 스위칭 레귤레이터는 전력 소모를 일으키는 비이상적인 특성들을 가지고 있기 때문에 그들로 인한 전력 소모를 고려해야만 한다. DC-DC 변환 과정에서의 주요 전력 소모는 전도성(Conduction) 전력 소모($P_{conduction}$), 게이트 구동(Gate drive) 전력 소모($P_{gate\ drive}$), 제어기(Controller) 전력 소모($P_{controller}$)의 세 가지 정도로 분류할 수 있다. 이번 장에서는 DC-DC 변환기의 전력 소모에 대한 여러 가지 기존 연구들^{[14][9][15]}을 기초로 하여, 각 요인에 의한 전력 소모 모델을 소개한다.

스위치, 인덕터(Inductor), 캐패시터(Capacitor) 등 DC-DC 변환기의 구성 요소들은 인덕턴스(Inductance), 캐패시턴스(Capacitance) 성분뿐만 아니라 저항 성분을 가지고 있다. 이는 이들을 통해 전류가 흐를 때 전도성 전력 소모 $I^2 \cdot R_{ESR}$ (I: 해당 요소를 통해 흐르는 전류, R_{ESR} : 해당 요소의 등가 직렬 저항(Equivalent series resistance) 성분)을 피할 수 없음을 뜻한다. PWM DC-DC 변환기의 전도성 전력 소모는 다음과 같이 나타낼 수 있다.

$$P_{conduction_PWM} = I_O^2 \cdot (D \cdot R_{SW1} + (1-D) \cdot R_{SW2} + R_L) + \frac{1}{3} \cdot \left(\frac{\Delta I_{L_PWM}}{2}\right)^2 \cdot (D \cdot R_{SW1} + (1-D) \cdot R_{SW2} + R_L + R_C) \quad (8)$$

$$D = \frac{V_O}{V_I}, \quad \Delta I_{L_PWM} = \frac{V_O \cdot (1-D)}{L_f \cdot f_s} \quad (9)$$

구성 요소에 흐르는 전류의 DC 성분과 AC 성분에 의한 전력 소모의 두 항으로 나누어져 있으며, 각 항은 구성 요소를 전력 소모의 합으로 이루어진다. 예를 들

어 $SW1$ 의 경우 D , $SW2$ 의 경우 $(1-D)$ 의 듀티 비율을 가지므로 흐르는 전류의 DC 성분으로 인한 전력 소모는 각각 $I_{SW1} \cdot D \cdot R_{SW1}$, $I_{SW2} \cdot (1-D) \cdot R_{SW2}$ 이고 다른 요소들도 동일한 방식으로 구할 수 있다. ΔI_{L_PWM} 는 인덕터를 통해 흐르는 전류(I_L)의 리플값을 나타내며 식 9의 관계가 있음이 알려져 있다.

PFM DC-DC 변환기의 전도성 전력 소모도 거의 동일한 방식으로 표현될 수 있지만 구성 요소들에 흐르는 전류의 DC, AC 성분이나 듀티 비율에서 다소 달라져서 다음과 같이 표현할 수 있다^{[14][15]}.

$$\begin{aligned} P_{conduction_PFM} &= \frac{T_{SW1} + T_{SW2}}{T} \cdot \left(\left(\frac{I_{peak}}{2} \right)^2 \cdot \left(\frac{T_{SW1} \cdot R_{SW1}}{T_{SW1} + T_{SW2}} + \frac{T_{SW2} \cdot R_{SW2}}{T_{SW1} + T_{SW2}} + R_L \right) \right. \\ &\quad \left. + \frac{1}{3} \cdot \left(\frac{\Delta I_{L_PFM}}{2} \right)^2 \cdot \left(\frac{T_{SW1} \cdot R_{SW1}}{T_{SW1} + T_{SW2}} + \frac{T_{SW2} \cdot R_{SW2}}{T_{SW1} + T_{SW2}} + R_L + R_C \right) \right) \end{aligned} \quad (10)$$

PWM 방식과의 가장 큰 차이는 스위칭 주파수가 가변적이라는 점이며 다음과 같이 표현된다^[14].

$$f_{S_PFM} = \frac{1}{T} = \frac{2 \cdot I_O}{I_{peak} \cdot (T_{SW1} + T_{SW2})} \quad (11)$$

$$T_{SW1} = \frac{I_{peak} \cdot L_f}{V_I - V_O}, \quad T_{SW2} = \frac{I_{peak} \cdot L_f}{V_O} \quad (12)$$

여기서 ΔI_{L_PFM} 는 인덕터에 흐르는 전류의 리플을 나타내며, PFM DC-DC 변환기에서 I_{peak} 와 거의 동일한 값을 가지므로 이로 대체할 수 있다.

게이트 구동 전력 소모는 DC-DC 변환기 내의 MOSFET 게이트(Gate)의 캐패시턴스를 반복적으로 충전하는 과정에서 발생하는 전력 소모로서 스위칭 주파수에 비례하고 게이트 차지(Charge) 값에 비례하는 값을 가지게 되며 다음과 같이 표현된다^[15].

$$P_{gate_drive} = V_I \cdot f_s \cdot (Q_{SW1} + Q_{SW2}) \quad (13)$$

제어기 전력 소모는 출력 전압, 전류를 계속적으로 관찰하면서 게이트 스위칭을 조절하는 DC-DC 변환기 내 제어기의 전력 소모를 나타내는 것으로 게이트 구동 회로의 정적 전력 소모나 증폭기 등 여러 가지 전력 소모원이 존재한다. 일반적으로 제어기 전력 소모는 부하의 상태에 영향을 받지 않기 때문에 다음과 같이 일정한 전류($I_{controller}$)의 흐름으로 표현할 수 있다.

$$P_{controller} = V_I \cdot I_{controller} \quad (14)$$

결국 식 15와 같이 이 세 가지를 더하여 DC-DC 변

환기의 전체 전력 소모(P_{DCDC})를 구할 수 있다.

$$P_{DCDC} = P_{conduction} + P_{gate_drive} + P_{controller} \quad (15)$$

단 이 논문에서는 많은 DC-DC 변환기들이 부하가 전력을 소모하지 않는 경우 DC-DC 변환기 또한 전력 소모가 거의 없는 셧다운(Shutdown) 모드를 지원한다는 점을 감안하여^{[12][13]}, 부하가 없는 경우 즉 시스템의 부하 전류($=I_O$)가 0인 경우에는 DC-DC 변환기의 전력 소모도 0으로 간주하였다.

참고 문헌

- [1] F. Yao, A. Demers and A. Shenker, "A scheduling model for reduced CPU energy," IEEE Foundations of Computer Science, pp. 374-482, 1995.
- [2] G. Quan and X. S. Hu, "Minimum energy fixed-priority scheduling for variable voltage processors," Proc. of IEEE Design, Automation and Test in Europe, pp. 782-787, 2002.
- [3] Y. Shin, K. Choi and T. Sakurai, "Power optimization of real-time embedded systems on variable speed processors," Proc. of IEEE International Conference on Computer-Aided Design, pp. 365-368, 2000.
- [4] P. Pillai and K. G. Shin, "Real-time dynamic voltage scaling for low-power embedded operating systems," Proc. of ACM Symposium on Operating Systems Principles, pp. 89-102, 2001.
- [5] D. Shin, J. Kim and S. Lee, "Intra-task voltage scheduling for low-energy hard real-time applications," IEEE Design and Test of Computers, Vol. 18, No. 2, pp. 20-30, March 2001.
- [6] J. Seo, T. Kim and K. Chung, "Profile-based optimal intra-task voltage scheduling for hard real-time applications," Proc. of ACM/IEEE Design Automation Conference, pp. 87-92, 2004.
- [7] Y. Cho and N. Chang, "Memory-Aware Energy-Optimal Frequency Assignment for Dynamic Supply Voltage Scaling," Proc. of International Symposium on Low Power Electronics and Designs, pp. 387-392, 2004.
- [8] R. Jejurikar, C. Pereira and R. Gupta, "Leakage aware dynamic voltage scaling for real-time embedded systems," Proc. of Design Automation Conference, pp. 275-280, 2004.
- [9] V. Kursun, S. G. Narendra, V. K. De and E. G. Friedman, "Monolithic DC-DC converter analysis

and MOSFET gate voltage optimization," Proc. of IEEE International Symposium on Quality Electronic Design, pp. 279-284, 2003.

[10] M. M. Jovanovic, M. T. Zhang and F. C. Lee, "Evaluation of synchronous-rectification efficiency improvement limits in forward converters," IEEE Transactions on Industrial Electronics, Vol. 42, No. 4, pp. 387-395, August 1995.

[11] Y. Choi, N. Chang and T. Kim, "DC-DC Converter-Aware Power Management for Battery-Operated Embedded Systems," Proc. of Design Automation Conference, pp. 895-900, 2005.

[12] Texas Instruments, "TPS40009 Datasheet," "http://www.ti.com"

[13] Texas Instruments, "TPS62100 Datasheet," "http://www.ti.com"

[14] A. Stratakos, "High-efficiency low-voltage DC-DC conversion for portable applications," Ph. D. dissertation, Univ. California, Berkeley, 1999.

[15] Linear Technology, "LTC3445 Datasheet," "http://www.linear.com"

저 자 소 개



최 용 석(정회원)
 2000년 서울대학교 컴퓨터공학부
 학사 졸업
 2002년 서울대학교 컴퓨터공학부
 석사 졸업
 2002년~현재 서울대학교 컴퓨터
 공학부 박사과정

<주관심분야 : 내장형 시스템, 저전력 시스템>



장 래 혁(정회원)
 1989년 서울대학교 제어계측공학과
 학사 졸업
 1992년 서울대학교 제어계측공학과
 석사 졸업
 1996년 서울대학교 제어계측공학과
 박사 졸업

1997년 미국 University of Michigan 연구원
 2005년 미국 Arizona State University 방문교수
 1997년~현재 서울대학교 컴퓨터공학부 부교수
 <주관심분야 : 저전력 시스템, 내장형 시스템>



김 태 환(정회원)
 1985년 서울대학교 계산통계학과
 학사 졸업
 1987년 서울대학교 계산통계학과
 석사 졸업
 1993년 미국 University of Illinois
 at Urbana-Champaign
 전산학과 박사 졸업

1993년~1995년 미국 Lattice Semiconductor
 Corp. 근무
 1995년~1998년 미국 Synopsys Inc. 근무
 1998년~2004년 한국과학기술원 전자전산학과
 부교수
 2004년~현재 서울대학교 전기공학부 교수
 <주관심분야 : 집적 회로 설계 자동화, 내장형 시
 스템>