

논문 2007-44SD-1-1

# Magnetic-Tunnel-Junction 소자를 이용한 3비트 업/다운 카운터

(3-bit Up/Down Counter based on Magnetic-Tunnel-Junction Elements)

이 승 연\*, 김 지 현\*, 이 감 영\*, 양 희 정\*, 이 승 준\*\*, 신 형 순\*\*

(Seungyeon Lee, Jihyun Kim, Gamyoung Lee, Heejung Yang, Seungjun Lee, and Hyungsoon Shin)

## 요 약

MTJ (Magnetic Tunneling Junction) 소자는 불 (Boolean) 연산을 수행할 수 있을 뿐만 아니라, 자신의 출력 정보를 저장하는 비휘발성 소자이다. 기존의 트랜지스터로 구성된 논리 연산자를 MTJ 소자로 대체함으로써, 조합논리 회로와 순차논리 회로로 구성된 디지털 논리 회로를 자기논리 (magneto-logic) 회로로 대체 가능하다. 또한 자기논리 회로는 비휘발성 논리 소자를 사용함으로써, 회로 면적 면에서 우수하고 전원이 꺼져도 정보를 유지할 수 있는 장점을 가지고 있다. 본 논문에서는 이러한 자기논리 회로의 예로 3비트 업/다운 카운터를 설계하였고 그 동작을 이전 논문에서 제안된 바 있는 macro-model을 보완 적용하여 검증하였다.

## Abstract

An MTJ element not only computes Boolean function but also stores the output result in itself. We can make the most use of magneto-logic's merits by employing the magneto-logic in substitution for the sequential logic as well as the combinational logic. This unique feature opens a new horizon for potential application of MTJ as a universal logic element. Magneto-logic circuits using MTJ elements are more integrative and non-volatile. This paper presents novel 3-bit magneto-logic up/down counters and presents simulation results based on the HSPICE macro-model of MTJ that we have developed.

**Keywords :** magneto-logic, MTJ, 3-bit up counter, 3-bit down counter, macro-model

## I. 서 론

디지털 회로는 크게 조합논리 (combinational logic) 회로와 순차논리 (sequential logic) 회로의 두 가지 종류로 나누어진다. 조합논리 회로는 NAND, NOR, XOR 등의 논리 연산자를 조합하여 구성한 것으로 인가된 입력에 대해 즉시 연산 결과를 출력하고, 순차논리 회로는 래치나 레지스터와 같이 중간결과를 저장할 수 있는

저장소를 두어 순서에 따라 차례차례 일을 하여 최종 결과를 낸다. 기존의 상보성금속산화물반도체 (CMOS) 논리 회로에서는, 조합논리 회로만으로 불가능한 보다 복잡한 논리 회로를 구현하기 위하여, 조합논리 회로의 결과 정보를 순차논리 회로에 저장하는 방식을 사용하여, 현재의 입력뿐만 아니라 현재의 출력에 의해서도 다음 단의 출력을 결정하는 회로를 구성하여 왔다.

근래에 들어 Magnetic Tunnel Junction (MTJ) 소자를 논리 회로 구현에 적용한 연구가 활발히 진행 중이다.<sup>[1-2]</sup> 종래의 MTJ 소자는 Magneto-resistive Random Access Memory (MRAM)의 정보 저장 소자로 사용되어 왔다. 그림 1은 두 개의 magnetic layer가 dielectric tunnel barrier에 의해 분리된 3 layer 구조의 MTJ 소자를 셀로 사용하는 1T/1MTJ 기반 MRAM의 동작원

\* 학생회원, \*\* 정회원, 이화여자대학교 정보통신학과 (Department of Information Electronic Eng., Ewha Womans University)

※ 본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업 (ITA-2006-C109006030030)과 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자 개발사업단 지원으로 수행되었음.

접수일자: 2006년6월5일, 수정완료일: 2006년12월4일

리를 나타낸다. 두 개의 magnetic layer 중 하단의 fixed layer는 그 극 방향이 매우 큰 자기장에 의해서만 변하므로 고정 되어 있다고 보고, 상단의 free layer는 그 극 방향이 비교적 작은 자기장에 의해서도 변하므로 소자에 인가되는 자기장의 방향과 크기에 따른다고 본다. 이 때 두 layer의 극 방향이 같으면 소자는 작은 저항 값 ( $R_L$ )을 갖고, 이 두 layer의 극 방향이 다르면 소자는 큰 저항 값 ( $R_H$ )을 갖는다. MTJ 소자의 이러한 극 방향은 일정 임계값 이상의 자기장에 의해 배열되며, 전원이 꺼져도 정보 값을 유지하게 된다. MTJ 소자의 top electrode로는 bit line (BL)이 연결되고, bottom electrode로는 pass 트랜지스터가 연결되며, 이 pass 트랜지스터의 게이트에 word line (WL)이 연결된다. 또한, MTJ 소자의 아래쪽으로 digit line (DL)이 지나간다. 그림 1(a)는 MRAM 셀의 write 동작을 나타내는데, 우선 WL의 전압을 low level로 하여 pass 트랜지스터를 turn-off 시키고 BL과 DL에 전류를 흐르게 하여, 이에 의해 발생하는 자기장의 방향과 크기로 소자의 정보인 free layer의 극 방향을 바꾸어 논리 '0' 또는 논리 '1'의 정보를 write한다. 그림 1(b)는 MRAM 셀의 read 동작을 나타내는데, 이때는 WL의 전압을 high level로 하여 pass 트랜지스터를 turn-on시켜, sensing 전류가 BL으로부터 MTJ를 터널링하여 pass 트랜지스터를 통해 ground로 흐르도록 전류 path를 형성시켜, Tunneling Magneto-Resistance (TMR)의 저항 차에 의한 MTJ 양단간 전압의 차이 혹은 터널링 전류 양의 차이를 sensing하여 저장된 데이터를 read한다.

이러한 비휘발성 소자인 MTJ를 논리 회로 구현에 이용함으로써, 기존의 수 개의 트랜지스터를 사용해왔던 논리 연산자들이 한 개의 MTJ 소자만으로도 구현 가능해졌다.<sup>[3-4]</sup> 최근 한 연구에 의하면, 논리 소자로서 MTJ 소자를 이용한 자기논리 (magneto-logic) 회로에

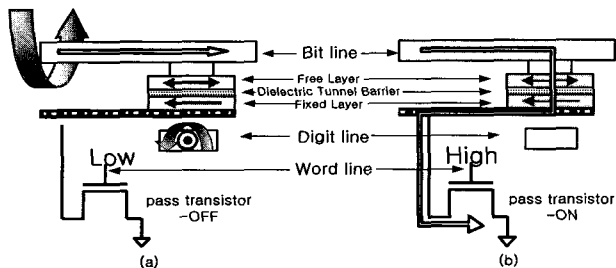


그림 1. 1T/1MTJ 구조의 MRAM cell 구조와 동작 원리 (a) write 동작, (b) read 동작

Fig. 1. 1T/1MTJ MRAM cell structure at (a) write and (b) read mode operation.

의해 조합논리 회로를 대체하는 시도가 있었다.<sup>[5]</sup>

앞서 언급했듯이, MTJ 소자는 불 (Boolean) 연산을 할 수 있을 뿐만 아니라, 스스로의 결과 정보를 저장 할 수도 있다. 이와 같은 이점을 최대한 활용하면, 자기논리 회로는 조합논리 회로뿐 아니라, 순차논리 회로까지도 대체 가능해진다.

카운터는 디지털 논리 회로에서 자주 사용되는 논리 블록이다. 본 논문에서는 수십 개의 트랜지스터를 사용해 구현되어 오던 업 카운터와 다운 카운터를 각각 10개의 MTJ 소자만으로 구현한 자기 논리 회로를 제안한다.

본 논문의 구성은 다음과 같다. 서론에 이어 본론의 1절에서는 MTJ 소자로 구현한 자기 논리 연산자의 기본 개념을 살펴본다. 2절에서는 본 논문에서 제안하는 자기 논리 업 카운터와 다운 카운터의 동작을 설명하고, 3절에서는 MTJ 소자의 특성을 고려한 macro-model을 이용하여 2절에서 제안한 카운터의 동작 결과를 HSPICE 시뮬레이션을 통해 검증한 후 결론을 맺는다.

## II. 본 론

### 1. 자기논리 연산자의 기본 개념

본 논문에서 사용한 MTJ 소자는 그림 2에서 보는 바와 같이, 세 개의 입력 선을 갖는다. 이 입력 선에 흐르는 전류의 방향에 의해 MTJ 소자의 free layer 극 방향이 변하게 되는데, 세 개의 입력 중 두 개 이상의 동일한 입력 방향에 의해 소자의 정보가 결정된다. 이 때 fixed layer의 극 방향은 소자 동작 동안 불변하며, 방향은 편의상 왼쪽으로 자화되어 있다. 이와 같이 fixed layer 극 방향을 고정함으로써 종래의 연구에서 필요했던 초기화 과정 없이도 MTJ 소자의 논리 동작이 가능하다.<sup>[3-4]</sup> 그림 2(a)는 실제 MTJ 소자와 입력 선들 간의 수직적인 절연 관계를 보여주며, 2(b)는 이를 평면화한 그림으로써 앞으로 이 평면도를 사용한다. 그림 2(c)에서 보는바와 같이, 전류 입력 방향은 아래에서 위로 흐를 때를 기본으로 하고 그 때의 전류를 +I로 표현하며, 위에서 아래로 흐를 때의 전류를 -I로 표현한다. 세 개의 입력 중 두 개 이상의 입력 전류 방향이 +I일 경우 free layer 극 방향이 왼쪽으로 자화된다. 이와 같이 fixed layer와 free layer의 극 방향이 같아 저항 값이  $R_L$ 일 때를 논리 '0'으로 정의한다. 반대로, 세 개의 입력 중 두 개 이상의 입력 전류 방향이 -I일 경우 free

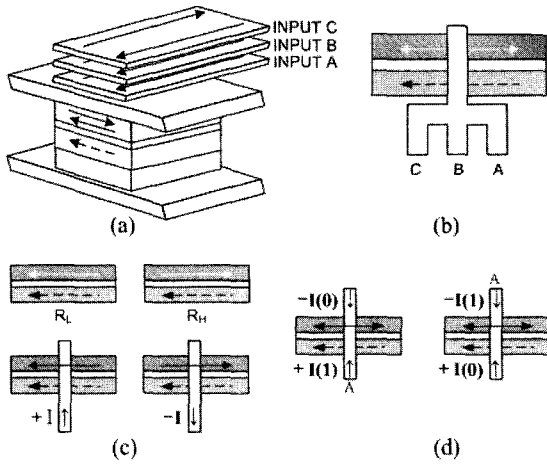


그림 2. (a) 자기논리 소자용 MTJ 구조 (b) MTJ 소자의 간략도 (c) 입력 전류 방향에 따른 논리 정보 값 '0', '1'의 정의 (d) 단자 위치에 따른 동작 원리

Fig. 2. (a) Schematic of MTJ stack for magneto-logic element (b) simpler schematic of MTJ element (c) definition of logic '0' or '1' by input current direction (d) description of logic operation by node connection.

layer 극 방향이 오른쪽으로 자화되며, 이와 같이 fixed layer와 free layer의 극 방향이 반대여서 저항 값이  $R_H$  일 때는 논리 '1'이다. 그림 2(d)는 입력 선의 단자 위치에 따른 출력 정보 변화를 설명한다. 왼쪽 MTJ 소자와 같이 입력 선의 하단 단자에 입력 A가 인가될 경우, 논리 '1'일 때 +I가 흐르고, 그 때 MTJ 소자의 논리 정보 값은 '0'이 되며, 논리 '0'일 때는 -I가 흐르며, 그 때의 논리 정보 값은 '1'이다. 오른쪽의 MTJ 소자와 같이 입력선의 상단 단자에 입력 A가 인가될 경우, 논리 '1'일 때 -I가 흘러 MTJ 소자의 논리 정보 값이 '1'이 되고, 논리 '0'일 때는 +I가 흘러 논리 '0'이 된다.

그림 3은 MTJ 소자의 저항 값을 비교하는 Sense Amplifier (S/A)를 보여준다.  $V_+$  단자의 저항 값이  $V_-$ 의 저항 값보다 큰 경우에 S/A의 출력은 논리 '1'이 되고  $V_-$  단자의 저항 값이  $V_+$ 의 저항 값보다 작거나 같은 경우에는 S/A의 출력은 논리 '0'이 된다. 이를 위하여 S/A  $V_-$  단자의 offset 전압 ( $V_{OS}$ )는  $0 < V_{OS} < I_{SENSE} \cdot \Delta R$  ( $\Delta R = R_H - R_L$ )을 만족하여야 한다. 이와 같은 S/A OUT은 수식 (1)과 같은 불 연산으로 표현 가능하며, 표1의 진리표에서 보는 바와 같이 동작한다.

$$OUT = V_+ \text{ AND } \overline{V_-} \quad (1)$$

지금까지 설명한 MTJ 소자와 S/A를 이용해 모든 논리 연산자를 구현할 수 있다. 그림 4의 (a)에서 (d)까지

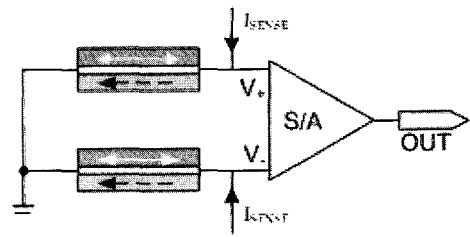


그림 3. Sense amplifier의 회로도  
Fig. 3. Schematic of sense amplifier.

표 1. S/A의 동작 진리표  
Table 1. Truth table of S/A operation.

$V_+$	$V_-$	OUT
0 ( $R_L$ )	0 ( $R_L$ )	0
0 ( $R_L$ )	1 ( $R_H$ )	0
1 ( $R_H$ )	0 ( $R_L$ )	1
1 ( $R_H$ )	1 ( $R_H$ )	0

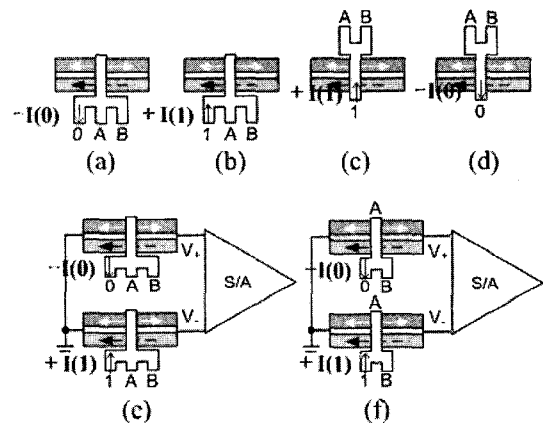


그림 4. 자기논리 소자를 이용한 논리 연산자 (a) NAND (b) NOR (c) AND (d) OR (e) XOR (f) XNOR

Fig. 4. Magneto-logic gate (a) NAND (b) NOR (c) AND (d) OR (e) XOR (f) XNOR.

는 각각 NAND, NOR, AND, OR의 논리 연산자를 구현한 것으로, S/A의  $V_+$  단자에 각 MTJ 소자가 연결되고,  $V_-$  단자에는  $R_L$  값을 갖는 MTJ 소자가 연결된다. 그림 4(a)와 (b)는 입력 A와 B를 하단 단자에 인가하여 입력 '1'일 경우 +I가, 입력 '0'일 경우 -I가 흐르게 되고, (c)와 (d)는 입력 A와 B를 상단 단자에 인가하여 입력 '1'일 경우 -I가, 입력 '0'일 경우 +I가 흐르게 된다. 그림 4(e)와 (f)는 각각 XOR와 XNOR의 논리 연산자를 구현한 것으로, S/A의  $V_+$  단자에 NAND 동작을 하는 MTJ 소자를, S/A의  $V_-$  단자에는 NOR 동작을 하는 MTJ 소자를 연결한다. 각각의 불 연산은 수식 (2)와 (3)을 따른다. 이와 같이 한 두 개의 MTJ 소자를 이용

하여, 입력 선의 단자 연결 위치를 바꾸는 것만으로도 초기화 과정 없이 간단하게 모든 논리 연산자를 구현 가능하다.

$$\begin{aligned} OUT &= (A \text{ NAND } B) \cdot \overline{(A \text{ NOR } B)} \\ &= (\bar{A} + \bar{B}) \cdot (A + B) \\ &= A \oplus B \end{aligned} \quad (2)$$

$$\begin{aligned} OUT &= (\bar{A} \text{ NAND } B) \cdot \overline{(\bar{A} \text{ NOR } B)} \\ &= (A + \bar{B}) \cdot (\bar{A} + B) \\ &= \overline{A \oplus B} \end{aligned} \quad (3)$$

## 2. 업/다운 카운터의 동작 원리

본 절에서는 기존 수십 여 개의 트랜지스터로 구성되어 오던 업/다운 카운터를 10 개의 MTJ 소자만으로 구현함으로써, 회로 면적 면에서 우수하고 비휘발성인 새로운 자기논리 업/다운 카운터를 제안한다.

그림 5(a)와 (b)는 유한 상태 기계 (finite state machine)인 3비트 업/다운 카운터의 상태 천이도 (state transition diagram)을 보여준다. 여기서 3비트 중 최하위 비트가 입력 A에 해당하고 최상위 비트가 입력 C에 해당한다. 현재 상태 A의 다음 상태를  $A_{NEXT}$ 라고 했을 때 업/다운 카운터의 3비트 각 자리들 상태는 수식 (4)와 (5)의 불 연산을 각각 따른다.

$$\begin{aligned} A_{NEXT} &= \bar{A} \\ B_{NEXT} &= A \oplus B \\ C_{NEXT} &= (A \cdot B) \oplus C \\ &= A \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + \bar{B} \cdot C \end{aligned} \quad (4)$$

$$\begin{aligned} A_{NEXT} &= \bar{A} \\ B_{NEXT} &= \overline{A \oplus B} \\ C_{NEXT} &= (\bar{A} \cdot \bar{B}) \oplus C \\ &= \bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C \end{aligned} \quad (5)$$

우선 업 카운터의 동작을 살펴보면,  $A_{NEXT}$ 는 A의 NOT으로 MTJ 소자의 세 입력 중 두 개의 입력을 A로 묶어줌으로써 구현하며,  $B_{NEXT}$ 는 (A XOR B)로 앞서 언급한 XOR 자기 논리 연산자를 사용하여 구현 가능하다.  $C_{NEXT}$ 는 (AB+BC+CA) 동작을 하는 MTJ 소자를 V+에 두고 V-에는 C 자체의 값을 버퍼링하는 MTJ 소자를 두어 (AB+BC+CA)·(C)'의 S/A 불 연산

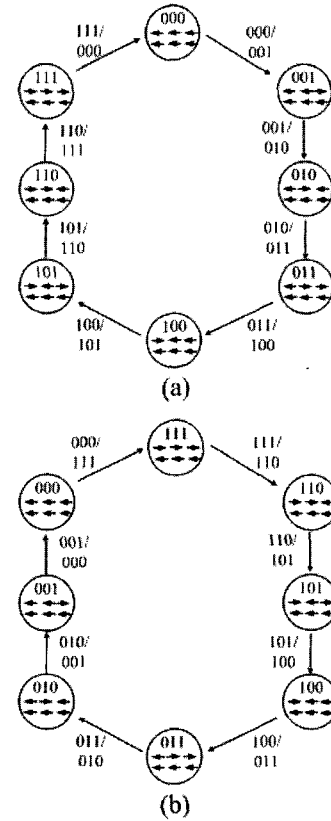


그림 5. (a) 3비트 업 카운터의 상태 천이도 (b) 3비트 다운 카운터의 상태 천이도

Fig. 5. (a) State transition diagram of 3-bit up counter (b) state transition diagram of 3-bit down counter.

을 통하여 (ABC')를 구현하고, (A NOR C')와 (B NOR C')의 MTJ 소자를 위의 V+에 직렬로 연결함으로써 나머지 (A'C)+(B'C)를 구현한다. 마찬가지로 다운 카운터의 동작을 보면,  $A_{NEXT}$ 는 A의 NOT으로 업 카운터와 동일한 방법으로 구현하며,  $B_{NEXT}$ 는 (A XNOR B)로 앞서 언급한 XNOR 자기 논리 연산자를 사용하여 구현 가능하다.  $C_{NEXT}$ 는 (A'B'+B'C+CA') 동작을 하는 MTJ 소자를 V+에 두고 V-에는 C 자체의 값을 버퍼링하는 MTJ 소자를 두어 (A'B'+B'C+CA')·(C)'의 S/A 불 연산을 통하여 (A'B'C')를 구현하고, (A' NOR C')와 (B' NOR C')의 MTJ 소자를 위의 V+에 직렬로 연결함으로써 나머지 (AC)+(BC)를 구현한다. 위에서 설명한 3비트 자기논리 업/다운 카운터의 회로 구성을 그림 6에 보였다. 논리 연산자를 MTJ 소자로 대체함으로써, 조합논리 회로와 순차논리 회로 모두로 구성된 디지털 논리 회로의 예로 3비트 업/다운 카운터를 자기논리 회로로 설계하였다. 이는 Magneto-resistive Random Access Memory (MRAM)의 셀로

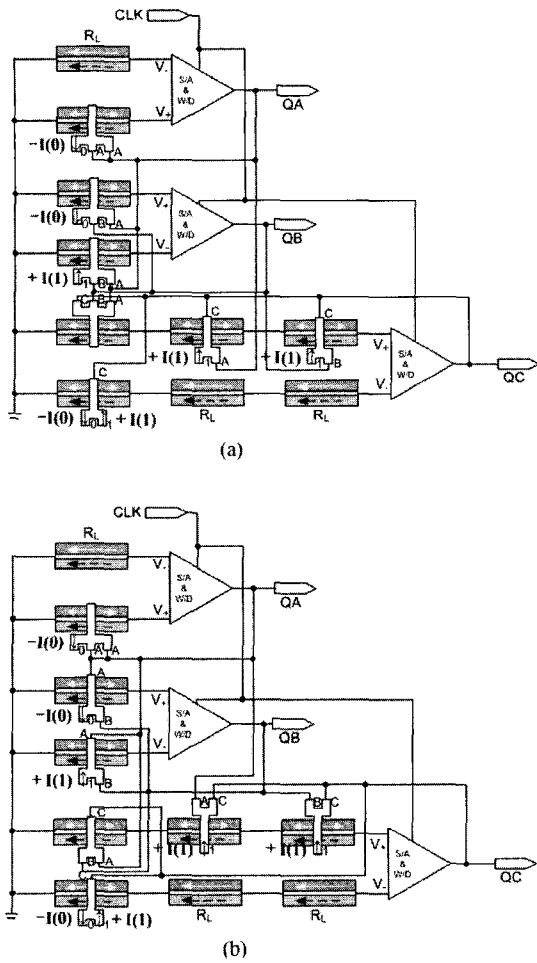


그림 6. (a) 3비트 자기논리 업 카운터 회로 (b) 3비트 자기논리 다운 카운터 회로  
 Fig. 6. (a) Schematic of 3-bit magneto-logic up counter (b) schematic of 3-bit magneto-logic down counter.

사용되어 오던 MTJ 소자가 비휘발성 논리 소자로도 사용 가능하다는 것을 보인 좋은 예이다.

### 3. HSPICE macro-model을 이용한 시뮬레이션 결과

본 절에서는 수정된 macro-model을 적용한 HSPICE 시뮬레이션을 통해 3비트 자기논리 업/다운 카운터의 동작을 입증한다. 본 연구진은 이전 연구에서 MRAM 셀로 사용되는 MTJ 소자의 여러 특성을 재현할 수 있는 macro-model을 제안한 바 있다.<sup>[6-7]</sup>

그림 7(a)는 이러한 MRAM용 macro-model을 본 논문에서 제안하는 자기논리 소자용 macro-model로 수정한 것이다. 그림 7(a)의 블록도를 보면 총 4개의 외부 단자로 구성되어 있으며, DL에 흐르는 전류에 의하여 소자 정보가 쓰여 진다. 그림 7(b)에서 볼 수 있는

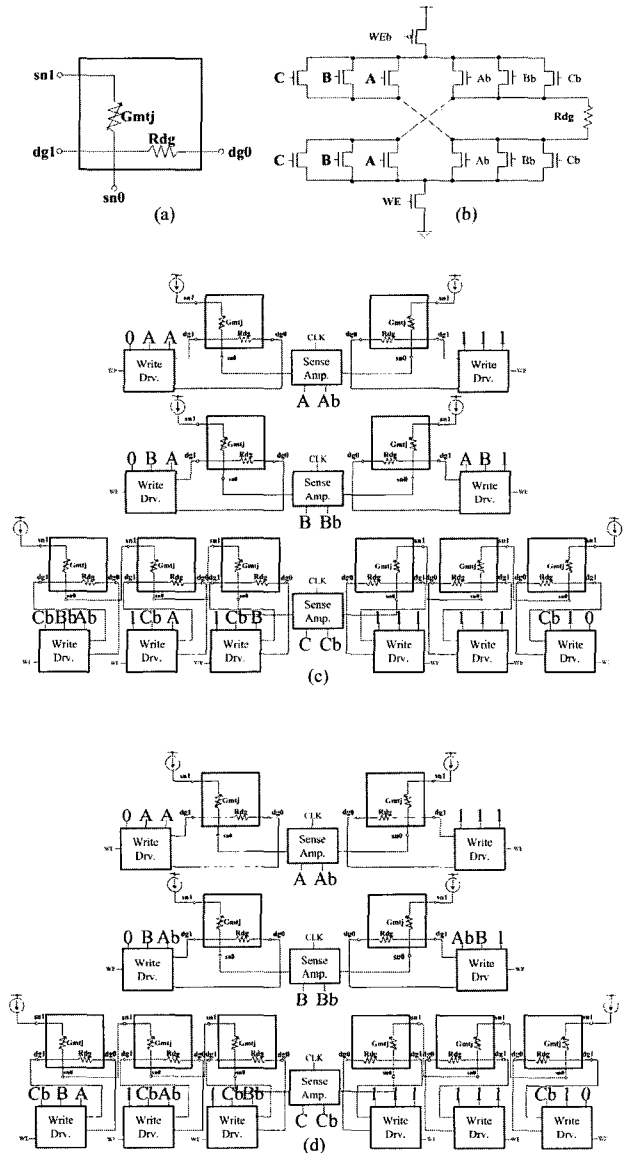


그림 7. (a) 자기논리 소자용 macro-model의 블록도 (b) write driver 회로 (c) 3비트 자기논리 업 카운터 테스트 회로 (d) 3비트 자기논리 다운 카운터 테스트 회로  
 Fig. 7. (a) Block diagram of macro-model for magneto-logic (b) schematic of write driver (c) test circuit of 3-bit magneto-logic up counter (d) test circuit of 3-bit magneto-logic down counter

write driver는 모델 외부에서 공급되는 세 개의 입력 전류를 하나의 DL 전류로 합하여 macro-model 내부로 공급한다. 이 write driver의 게이트 입력 신호 연결을 변화시켜 macro-model이 각 MTJ 논리 소자에 해당하는 불 연산을 수행하도록 한다. 그림 7(c)와 (d)는 각각 3비트 자기논리 업/다운 카운터의 테스트 회로로, 제안한 macro-model을 적용한 HSPICE 시뮬레이션을 가능하게 하며, 그 결과는 그림 8의 (a)와 (b)와 같다. 3비트

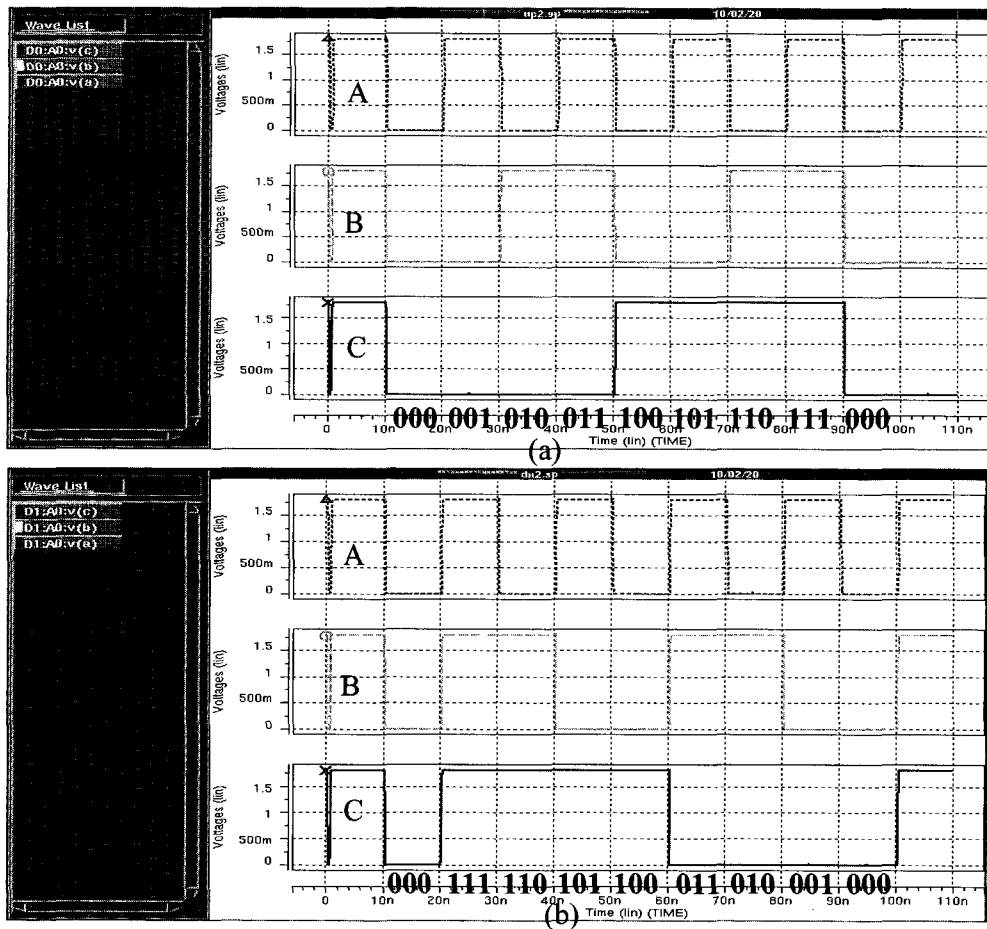


그림 8. HSPICE 시뮬레이션 결과  
 (a) 3비트 자기논리 업 카운터 (b) 3비트 자기논리 다운 카운터

Fig. 8. HSPICE simulation results.  
 (a) 3-bit magneto-logic up counter (b) 3-bit magneto-logic down counter

자기논리 업 카운터의 시뮬레이션 결과인 그림 8(a)를 보면 입력 신호가 들어 올 때마다 카운터의 결과 값이 증가하는 것을 볼 수 있으며, 3비트 자기논리 다운 카운터의 시뮬레이션 결과인 그림 8(b)를 보면 입력 신호가 들어 올 때마다 카운터의 결과 값이 감소하는 것을 볼 수 있다.

### III. 결 론

MTJ 소자는 불 연산을 수행할 수 있을 뿐만 아니라, 자신의 출력 정보를 저장할 수 있는 비휘발성 소자이다. 이와 같은 이점을 최대한 활용하여 기존의 트랜지스터로 구성된 논리 연산자를 MTJ 소자로 대체함으로써, 조합논리 회로와 순차논리 회로로 구성된 디지털 논리 회로를 자기논리 회로로 대체할 수 있다.

카운터는 디지털 논리 회로에서 자주 사용되는 논리 블록이다. 본 논문에서는 수십 개의 트랜지스터를 사용

하는 업 카운터와 다운 카운터를 각각 10개의 MTJ 소자만으로 구현한 자기논리 회로를 제안하고, MRAM 셀로 사용되어 오던 MTJ 소자를 비휘발성 논리 소자로 적용 가능성을 보였다. 이와 같은 자기논리 회로는 기존의 디지털 논리 회로에 비하여 회로 면적 면에서 우수하고 전원이 꺼져도 정보를 유지할 수 있는 이점이 있다. 본 논문에서는 이러한 자기논리 회로의 예로 3비트 업/다운 카운터를 설계하였고 그 동작을 논문에서 제안한 macro-model을 적용하여 검증하였다.

### 참 고 문 헌

- [1] R. Koch, "Morphware", Scientific American , p. 56, August 2005.
- [2] W. Black, Jr. and B. Das, "Programmable Logic using Giant Magneto Resistance and Spin Dependent Tunneling Devices(invited)", *Journal*

of Applied Physics. Vol. 87, No. 9, p. 6674, May 2000.

[3] A. Ney, C. Pampuch, R. Koch and K. H. Ploog, "Programmable Computing with a Single Magnetoresistive Element," *Nature*, Vol. 425, p. 485, October 2003.

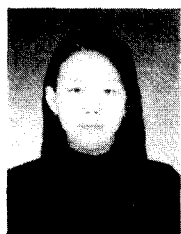
[4] J. Wang, H. Meng and J. Wang, "Programmable Spintronics Logic Device based on Magnetic Tunnel Junction Element", *Journal of Applied Physics*, Vol. 97, No. 10, p. 10D509, May 2005.

[5] H. Meng, J. Wang and J. Wang, "A Spintronics Full Adder for Magnetic CPU", *IEEE Electron Device Letters*, Vol. 26, No. 6, p. 360, June 2005.

[6] S. Y. Lee, S. J. Lee, H. S. Shin and D. J. Kim, "Advanced HSPICE Macromodel for Magnetic Tunnel Junction", *J. Journal of Applied Physics*, Vol. 44, No. 4B, p. 2696, 2005.

[7] "Star-HSPICE® Users Manual : Vol. I -III, Version 96.1 for HSPICE Release 96.1", META-SOFTWARE, INC. 1996.

저 자 소 개



이 승 연(학생회원)  
 2002년 이화여자대학교  
 정보통신 학과 학사 졸업.  
 2004년 이화여자대학교  
 정보통신학과 석사 졸업.  
 2006년 현재 이화여자대학교  
 정보통신학과 박사 과정.  
 <주관심분야 : 메모리 설계, 반도체>



김 지 현(학생회원)  
 2005년 이화여자대학교  
 정보통신 학과 학사 졸업.  
 2006년 현재 이화여자대학교  
 정보통신학과 석사 2년차.  
 <주관심분야 : 메모리 설계, 반도체>



이 감 영(학생회원)  
 2006년 이화여자대학교  
 정보통신학과 학사 졸업.  
 2006년 현재 이화여자대학교  
 정보통신학과 석사 1년차.  
 <주관심분야 : 메모리 설계, 반도체>



양 희 정(학생회원)  
 2006년 이화여자대학교  
 정보통신학과 학사 졸업.  
 2006년 현재 이화여자대학교  
 정보통신학과 석사 1년차.  
 <주관심분야 : 메모리 설계, 반도체>



이 승 준(정회원)  
 1986년 서울대학교  
 전자공학과 졸업 (학사)  
 1986년 6월 미국 University of  
 California at Berkeley 졸  
 업 (석사)  
 1993년 12월 미국 University of  
 California at Berkeley  
 졸업 (박사)



신 형 순(정회원)  
 1982년 2월 서울대학교  
 전자공학과 졸업 (학사).  
 1984년 12월 미국 University of  
 Texas at Austin 졸업  
 (석사).  
 1990년 5월 미국 University of  
 Texas at Austin 졸업  
 (박사).

1992년~1998년 현대전자 근무  
 1999년~현재 이화여자대학교 공과대학  
 정보통신학과 부교수  
 <주관심분야: SoCS 설계, 차세대 메모리>

1990년~1994년 LG 반도체 근무.  
 1995년~현재 이화여자대학교 공과대학  
 정보통신학과 교수.  
 <주관심분야 : 반도체 소자구조, 모델링.>