

논문 2007-44SD-1-5

# 이중 승압 셀 바이어스 기법을 이용한 0.8-V Static RAM Macro 설계

( A 0.8-V Static RAM Macro Design utilizing Dual-Boosted Cell Bias Technique )

심 상 원\*, 정 상 훈\*, 정 연 배\*\*

( Sang-Won Shim, Sang-Hoon Jung, and Yeonbae Chung )

## 요 약

SRAM의 전체적인 성능은 공급 전원전압에 크게 영향을 받는다. 본 논문에서는 1-V 이하의 저전압 동작시 주요 이슈가 되는 SRAM 셀의 SNM(Static Noise Margin)과 셀 전류의 크기를 개선하기 위하여 이중 승압 셀 바이어스 기법을 이용한 SRAM 설계기법에 대해 기술하였다. 제안한 설계기법은 읽기 및 쓰기동작시 선택된 SRAM 셀의 워드라인과 load PMOS 트랜지스터의 소스에 연결된 셀 공급전원을 서로 다른 레벨로 동시에 승압함으로써 SRAM 셀의 SNM과 셀 전류를 증가시킨다. 이는 셀 면적의 증가 없이 충분한 SNM을 확보할 수 있으며, 아울러 증가된 셀 전류에 의해 동작속도가 개선되는 장점이 있다. 0.18- $\mu\text{m}$  CMOS 공정을 적용한 0.8-V, 32K-byte SRAM macro 설계를 통해 제안한 설계기법을 검증하였고, 시뮬레이션 결과 0.8-V 공급전원에서 종래의 셀 바이어스 기법 대비 135 %의 SNM 향상과 아울러 동작속도는 31 % 개선되었으며, 이로 인한 32K-byte SRAM은 23 ns의 access time, 125  $\mu\text{W}/\text{MHz}$ 의 전력소모 특성을 보였다.

## Abstract

In this paper, an ultra low voltage SRAM design method based on dual-boosted cell bias technique is described. For each read/write cycle, the wordline and cell power node of the selected SRAM cells are boosted into two different voltage levels. This enhances SNM(Static Noise Margin) to a sufficient amount without an increase of the cell size, even at sub 1-V supply voltage. It also improves the SRAM circuit speed owing to increase of the cell read-out current. The proposed design technique has been demonstrated through 0.8-V, 32K-byte SRAM macro design in a 0.18- $\mu\text{m}$  CMOS technology. Compared to the conventional cell bias technique, the simulation confirms an 135 % enhancement of the cell SNM and a 31 % faster speed at 0.8-V supply voltage. This prototype chip shows an access time of 23 ns and a power dissipation of 125  $\mu\text{W}/\text{MHz}$ .

**Keywords :** SRAM, memory, static noise margin, booster

## I. 서 론

최근에 들어 휴대용 전자기기의 보급에 따라 저전력 시스템에 대한 수요가 급격히 증가하고 있다. 현재 대부분의 휴대용 IT 기기들은 배터리로 동작하는 시스템

으로 구성되어 있어서, 시스템 개발에서 전력소모를 줄이는 것은 매우 중요하다. 일반적으로 CMOS 로직 회로에서의 전력소모는 공급 전원전압의 제곱에 비례하여 전력소모를 줄이기 위한 효과적인 방법은 전원전압을 낮추는 것이며, CMOS 트랜지스터의 미세화와 아울러 시스템의 공급 전원전압의 감소추세는 더욱 가속화 되어질 전망이다<sup>[1]</sup>.

SRAM은 지금까지 데이터처리의 고속성, 낮은 소비 전력, 간단한 주변회로와 아울러 로직 LSI와의 혼합 탑재가 가능하여, processor, graphics, communication,

\* 학생회원, \*\* 정회원, 경북대학교 전자전기컴퓨터학부 (School of Electrical Engineering and Computer Science, Kyungpook National University)

※ 본 연구는 정보통신부 IT정책개발지원사업, BK21사업, IDEC CAD Tool 지원에 의해 수행되었음.

접수일자: 2006년5월26일, 수정완료일: 2006년12월27일

digital 로직 응용의 ASIC 및 system LSI의 이상적인 내장형 메모리로 사용되어 왔다. 더욱이 2000년대에 접어들면서 SoC 기반 설계가 반도체 산업의 중요 이슈로 부각되고 있는 시점에서, SRAM은 SoC와 같은 고집적 시스템에서 중요한 IP 블록이며, 전체 칩 면적에서 많은 부분을 차지한다<sup>[2]</sup>. 하지만 SRAM의 전체적인 성능은 공급 전압전압에 크게 영향을 받는다. 전압전압이 낮아질수록 SRAM 셀의 SNM(Static Noise Margin)이 감소하여 SRAM 셀에 저장된 데이터가 파괴될 위험이 있으며, 이로 인한 시스템의 SER(Soft Error Rate)는 증가한다<sup>[3]</sup>. 또한, 공급전압이 낮아지면 데이터 감지를 위한 SRAM 셀 전류의 크기는 감소되며, 이는 데이터 감지에서의 지연시간을 증가시켜 SRAM의 동작속도를 저하시킨다<sup>[4-5]</sup>.

본 논문에서는 1-V 이하의 저전압 동작시 주요 이슈가 되는 SRAM 셀의 SNM을 개선하기 위하여, 이중 승압 셀 바이어스 기법을 이용한 SRAM 설계기법에 대해 기술하였다. 제안한 설계기법은 읽기 및 쓰기동작시, 선택된 메모리 셀의 워드라인과 load PMOS 트랜지스터의 소스에 연결된 셀 공급전원을 서로 다른 레벨로 동시에 승압하는 것으로, 이는 셀 면적의 증가 없이 충분한 SNM을 확보할 수 있으며, 아울러 증가된 셀 전류에 의해 동작속도가 개선되는 장점이 있다. 먼저, II장에서 제안하는 SRAM 셀 바이어스 기법과 동작방식에 대해 소개하고, III장에서는 제안한 기법을 이용한 0.8-V, 32K-byte SRAM 회로설계에 대해 설명한다. 설계에는 0.18- $\mu\text{m}$  CMOS 로직 공정기술을 적용하였다. IV장에서는 prototype SRAM의 모의실험 결과와 성능에 대해 기술하고, 마지막으로 V장에서 결론을 맺는다.

## II. SRAM 셀 바이어스 기법

그림 1과 그림2는 본 논문에서 제안하는 SRAM 셀의 구조와 셀 바이어스 파형을 보여준다. SRAM 셀은 6 트랜지스터로 구성되어 있으며, 단지 load PMOS 트랜지스터의 소스 단자가 공급전원  $V_{DD}$ 에 고정되는 종래의 SRAM 셀과 달리 셀 power 라인(CPL)에 연결되어 셀 power 디코더에 의해 구동된다. 읽기 및 쓰기동작시, 로컬 디코더와 셀 power 디코더는 선택한 메모리 셀의 워드라인(WL)과 셀 power 라인을 각각  $V_{PP\_WL}$ 과  $V_{PP\_cell}$ 의 서로 다른 승압된 전압으로 구동하며, 선택하지 않은 메모리 셀의 워드라인과 셀 power 라인은 각각 접지와  $V_{DD}$  전압으로 유지한다.

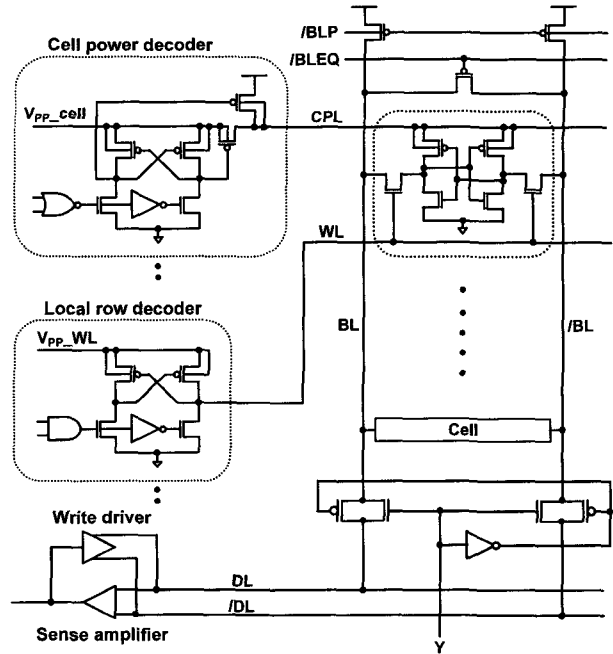


그림 1. 간략화된 SRAM 셀 배열구조  
Fig. 1. Configuration of the simplified SRAM cell array.

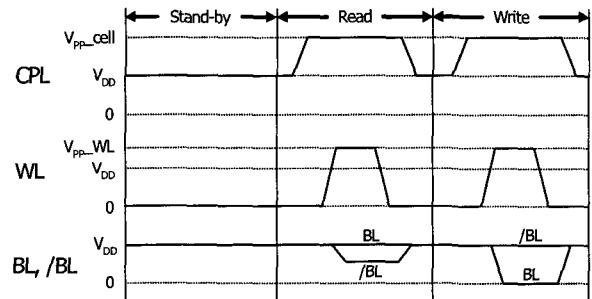


그림 2. 대기상태, 읽기 및 쓰기동작시 셀 바이어스  
Fig. 2. Cell bias for stand-by, read and write cycle.

읽기동작시 메모리 셀의 워드라인을 승압하면, 액세스 트랜지스터의 채널 컨덕턴스가 증가하여, 비트라인 (BL)에서 메모리 셀로 흐르는 셀 전류가 증가하기 때문에 비트라인의 지연시간이 줄어들어 SRAM의 동작속도를 빠르게 할 수 있다<sup>[4-5]</sup>. 그러나 액세스 트랜지스터의 채널 컨덕턴스가 증가로 인해 SRAM 셀의 SNM은 감소한다. 이를 방지하기 위해 선택된 메모리 셀의 CPL 전압을  $V_{PP\_WL}$ 보다 더 높은  $V_{PP\_cell}$  레벨로 승압한다. 승압된 셀 power 전압은 SRAM 셀의 drive NMOS 중에서 turn-on된 트랜지스터의 채널 컨덕턴스를 증가시키므로 메모리 셀의 SNM은 상대적으로 증가한다.

쓰기동작 시에도 내부 셀 바이어스 전압은 읽기동작시와 동일하게 적용한다. 하나의 메모리 셀 array block 내에서 셀 power 라인과 워드라인은 컬럼 디코더에 의

해 선택된 메모리 셀뿐만 아니라 선택되지 않은 메모리 셀에도 연결되어 있다. 쓰기동작시 컬럼 디코더에 의해 선택된 메모리 셀들은 write driver에 의해 새로운 데이터를 저장하지만, 컬럼 디코더에 의해 선택되지 않은 메모리 셀들은 단순히 읽기동작을 수행하는 상태이다. 따라서 선택된 중(Row) 방향의 메모리 셀 중에서 선택되지 않은 횡(Column) 방향의 메모리 셀의 SNM을 확보하기 위하여 메모리 셀의 셀 power 라인을  $V_{PP\_cell}$  전압으로 승압한다. 하지만 승압된 셀 power 바이어스 전압은 load PMOS 중에서 turn-on된 트랜지스터의 컨덕턴스를 증가시키기 때문에, 쓰기동작시 컬럼 디코더에 의해 선택되어 write driver에 의해 구동되는 SRAM 셀에 저장된 데이터가 쉽게 바뀌지 않거나 write time 이 증가하는 문제가 발생한다<sup>[6]</sup>. 이를 극복하기 위하여 선택한 메모리 셀의 워드라인을 읽기동작 시와 같이  $V_{PP\_WL}$  전압으로 승압한다. 승압된 워드라인 전압은 액세스 트랜지스터의 컨덕턴스를 증가시켜 쓰기동작을 용이하게 한다.

본 논문에서는 0.8-V 동작시, 0.18- $\mu\text{m}$  SRAM 셀 액세스 트랜지스터의 문턱전압을 고려하여  $V_{PP\_WL}$  전압을  $V_{DD}$ 의 1.5배, 즉  $1.5V_{DD}$  레벨로 선정하였다. 또한, 충분한 SRAM 셀의 SNM 확보와 아울러 쓰기동작시 셀 내부노드의 데이터 반전이 용이하도록  $V_{PP\_cell}$  전압은  $V_{DD}$ 의 2배, 즉  $2V_{DD}$  레벨로 선정하였다. 이때 필요한 승압된 전압은 칩 내부에서 생성시킬 수 있다.

### III. Prototype Chip 설계

#### 1. SRAM 셀

그림 3은 0.18- $\mu\text{m}$ , twin-well/1-polycide/3-metal CMOS 로직 공정기술을 적용한 SRAM 셀 레이아웃을 보여준다. 워드라인은 polycide로 연결하였고, 비트라인(BL, /BL)은 metal-2로 연결하였다. Metal-3로 연결되는 셀 power 라인은 위아래 2개의 셀이 공유하며 셀 ground 라인은 각각 분리하였다. PMOS load 트랜지스터의 W/L은  $0.22\mu\text{m}/0.18\mu\text{m}$  이고, NMOS driver 트랜지스터와 액세스 트랜지스터 또한  $0.22\mu\text{m}/0.18\mu\text{m}$  이다. 하나의 SRAM 셀 레이아웃 면적은  $5.99 \mu\text{m}^2$  이다.

그림 4와 그림 5에 상기 SRAM 셀의 특성을 보였다. 0.8-V 동작시 워드라인과 셀 power 라인에 인가되는 승압전압에 따른 셀 전류와 SNM의 크기를 나타내었다. 그림 4에서 보는 바와 같이 워드라인 전압이 상승할수록 액세스 트랜지스터의 채널 컨덕턴스가 증가하여 읽

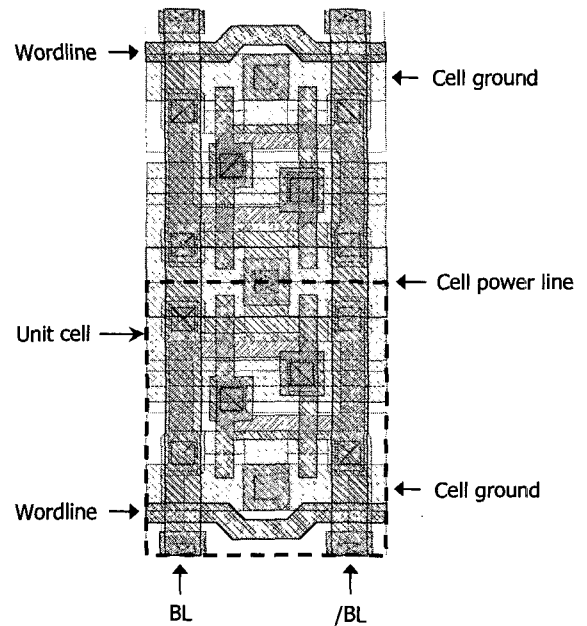


그림 3. 메모리 셀 레이아웃 (1×2 셀)

Fig. 3. Memory cell layout (1×2 cell).

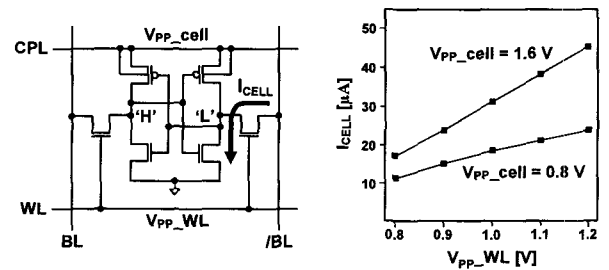


그림 4. 읽기동작시 셀 바이어스 승압에 따른 셀 전류의 크기 ( $V_{DD} = 0.8\text{V}$ )

Fig. 4. Cell current according to the boosted cell bias voltage during read cycle ( $V_{DD} = 0.8\text{V}$ ).

기동작시 셀 전류는 증가하며, 동시에 셀 power 라인 전압이 증가하면 drive 트랜지스터의 채널 컨덕턴스 또한 증가하므로 셀 전류는 더욱 크게 증가한다. 셀 바이어스를 승압하지 않을 경우( $V_{PP\_cell} = V_{PP\_WL} = 0.8 \text{ V}$ )와 비교하여 워드라인과 셀 power 전압을 동시에 승압( $V_{PP\_cell} = 1.6 \text{ V}$ ,  $V_{PP\_WL} = 1.2 \text{ V}$ )하면 셀 전류는 311 % 증가하였다. 그림 5에는 셀 바이어스 전압에 따른 SNM 특성을 나타내었다. 그림 5(b)와 같이 SRAM 셀의 워드라인만 승압하면 drive 트랜지스터의 컨덕턴스에 비해 액세스 트랜지스터의 컨덕턴스가 상대적으로 증가하여 SNM은 오히려 감소하지만, 워드라인과 셀 power 라인을 각각 1.2 V와 1.6 V로 동시에 승압함으로써 SRAM 셀의 SNM은 승압하지 않을 경우와 비교하여 135 % 향상되었다.

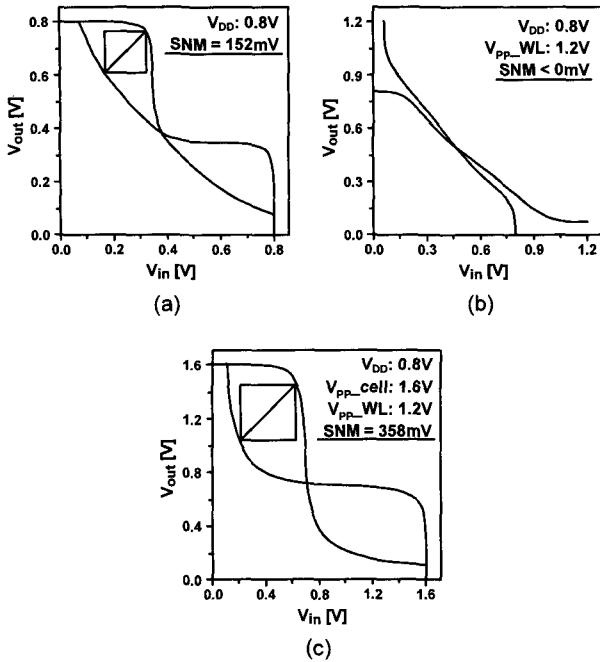


그림 5. Butterfly 커브 ( $V_{DD} = 0.8V$ ): (a) 승압하지 않을 때, (b) 워드라인 전압을 1.2V로 승압할 때, (c) 워드라인 전압을 1.2V로, 셀 power 전압을 1.6V로 각각 승압할 때  
 Fig. 5. Butterfly curves ( $V_{DD} = 0.8V$ ): (a) when no boosting, (b) when  $V_{PP\_WL} = 1.2V$ , (c) when  $V_{PP\_CELL} = 1.6V$ ,  $V_{PP\_WL} = 1.2V$ .

2. SRAM Core 구조

그림 6은 메모리 core 회로의 배치를 나타낸다. 하나의 128-Kbit 셀 array block은 4 개의 동일한 32-Kbit sub-block으로 구성하였다. 각 32-Kbit 셀 array sub-block은 512개의 워드라인과 64개의 비트라인 쌍으로 구성하였고, 셀 power 라인은 위아래 2개의 셀이 서로 공유하도록 구성하였다.

비트라인 동작에 필요한 precharger, equalizer는 셀 array 위쪽에, column gate, column decoder는 셀 array 아래쪽에 위치한다. Global row decoder는 왼편에 배치하였다. Local row decoder는 2개의 sub-block 사이에 위치하며, cell power decoder는 4개의 sub-block 중앙에 위치한다. 따라서 하나의 셀 power 라인은 2개의 32-Kbit sub-block이 서로 공유하여, 256개의 cell power decoder가 좌우 각각 64-Kbit 메모리 셀을 선택하도록 구성하였다. 읽기 또는 쓰기동작 시에 256개의 셀 power 노드가  $V_{PP\_cell}$ 로 승압되지만 워드라인에 의해 선택되는 셀은 64개이므로 나머지 192개의 cell은 활성화되지 않는다. 또한, 디코딩 신호에 의해 선택되어지는 스위치 회로를 사용하여, 전압승압회로에서 생성된

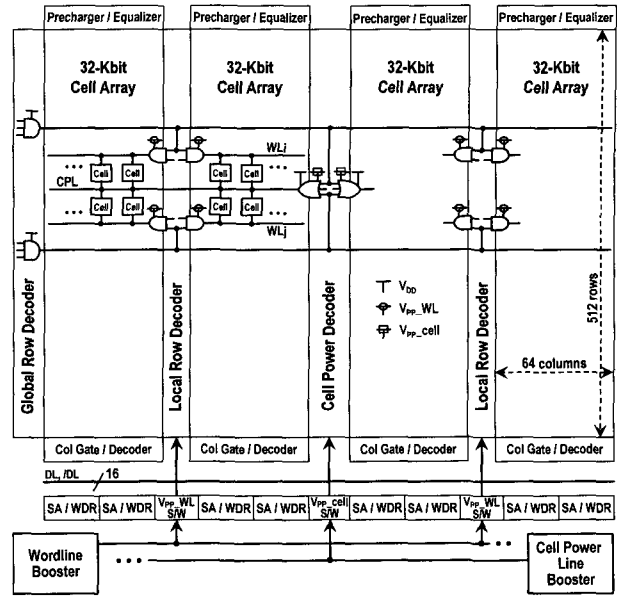


그림 6. SRAM core 배치 구조 (SA = Sense amplifier, WDR = Write driver, S/W = Switch)  
 Fig. 6. Configuration of SRAM core block (SA = Sense amplifier, WDR = Write driver, S/W = Switch).

승압전압이 선택된 sub-block에만 인가되도록 구성하였다.

3. 전압 승압 회로

앞에서 언급하였듯이 제한한 SRAM 동작에는 셀 바이어스 승압을 위해  $1.5V_{DD}$ 와  $2V_{DD}$ 의 두개의 승압 전원이 필요하다. 워드라인 바이어스에 필요한  $1.5V_{DD}$  승압은 1개의 부스팅 커패시터로 구성된 일반적인 전압승압회로<sup>[7]</sup>를 적용하여 그림 7과 같이 구현하였다. 하지만 부스팅 커패시터 1개로 구성된 전압승압회로는 boosting efficiency가 최대 200 % 미만(보통 160 %)으로 셀 power 라인 바이어스에 필요한  $2V_{DD}$  승압에는 적용할 수 없다. 200% 이상의 높은 레벨의 승압을 위해서는 charge pump 회로<sup>[8-9]</sup>를 적용할 수 있으나, 이러한 회로들은 높은 레벨의 승압전압을 일정하게 유지하기 위하여 대기상태에서 전압감지기와 오실레이터 등에서 전력소모가 발생하는 단점이 있어 저전력향의

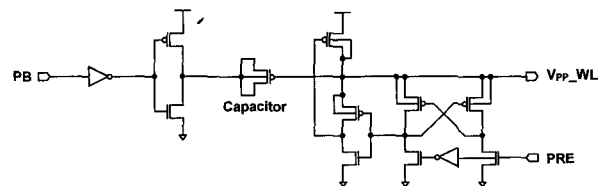


그림 7. 워드라인 부스팅 회로  
 Fig. 7. Configuration of the wordline boosting circuit.

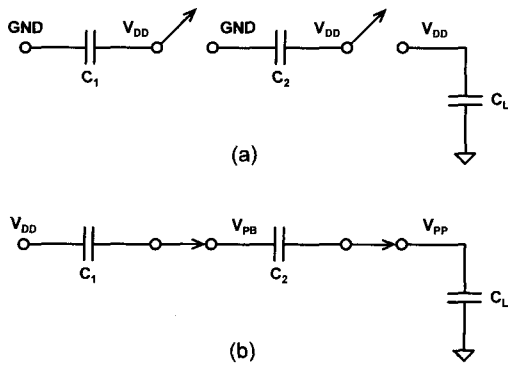


그림 8. 더블 부스팅 회로의 동작 원리: (a) 승압 전, (b) 승압 후  
 Fig. 8. Concept of the double boosting circuit: (a) before boosting, (b) after boosting.

SRAM 적용에는 적합하지 않다. 이러한 문제점을 극복하고자 본 논문에서는 직렬로 연결된 2단의 부스팅 회로로 구성된 더블 부스팅 회로를 셀 power 라인 바이어스 승압에 적용하였다.

그림 8과 그림9는 더블 부스팅 회로의 동작원리와 회로의 구성을 보여준다. 더블 부스팅 회로는 2개의 boosting capacitor, 2단의 prebias 회로, switch 및 capacitor driver로 이루어지며 그 동작은 다음과 같다.

Prebias 신호(PRE<sub>1</sub>, PRE<sub>2</sub>, PRE<sub>3</sub>)가 "high" 레벨이고, 승압신호(PB<sub>1</sub>, PB<sub>2</sub>)가 "low" 레벨일 때, B와 D 노드의 전압은 ground가 되어, 부스팅 커패시터 C<sub>1</sub>과 C<sub>2</sub>의 출력 단자들은 V<sub>DD</sub> 전압으로 미리 충전된다. 또한 트랜지스터 M1과 M4가 turn-on 되어 부스팅 커패시터 C<sub>1</sub>과 C<sub>2</sub>의 입력단자는 ground로 방전된다. 이때 스위치 회로의 M3 트랜지스터는 turn-off 되어 앞단 부스팅 회로의 출력단과 뒷단 부스팅 회로의 입력단이 서로 분리된다. Prebias 신호(PRE<sub>1</sub>, PRE<sub>2</sub>, PRE<sub>3</sub>)가 "low" 레벨에서 "high" 레벨로 천이될 때, B와 D 노드의 전압은 V<sub>DD</sub>가 되어 prebias 동작은 종료되고, 각 부스팅 회로의 출력 노드는 플로팅 상태가 된다. 그 다음, 승압신호 PB<sub>1</sub>이 "low" 레벨에서 "high" 레벨로 천이될 때, A 노드의 전압은 V<sub>DD</sub>에서 ground로 천이되어 M0 트랜지스터가 turn-on 된다. 이때 부스팅 커패시터 C<sub>1</sub>의 입력단자는 ground에서 V<sub>DD</sub> 전압으로 천이되며, 이에 따라 부스팅 커패시터 C<sub>1</sub>의 출력단자는 커패시터 커플링 효과에 의해 V<sub>DD</sub> 전압에서 V<sub>PB</sub> 전압으로 승압된다. 그 다음에, 승압신호 PB<sub>2</sub>가 "low" 레벨에서 "high" 레벨로 천이될 때, C 노드의 전압은 V<sub>PB</sub>에서 ground로 천이되고 M3 트랜지스터가 turn-on 된다. 이때 M3 트랜지스터를 통해 앞단의 승압전압 V<sub>PB</sub>는 뒷단 부스팅 커패시터 C<sub>2</sub>의

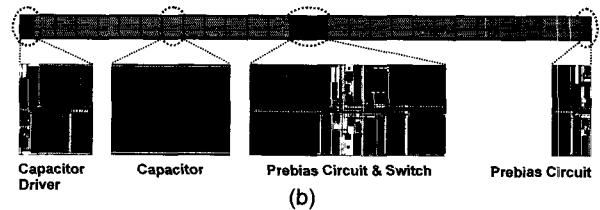
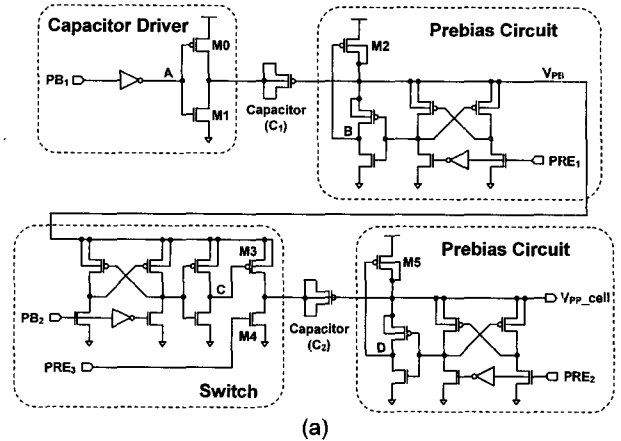


그림 9. 더블 부스팅 회로: (a) 회로구조, (b) 레이아웃  
 Fig. 9. Double boosting circuit: (a) circuit configuration, (b) layout.

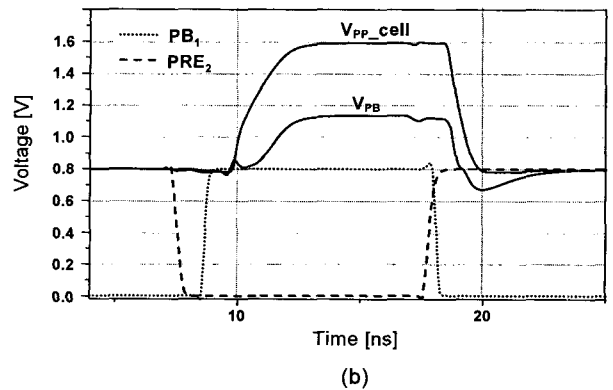
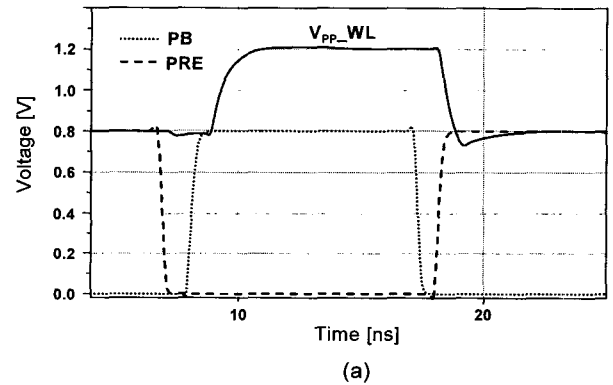


그림 10. 부스팅 회로의 모의실험 파형 (V<sub>DD</sub> = 0.8V): (a) 워드라인 승압전압, (b) 셀 power 라인 승압전압  
 Fig. 10. Simulated waveforms of the boosting circuits at V<sub>DD</sub> = 0.8V: (a) wordline boosting voltage, (b) cell power line boosting voltage.

입력단자에 인가되어  $C_2$ 의 입력단자가 ground에서  $V_{PB}$  전압으로 천이되며, 이에 따라 부스팅 커패시터  $C_2$ 의 출력단자는  $V_{DD}$  전압에서  $V_{PP\_cell}$  전압으로 승압된다. 그 결과 전체 승압전압은 커패시터와 전하량의 관계로부터 아래의 식 (1)과 같이 표현된다.

$$V_{PP\_cell} = \frac{3C_1C_2 + (C_1 + C_2)C_L}{C_1C_2 + (C_1 + C_2)C_L} V_{DD} \quad (1)$$

여기서  $C_L$ 은 출력단의 부하 커패시터이다. 위의 식 (1)에서 부스팅 커패시터  $C_1$ 과  $C_2$ 가  $2C_L$ 과 같을 때,  $2V_{DD}$ 의 승압전압을 얻을 수 있다. 한편, 읽기 또는 쓰기 동작이 완료된 후, prebias 신호( $PRE_1, PRE_2, PRE_3$ )가 "high" 레벨이 되고, 승압신호( $PB_1, PB_2$ )가 "low" 레벨이 되면 다음 cycle을 위해 다시 prebias 동작을 수행한다.

그림 10에 설계한 부스팅 회로의 시뮬레이션 파형을 나타내었다. 워드라인 승압회로의 부하 커패시턴스는 10 pF로 0.8 V 전원전압에서 1.2 V로 승압됨을 보여준다. 또한, 셀 power 라인 승압기의 부하 커패시턴스는 12.5 pF로 부스팅 동작 후 6 ns 후에 목표 값인 1.6 V의 승압전압이 생성되었다. 본 논문에서의 셀 power 라인 승압기는 읽기 또는 쓰기동작시에  $2V_{DD}$ 의 승압전압을 발생하고, 대기상태 시에는  $V_{DD}$ 가 되어 대기상태의 전력소모가 없는 것을 특징으로 한다.

#### IV. 제안한 SRAM의 성능평가

그림 11은 설계한 이중 승압 셀 바이어스 기반 0.8-V, 32K-byte SRAM macro의 전체 레이아웃을 보여준다. SRAM core 회로는 좌우 대칭된 두개의 128-Kbit 셀 block으로 구성하였다. 워드라인 승압회로, 셀 power 승압회로, CS buffer, WE buffer, address buffer, predecoder, Din/Dout buffer, control logic 등 주변회로는 칩의 아래에 배치하였다. 전체 macro 면적은  $1520 \mu\text{m} \times 1490 \mu\text{m} = 2.26 \text{mm}^2$ 이다. 표 1에 그 성능을 요약하였다.

그림 12(a)는 0.8 V, 25 °C에서 읽기동작의 시뮬레이션 파형을 보여준다. 2개의 전압승압회로는 각각 1.2 V와 1.6 V의 부스팅 전압을 발생하며, 로컬 로 디코더와 셀 power 디코더를 통해 선택된 메모리 셀의 워드라인과 셀 power 라인에 전달된다. 전체 칩의 cycle time은 20 ns이며, 데이터 출력은 read cycle이 끝난 후 다음 cycle에서 이루어진다. 전력소모는 50 MHz 동작주파수

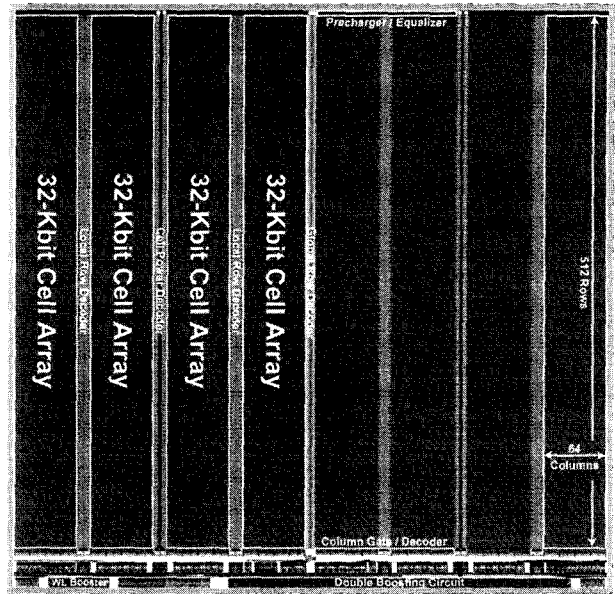


그림 11. 32K-byte SRAM macro 레이아웃  
Fig. 11. Chip layout of 32K-byte SRAM macro.

표 1. 32K-byte SRAM의 성능요약  
Table 1. Features of 32K-byte SRAM macro.

Organization	32K-word × 8-bit
Supply Voltage	0.8 V
Cycle / Access Time	20 ns / 23 ns
Active Power	6.27 mW (@ $f_{CLK} = 50 \text{ MHz}$ )
Technology	0.18- $\mu\text{m}$ CMOS, 2-well/1-polycide/3-metal
Cell Size	$2.3 \mu\text{m} \times 2.605 \mu\text{m} = 5.99 \mu\text{m}^2$
Macro Size	$1520 \mu\text{m} \times 1490 \mu\text{m} = 2.26 \text{mm}^2$

에서 6.27 mW 이다. 그림 12(b)는 같은 조건에서의 쓰기동작 시뮬레이션 파형이다. 워드라인이 "high" 레벨로 천이하면서 메모리 셀의 데이터노드 쌍(DN, /DN)이 2 ns 안에 반전된다. 쓰기동작 또한 20 ns의 cycle time을 가진다.

표 2에 승압이 없는 종래의 바이어스 기법으로 설계한 SRAM과 본 논문에서 제안한 이중 승압 셀 바이어스 기반 SRAM의 성능을 비교하였다. 제안한 SRAM은 내부전압 승압으로 전체 전력소모는 33 % 증가하였지만, 메모리 셀의 동작마진은 152 mV에서 358 mV로 증가하였다. 아울러 읽기동작시 셀 전류는 10.7  $\mu\text{A}$ 에서 44  $\mu\text{A}$ 로 증가하였으며, 이로 인해 비트라인 지연시간이 감소하여 SRAM의 동작속도 또한 31 % 개선됨을 확인하였다. 제안한 SRAM에서 추가되는 셀 power 디코더와 승압회로에 의해 칩 면적의 증가분은 5 % 이다.

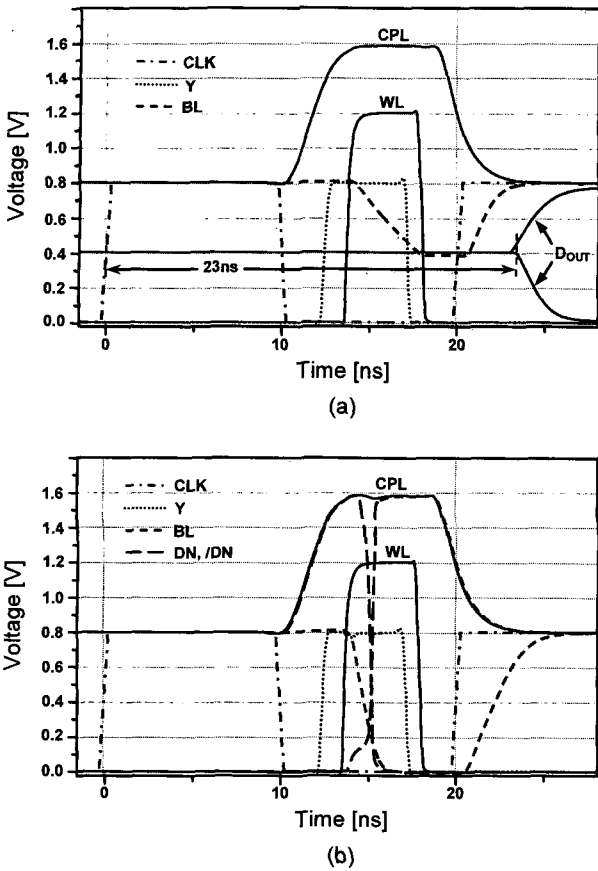


그림 12. 시뮬레이션 파형 ( $V_{DD} = 0.8V$ ,  $T = 25^{\circ}C$ ): (a) 읽기 동작, (b) 쓰기 동작

Fig. 12. Simulation waveforms at 0.8V and 25°C: (a) read cycle, (b) write cycle.

표 2. SRAM의 성능 비교

Table 2. Performance comparison of SRAM.

	Conventional SRAM	Proposed SRAM
Organization	32K-word × 8-bit	
Supply Voltage	0.8 V	
Technology	0.18- $\mu$ m CMOS technology	
Macro Size	2.15 mm <sup>2</sup>	2.26 mm <sup>2</sup>
Noise Margin	152 mV	358 mV
Cell Current	10.7 $\mu$ A	44 $\mu$ A
Cycle Time	29 ns	20 ns
Active Power	94 $\mu$ W/MHz	125 $\mu$ W/MHz

### V. 결 론

본 논문에서는 1-V 이하의 저전압 동작시 주요 이슈가 되는 SRAM 셀의 동작마진과 셀 전류의 크기를 개선하기 위하여 이중 승압 셀 바이어스 기법을 이용한 새로운 SRAM 설계기법을 제안하였다. 제안한 설계기법은 읽기 및 쓰기동작시, 선택한 메모리 셀의 워드라

인과 load PMOS 트랜지스터의 소스에 연결된 셀 power 전압을 서로 다른 레벨로 동시에 승압함으로써 SRAM 셀의 SNM과 셀 전류를 증가시킨다. 이는 셀면적의 증가 없이 충분한 SNM을 확보할 수 있으며, 아울러 증가된 셀 전류에 의해 동작속도가 개선되는 장점이 있다. 제안한 설계기법은 0.18- $\mu$ m CMOS 공정을 적용한 0.8-V, 32K-byte SRAM macro 시제품 설계를 통해 검증하였다. 회로 시뮬레이션 및 칩 레이아웃 결과, 종래의 SRAM에 비해 SRAM 셀의 SNM은 135 % 향상되었고, 셀 전류의 증가로 인해 SRAM의 동작속도는 31 % 개선되었다. 이는 향후 1-V이하의 초저전압 SRAM의 신뢰성 있는 동작마진 확보와 시스템의 soft error rate 감소를 위한 회로기술로 유용하게 적용할 수 있을 것으로 생각된다.

### 참 고 문 헌

- [1] International Technology Roadmap for Semiconductors, Overview and Summaries, 2004 Update.
- [2] International Technology Roadmap for Semiconductors, System Drivers, 2001 Edition.
- [3] E. Seevinck, F. J. List, and J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells," *IEEE J. Solid-State Circuits*, Vol. SC-22, No. 5, pp. 748-754, Oct. 1987.
- [4] K. Ishibashi, K. -I. Takasugi, T. Yamanaka, T. Hashimoto, and K. Sasaki, "A 1-V TFT-load SRAM using a two-step word-voltage method," *IEEE J. Solid-State Circuits*, Vol. 27, No. 11, pp. 1519-1524, Nov. 1992.
- [5] H. Morimura and N. Shibata, "A step-down boosted-wordline scheme for 1-V battery-operated fast SRAM's," *IEEE J. Solid-State Circuits*, Vol. 33, No. 8, pp. 1220-1227, Aug. 1998.
- [6] M. Yamaoka, K. Osada, and K. Ishibashi, "0.4-V logic-library-friendly SRAM array using rectangular-diffusion cell and delta-boosted-array voltage scheme," *IEEE J. Solid-State Circuits*, Vol. 39, No. 6, pp. 934-940, June 2004.
- [7] T. Tanzawa and S. Atsumi, "Optimization of word-line booster circuits for low-voltage flash memories," *IEEE J. Solid-State Circuits*, Vol. 34, No. 8, pp. 1091-1098, Aug. 1999.
- [8] J. -T. Wu and K. -L. Chang, "MOS charge pumps for low-voltage operation," *IEEE J. Solid-State Circuits*, Vol. 33, No. 4, pp. 592-597, Apr. 1998.

[9] R. Pelliconi, D. Iezzi, A. Baroni, M. Pasotti, and P. L. Rolandi, "Power efficient charge pump in deep submicron standard CMOS technology," IEEE J. Solid-State Circuits, Vol. 38, No. 6, pp. 1068-1071, June 2003.

---

저 자 소 개

---



심 상 원(학생회원)  
 2005년 경북대학교,  
 전자전기컴퓨터학부 학사  
 2005년~현재 경북대학교,  
 전자공학과 석사과정  
 <주관심분야: 메모리 IC 설계,  
 SRAM 설계>



정 상 훈(학생회원)  
 2003년 창원대학교,  
 전자공학과 학사  
 2006년 경북대학교,  
 전자공학과 석사  
 2003년~2004년 한국전기연구원  
 연구원  
 2006년~현재 삼성전자 DRAM1 설계팀, 연구원  
 <주관심분야: SRAM 설계, DRAM 설계>



정 연 배(정회원)  
 1984년 한국항공대학교,  
 전자공학과 학사  
 1986년 한국과학기술원,  
 전기및전자공학과 석사  
 1995년 University of Florida,  
 전자공학과 박사  
 1986년~1990년 한국전자통신연구원, 연구원  
 1995년~2000년 삼성전자주식회사, 수석연구원  
 2000년~2002년 미국 Ramtron Int. Corp,  
 Design Project Manager  
 2002년~현재 경북대학교 전자전기컴퓨터학부  
 교수  
 <주관심분야: 차세대 memory 설계기술, 고속/저  
 전력 VLSI 시스템, VLSI TCAD>