

논문 2007-44SD-1-6

# 하이브리드 터너리 데이터 인코딩 기반의 비동기식 시스템 버스 래퍼 설계

(Design of Asynchronous System Bus Wrappers based on a Hybrid Ternary Data Encoding Scheme)

임 영 일\*, 이 제 훈\*\*, 이 승 숙\*\*\*, 조 경 록\*\*\*

(Young-IL Lim, Je-Hoon Lee, Seung-Sook Lee, and Kyoung-Rok Cho)

## 요 약

본 논문은 Delay-Insensitive(DI) 지연 모델을 갖는 비동기식 회로에 3치 전압 레벨을 사용한 하이브리드 터너리 데이터 전송 방식을 제안하고, 이를 이용하여 다양한 비동기 프로토콜과의 데이터 송신 및 수신을 위한 래퍼를 설계하였다. 제안된 하이브리드 터너리 데이터 전송 방식은 기존의 2 선식 전송 방식이나 1-of-4 전송 방식에 비해 데이터 전송선을 50% 줄일 수 있으며, 터너리 전송 방식과 비교하였을 때도 50%의 신호 천이 감소 결과를 보였다. 본 논문에서는 0.18- $\mu\text{m}$  CMOS 공정을 적용하여 래퍼를 설계하고 검증하였다. 하이브리드 터너리 전송 방식이 적용된 래퍼는 2 GHz 이상의 속도로 동작 하였으며 2 선식, 1-of-4, 그리고 터너리 전송 방식에 비해 각각 65%, 43%, 36%의 소비 전력이 줄어든 결과를 보였다. 제안된 전송 방식과 설계된 래퍼 회로는 비동기식 고속 및 저전력 인터페이스로 사용 가능하다.

## Abstract

This paper presented a hybrid ternary encoding scheme using 3-valued logic. It can adapt to the delay-insensitive(DI) model. We designed an asynchronous wrapper for the hybrid ternary encoding scheme to communicate with various asynchronous encoding schemes. It reduced about 50% of transmission lines and power consumption compared with the conventional 1-of-4 and ternary encoding scheme. The proposed wrappers were designed and simulated using the 0.18- $\mu\text{m}$  standard CMOS technology. As a result, the asynchronous wrapper operated over 2 GHz communicating with a system bus. Moreover, the power dissipation of the system bus adapted the hybrid ternary encoding logic decreases 65%, 43%, and 36% of the dual-rail, 1-of-4, and ternary encoding scheme, respectively. The proposed data encoding scheme and the wrapper circuit can be useful for asynchronous high-speed and low-power asynchronous interface.

**Keywords :** asynchronous circuit, wrapper, data encoding, delay-insensitive, hybrid ternary

## I. 서 론

\* 학생회원, \*\*\* 정회원, 충북대학교 정보통신공학과 컴퓨터정보통신연구소  
(Dept. of Computer and Communication Engineering and Research Institute for Computer and Information Communication, Chungbuk National University)

\*\* 정회원, 충북대학교 BK21 계약교수  
(CBNU BK21 Chungbuk Information Technology Center, Chungbuk National University)

※ 본 논문은 2006년도 충북대학교 학술연구 지원사업의 연구비 지원에 의하여 연구되었습니다.

접수일자: 2006년9월13일, 수정완료일: 2006년12월22일

최근 VLSI 시스템이 DSM(Deep-Sub Micron) 기술로 고집적화 되면서 고성능 및 저전력 시스템 설계가 이루어지고 있다. 클럭 기반 시스템의 고집적화는 온칩(on-chip)에서 클럭 분배시 클럭 스큐(skew)와 지터(jitter)라는 문제를 가지고 있으며 로컬 모듈간의 타이밍 조절을 위해 버퍼가 포함된 클럭 트리가 생성되고, 이 클럭 트리로 인해 칩에서 많은 전력을 소모한다 [1][2][3].

시스템의 고집적화로 발생된 클럭 분배 문제를 해결 할 방법으로 핸드셰이크 프로토콜에 의해 데이터를 전송하는 비동기식 회로 설계가 제시될 수 있다. 이는 시스템 클럭을 사용하지 않음으로 회로의 타이밍 문제를 효과적으로 해결할 수 있다. 비동기식 회로 설계 방법은 시스템 클럭에 의해 전체 시스템이 동작하는 동기식 시스템과는 달리 각 모듈의 요구(request)와 확인(acknowledge)의 이벤트 신호에 따라 동작이 요구된 모듈만 구동된다. 사용하지 않는 모듈은 동작시키지 않음으로 저전력 회로 설계가 가능하다<sup>[4]</sup>.

클럭을 사용하지 않는 비동기 시스템에서의 데이터 전송은 회로와 배선 지연이 시스템의 동작 속도에 많은 영향을 미치게 된다. 비동기 회로에서의 지연 모델은 Speed-Independent(SI), Delay-Insensitive(DI), Quasi Delay-Insensitive(QDI) 등이 사용된다<sup>[4][5]</sup>. SI 지연 모델은 데이터 연산에 사용되는 조합 회로의 지연이 배선의 지연보다 크기 때문에 배선의 지연은 고려가 되지 않아도 된다는 가정의 지연 모델이다. DI 지연 모델은 설계되는 조합 회로의 지연과 배선의 지연을 모두 고려한 지연 모델이다. 즉, 모든 지연에 무관하게 비동기식으로 데이터가 전송되는 방법을 말한다. QDI 지연 모델은, DI 지연 모델에서 배선에서의 포크(fork) 및 조인(join)의 지연이 동일하다는 가정을 한 모델이다.

DI 지연 모델을 갖는 비동기 회로는 완료 신호 검출을 위해 데이터 선이 동기식에 비해 2배로 증가하나 3치 회로(3-valued circuit)는 하나의 전송선에 3개의 상태를 가지므로 쉽게 완료 신호의 검출이 가능하다. 이 회로를 비동기식 핸드셰이크 프로토콜에 적용하면 제 3의 상태로 데이터의 유효성 판별이 가능하므로 전송선이 기존의 비동기 프로토콜에 비해 50% 감소된다. 또한, 회로가 동작시 동적 스위칭 전압의 감소로 저전력 회로 설계가 가능하다<sup>[6][7]</sup>.

본 논문에서는 DI 지연 모델의 비동기식 회로에 3치 전압 레벨을 사용한 하이브리드 터너리 전송 방식을 제안한다. 이 전송 방식은 다양한 비동기 방식들 간의 데이터 전송을 위한 버스로 사용할 수 있다. 다른 비동기식 프로토콜과의 데이터 호환을 위해 송신 및 수신 래퍼를 설계하고 그 성능을 실험하였다. 논문의 구성은 다음과 같다. II장에서는 비동기식 데이터 전송 방식에 대해 설명한다. III장에서는 제안된 하이브리드 터너리 전송 방식에 대해 설명하고, IV장에서는 하이브리드 터너리 전송 방식을 시스템 버스로 이용하기 위해 설계된 래퍼 회로에 대해 설명한다. V장에서는 설계된 래퍼

회로의 시뮬레이션 결과를 설명하고, VI장에서 결론을 맺는다.

## II. 비동기 데이터 전송 방식

비동기식 데이터 전송 방식은 회로 지연과 전송선 지연의 두 가지 고려사항에 따라 번들 데이터 전송 방식과 DI 전송 방식으로 나눌 수 있다. 그림 1(a)에 나타난 번들 데이터 전송 방식은 조합 회로의 지연과 동일한 지연 소자를 요구 신호에 적용한 방식이다. 이 방식은 구현이 쉬우나 시스템이 커지게 되면 회로 구현에서 중대한 오류가 발생할 수 있다. 각 모듈간의 통신에 필요한 제어 신호가 많아지게 되고, P&R(Placement & Routing) 이전에 각 전송선의 지연 시간을 예측하기가 어려워 회로의 모든 데이터에 대해 정합 지연을 구하는 것이 어렵다. 또한 전송선의 지연이 다양하므로 회로의 복잡도를 증가시킬 수 있다.

그림 1(b)는 기본적인 DI 지연 모델이 적용된 2 선식(dual-rail) 데이터 전송 방식이다. 2 선식 전송 방식은 1 비트의 데이터를 2 개의 선으로 표현하는 방식으로, 표 1 (a)에 나타난 것과 같이 D와 보수 관계의 데이터인  $\bar{D}$ 로 표현한다. 보수 관계의 데이터를 전송하는 이유는 수신단에서 데이터의 유효성을 쉽게 검출하기 위함이다. D와  $\bar{D}$ 의 값이 모두 '0'이면 데이터로 유효하지 않다고 판단하고 이전 동작이 완료되었음을 알리는 완료 신호를 출력한다. 2 선식 전송 방식은 DI 지연 모델로 회로를 구성할 수 있는 장점이 있는 반면 전송선이 2 배 증가하는 단점이 있다.

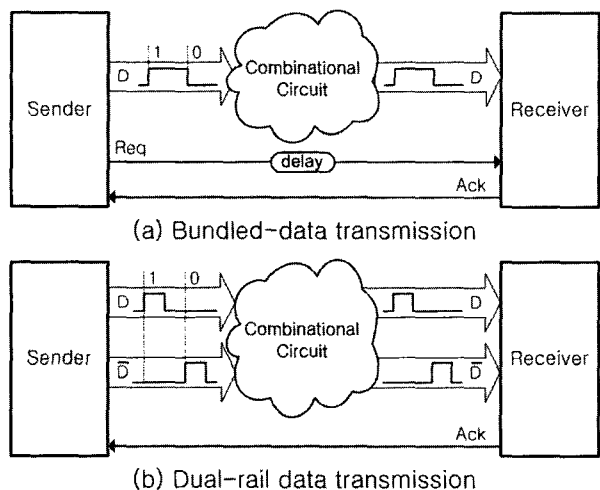


그림 1. 번들 데이터 전송 방식과 2 선식 전송 방식  
Fig. 1. The bundled-data transmission and dual-rail data transmission.

표 1. DI 지연 모델의 비동기 인코딩 방식  
Table 1. Asynchronous encoding scheme of DI delay model.

Input	D	$\bar{D}$	Input	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	Input	D
Invalid	0	0	Invalid	0	0	0	0	Invalid	V <sub>DD</sub> /2
0	1	0	00	1	0	0	0	0	0
	0	1	01	0	1	0	0		
1	0	1	10	0	0	1	0	1	1
	1	0	11	0	0	0	1		
Not used	0	0							

(a) Dual-rail (b) 1-of-4 (c) Ternary

그 이외에 DI 지연 모델의 전송 방식은 1-of-4 전송 방식과 터너리 전송 방식 등이 있다. 1-of-4 데이터 전송 방식은 표 1(b)에 나타난 것과 같이 2 비트의 데이터를 4 비트의 데이터로 인코딩하게 된다. 1-of-4 전송 방식의 특징은 전송선이 증가하나, 신호의 천이수를 줄여서 데이터 전송 시에 발생하는 에너지를 감소시킬 수 있다. 노이즈나 크로스 토크에 강한 특성이 있어 MARBLE이나 CHAIN의 비동기식 버스 구조에서 사용된다<sup>[8][9]</sup>. 3 치 데이터(3-valued data)를 가지는 터너리 전송 방식은 표 1(c)에 나타내었다. 하나의 전송선에 '0', '1' 그리고 V<sub>DD</sub>/2의 3 가지 데이터를 표현할 수 있으므로 기존의 비동기 프로토콜보다는 전송선을 줄일 수 있다. 또한 신호의 스위칭 전압(switching voltage)이 줄어들므로 저전력 비동기 회로를 설계할 수 있는 장점이 있다. 터너리 전송 방식은 모든 데이터가 V<sub>DD</sub>/2일 때 데이터가 무효하다고 판단하고 완료 신호를 출력한다<sup>[10]</sup>.

III. 제안된 하이브리드 터너리 데이터 전송 방식

비동기식 회로에는 다치 데이터(multi-valued data)를 사용할 수 있다. 제안된 하이브리드 터너리 데이터 전송 방식은 터너리 전송 방식에 1-of-4 전송 방식을 조합한 새로운 인코딩 방식으로 DI 지연 모델 비동기 회로에도 적용이 가능하다. 표 2는 제안된 전송 방식의 인코딩 방법에 대해 보여준다. 'H'는 V<sub>DD</sub>/2를 의미하고, 전송된 값이 'HH'이면 전송된 데이터가 유효하지 않음을 나타낸다. 비동기 회로에서는 모든 데이터가 유효하지 않은 것을 확인하여 이전 데이터가 완전하게 처리되었다는 완료 동작을 검출한다. 비동기 회로에서는 이 기간을 스페이스(spacer)라 한다. 하이브리드 터너리 전송 방식은 다음과 같은 특징을 가진다.

첫째, 데이터 전송선을 기존의 비동기식 프로토콜에 비해 절반으로 줄인다. 기존의 2 선식 전송 방식이나

표 2. 하이브리드 터너리 전송 방식  
Table 2. Principle of Hybrid Ternary data Transmission scheme.

Input data	Encoded data
Invalid	HH
00	H0
01	H1
10	0H
11	1H

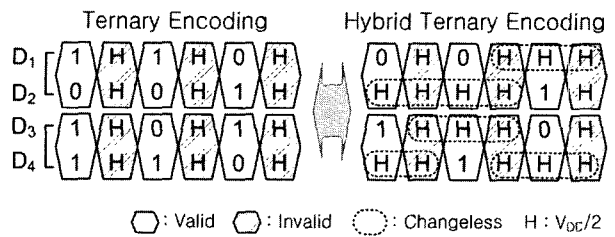


그림 2. 터너리 vs. 하이브리드 터너리 전송 방식  
Fig. 2. Ternary vs. Hybrid ternary transmission scheme.

1-of-4 전송 방식은 n 비트 데이터 전송을 위해 2n 배의 전송선이 필요하다. 제안된 전송 방식은 n 비트 데이터 전송을 위해 n 배의 전송선이 필요하다. 둘째, 신호의 천이 수를 줄여 스위칭 에너지를 줄인다. 터너리 전송 방식은 신호의 천이가 무효 상태로 바뀔 때마다 모든 신호들이 V<sub>DD</sub>/2로 천이한다<sup>[10]</sup>. 그러나, 하이브리드 터너리 전송 방식은 2 비트 데이터를 전송할 때 2 비트 중 1 비트 신호만 V<sub>DD</sub>/2로 천이한다. 디지털 시스템의 소비 전력을 나타내는 식 (1)을 통해 볼 때, 스위칭 전압(V<sub>swing</sub>)을 50% 줄어든다면 동적 소비 전력(P<sub>dynamic</sub>)이 줄어드는 것을 알 수 있다<sup>[11]</sup>.

$$P_{dynamic} = \alpha \cdot V_{dd} \cdot V_{swing} \cdot f \quad (1)$$

그림 2는 터너리 전송 방식과 하이브리드 터너리 전송 방식을 비교한 것이다. 터너리 전송 방식은 데이터가 유효하지 않은 스페이스 상태에서 모든 데이터 값이 'H'로 천이 되고 있다. 스페이스 기간의 데이터 이전과 이후의 값을 보면 V<sub>DD</sub>/2의 신호 크기만큼 스위칭이 일어남을 알 수 있다. 하이브리드 터너리 전송 방식은 기존의 터너리 전송 방식과 동일하게 스페이스 상태에서는 'H'로 되어 있으나 이전과 이후의 값을 비교하면 신호의 천이 수가 50% 줄어든 것을 알 수 있다.

IV. 프로토콜간의 호환을 위한 래퍼 설계

본 장은 제안된 하이브리드 터너리 데이터 전송 방식

을 시스템 버스로 이용하기 위해 서로 다른 비동기 전송 프로토콜과 호환 가능한 래퍼 설계에 대해 설명한다. 그림 3은 다양한 비동기 프로토콜로 구성된 모듈을 통합한 것이다. 통합된 시스템의 데이터는 각각의 래퍼를 이용하여 정해진 프로토콜의 데이터로 변환 가능하다.

1-of-4 데이터 인코딩 방식을 위한 구체화된 래퍼 회로의 블록 다이어그램이 그림 4에 나타나 있다. 내부 는 송신 래퍼(sender)와 수신 래퍼(receiver)로 구성되었으며, 버스와 연결되는 데이터는 하이브리드 터너리 데이터 전송 방식이다. 그림 5는 하이브리드 터너리 데이터 전송 방식과 1-of-4 데이터 전송 방식간의 프로토콜 호환을 위한 래퍼 회로를 나타낸 것이다. 1-of-4 전송 방식은 한 번에 2 비트의 데이터를 전송하므로 송신 래퍼의 입력에도 2 비트의 데이터 입력을 기준으로 사용하였다. 송신 래퍼는 1-of-4 전송 방식에서 하이브리드 터너리 전송 방식으로 변환시켜주는 역할을 한다. 래퍼 회로의 입력  $D_{[i-1]0}, D_{[i-1]1}, D_{[i-1]2}, D_{[i-1]3}$ 은 1-of-4 데이터이며, 출력 데이터  $D_{[i]a}, D_{[i]b}$ 는 3 치 데이터를 가지는 하이브리드 터너리 데이터이다. 수신 래퍼에서는 이진 데이터의 저장을 위해서 그림 6에 나타낸

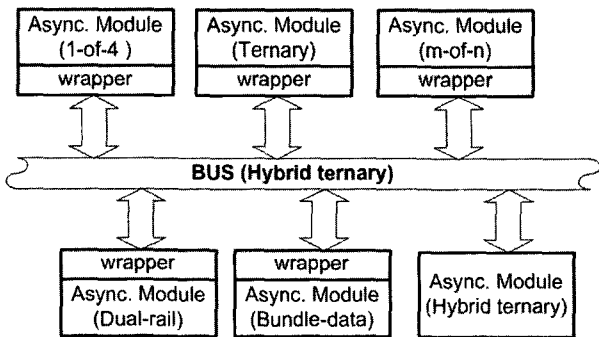


그림 3. 다양한 비동기 모듈이 적용된 버스 전송선  
Fig. 3. The bus interconnection adapting various asynchronous modules

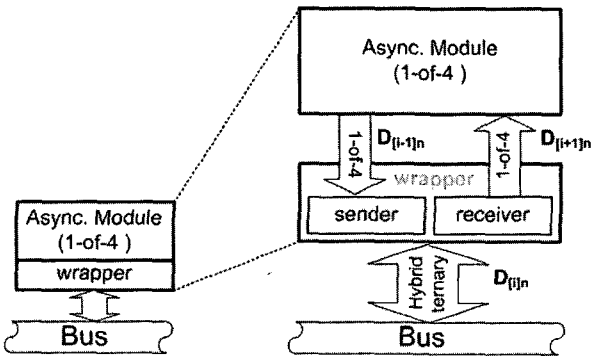


그림 4. 래퍼 회로의 구체화된 블록 다이어그램  
Fig. 4. Specified block diagram of wrapper

C-element를 사용하였다<sup>[5]</sup>. C-element는 두 입력이 모두 '1'일 때 '1'이 출력되고 하나의 천이만 발생했을 때는 이전 상태를 유지한다. 또 입력이 모두 '0'일 때만 출력이 '0'이 된다. C-element의 출력은 3개의 트랜지스터로 구성된 회로에 의해 하이브리드 데이터로 변환된다. 수신 래퍼에서 3 치 데이터를 처리하기 위해 그림 5 (b)에서와 같이 고속 디지털 입력 버퍼인 HIB(High -

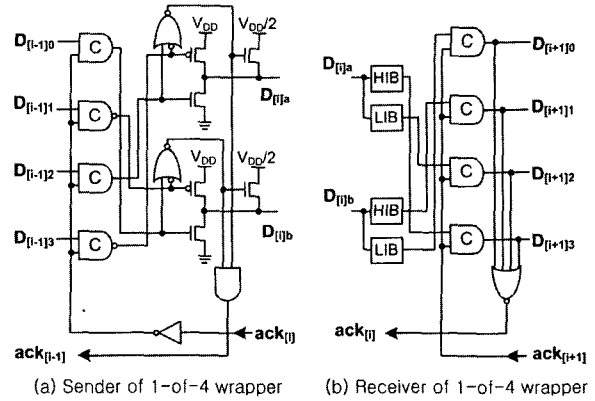


그림 5. 1-of-4 전송 방식을 위한 래퍼  
Fig. 5. Asynchronous wrapper for 1-of-4 scheme.

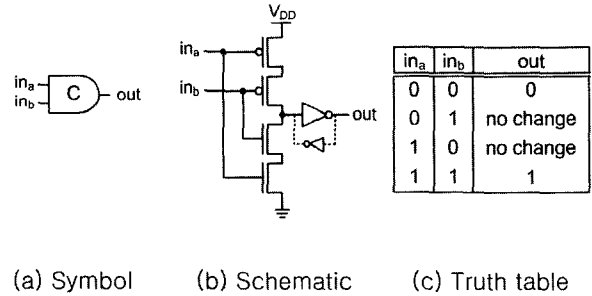


그림 6. C-element 회로와 진리표  
Fig. 6. C-element circuit and truth table.

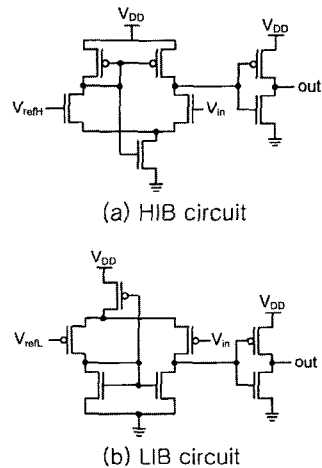


그림 7. 고속 디지털 입력 버퍼 회로  
Fig. 7. High-speed digital input buffer circuit.

Input Buffer)와 LIB(Low - Input Buffer)의 회로를 통하여  $V_{DD}/2$ 를 '1' 또는 '0'으로 인식한다<sup>[11]</sup>. 그림 7은 HIB와 LIB 회로를 나타내며 이 회로에서 사용된  $V_{refH}$ 와  $V_{refL}$ 는 각각 1.35V, 0.45V이다. 이 회로는 자기 바이어스(self-bias) 기능을 가지고 있으므로 추가적인 바이어스 회로가 필요치 않다는 장점이 있다. HIB의 회로는  $V_{in}$ 이  $V_{refH}$ 보다 클 경우 '1'이 출력되고  $V_{in}$ 이  $V_{refH}$ 보다 작을 경우 '0'이 출력된다. LIB 회로는 HIB와 동일한 방법으로  $V_{in}$ 과  $V_{refL}$ 를 비교하여 출력한다. 이 회로들로  $V_{DD}/2$ 를 이진 데이터로 구분하며 구분된 이진 데이터는 C-element를 통하여 저장하고 출력한다.

송신 및 수신 래퍼는 2-phase 프로토콜을 사용하며 그림 8의 타이밍 다이어그램과 같이 동작한다. 타이밍 다이어그램에서  $D_{[i-1]}$ 는 1-of-4 데이터인  $D_{[i-1]0}$ ,  $D_{[i-1]1}$ ,  $D_{[i-1]2}$ ,  $D_{[i-1]3}$ 를 나타내고,  $D_{[i]}$ 는 하이브리드 터너리 데이터인  $D_{[i]a}$ 와  $D_{[i]b}$ 를 나타낸다. 출력 데이터인  $D_{[i+1]}$ 는  $D_{[i+1]0}$ ,  $D_{[i+1]1}$ ,  $D_{[i+1]2}$ ,  $D_{[i+1]3}$ 로 표현하였다.  $D_{[i-1]}$ 의 데이터를 수신 래퍼로 전송하려면 입력 데이터  $D_{[i-1]}$ 가 유효하고, 수신 래퍼에서의 확인 신호인  $ack_{[i]}$  신호가 '1'이면,  $D_{[i]}$ 도 유효한 데이터가 되고  $ack_{[i]}$ 를 '0'으로 출력한다.  $D_{[i]}$ 와  $ack_{[i+1]}$ 의 신호로  $D_{[i+1]}$ 의 데이터가 생성된다.

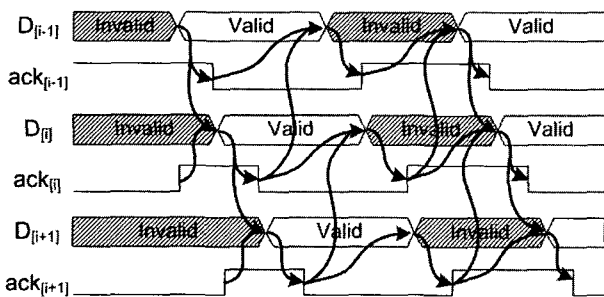


그림 8. 송신 및 수신 래퍼의 타이밍 다이어그램  
Fig. 8. Timing diagram of Sender and Receiver.

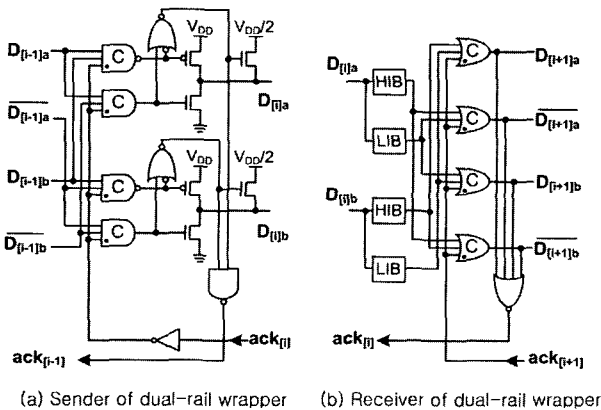


그림 9. 2 선식 전송 방식을 위한 래퍼  
Fig. 9. Asynchronous wrapper for dual-rail scheme.

2 선식 전송 방식과 하이브리드 터너리 전송 방식간의 호환을 위한 래퍼를 그림 9에 나타내었다. IV장 1절에서 설명된 회로의 구성과 유사하다. 송신 래퍼로 입력되는 2 선식 전송 데이터는 먼저 C-AND 회로로 입력된다. C-AND 회로는 그림 10과 같이 표현하고, C-element와 AND 게이트의 기능이 통합되어 두 가지 역할을 하고 있다. 다음 스테이지로부터 입력되는  $ack[i]$  신호와 C-AND 회로에 의해 송신 래퍼 출력 신호의 유효성을 판단할 수 있다. 출력 단에 구성된 3 개의 트랜지스터를 통하여 '0', '1' 그리고  $V_{DD}/2$ 의 데이터를 출력하게 된다. 출력된 데이터는 하이브리드 터너리 전송 방식의 데이터가 된다.

수신 래퍼에서는 고속 입력 버퍼 회로인 HIB와 LIB을 사용하여 3 치 데이터의 값을 이진 데이터로 구분하였다. HIB와 LIB의 회로 출력은 그림 11에 나타낸 C-OR 회로를 통해 데이터를 연산하고 저장한다. C-OR 회로는 C-element 와 OR 게이트를 통합하여 하나의 회로로 나타낸 것이다. C-OR 회로로 입력되는 데이터는  $ack_{[i]}$ 에 의해서 다음 스테이지로 데이터를 보낸다. C-OR회로의 출력 신호 중 데이터의 유효성을 판단하기 위해 NOR 게이트를 사용하여  $ack_{[i-1]}$  신호를 생성하였다.

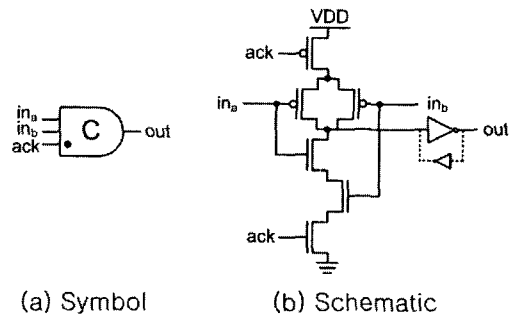


그림 10. C-AND 회로  
Fig. 10. C-AND circuit.

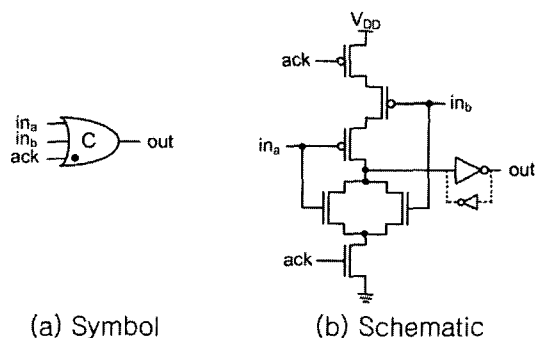


그림 11. C-OR 회로  
Fig. 11. C-OR circuit.

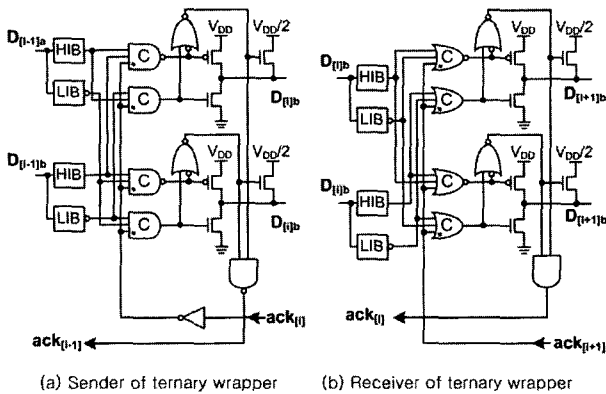


그림 12. 터너리 전송 방식을 위한 래퍼  
Fig. 12. Asynchronous wrapper for ternary scheme.

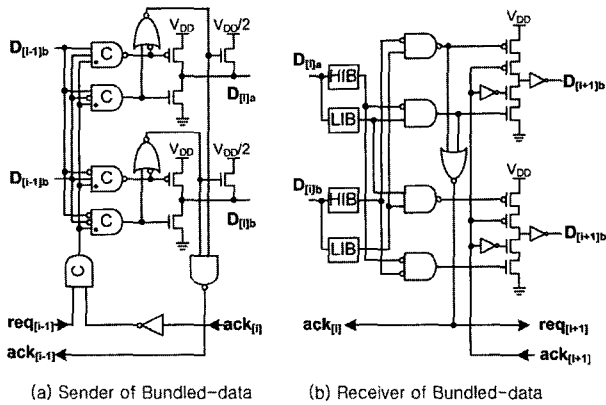


그림 13. 번들 데이터 전송 방식을 위한 래퍼  
Fig. 13. Asynchronous wrapper for bundled-data scheme.

그림 12는 터너리 전송 방식과 하이브리드 터너리 전송 방식의 데이터 호환을 위해 설계된 래퍼이다. 송신 및 수신 래퍼의 입력과 출력이 모두 3치 데이터이므로 회로 구성이 유사하다. 차이점은 회로의 크기를 최소화 하기 위해 송신 래퍼 회로에는 C-AND 회로가 사용되었고 수신 래퍼 회로에는 C-OR 회로를 사용하였다.

그림 13은 번들 데이터 전송 방식과 호환을 위한 래퍼 회로이다. 송신 및 수신 래퍼 회로로 구성되며, 송신 래퍼의 입력과 수신 래퍼의 출력은 번들 데이터 전송 방식으로 이루어진다. 번들 데이터 전송 방식이므로 송신 래퍼 회로의 입력과 수신 래퍼 회로의 출력에는 요구 신호와 확인 신호가 필요하다. 송신 래퍼는 유효한 데이터가 입력되면 req<sub>[i-1]</sub>와 ack<sub>[i]</sub>가 각각 '1', '0'일 때 하이브리드 터너리 데이터가 출력된다. 출력된 데이터는 DI 전송 방식이므로 요구 신호가 필요 없다. 수신 래퍼의 입력은 DI 방식이지만 출력은 번들 데이터 방식으로 구성된다. 수신 래퍼 회로의 특징은 데이터 저장을 위한 C-element 소자 대신 출력부에 스택으로 쌓여

진 4개의 트랜지스터와 출력 인버터가 데이터를 저장하는 역할을 한다.

V. 시뮬레이션 결과

본 논문에서 제안하는 하이브리드 터너리 전송 방식은 기존의 DI 지연 모델의 비동기식 프로토콜인 2 선식 전송 방식이나 1-of-4 전송 방식, 그리고 터너리 전송 방식에 비해 각각 전송선의 감소와 신호 천이수의 감소 이득을 볼 수 있다. 표 3은 DI 지연 모델이 가능한 비동기식 데이터 전송 방식을 비교한 것이다. 하이브리드 터너리 전송 방식은 2 선식 전송 방식이나 1-of-4 전송 방식에 비해 데이터 비트당 전송선의 수는 50% 감소된다. 또한 이 전송 방식은 터너리 전송 방식에 비해 데이터 비트당 신호 천이수가 절반으로 감소됨을 알 수 있다.

설계된 래퍼는 IDEC에서 지원된 0.18- $\mu$ m CMOS 공정으로 동작을 검증하였다. 그림 14는 래퍼 회로의 시뮬레이션 결과를 나타낸 것이다. 각 결과들은 온-칩 전송 방식인 하이브리드 터너리 데이터 인코딩에 기초하며 서로 다른 프로토콜간의 데이터가 호환됨을 보여준다. 그림 14(a)에서 1-of-4 데이터인 '0100'은 이진 데이터 '01'을 나타낸다. 핸드셰이크에 의해 '0100'은 하이브리드 터너리 데이터인 'H1'로 되며, 다시 2 선식 데이터인 '0110'로 데이터가 인코딩 된다. 그림 14(b)는 '0110'의 2 선식 데이터를 입력으로 'H1'에서 터너리 데이터인 '01' 데이터로의 천이를 보여준다. 터너리 데이터인 '01'에서 'H1'의 하이브리드 터너리 데이터를 거쳐 '01'의 번들 데이터 전송 방식의 데이터로 변환된다. 이 전송 방식은 출력으로 다음 단의 요구 신호가 필요하다.

그림 15는 각 송신 래퍼의 회로 지연 시간( $t_p$ )을 보여준다.  $t_p$ 의 Min, Max 값은 전송하고자 하는 데이터의 의존성이 있음을 나타낸다. 비동기식 회로는 동기식 회로와 달리 평균 지연이 의미를 갖는다. 송신 래퍼는 인

표 3. DI 전송 방식의 비교  
Table 3. Comparison of DI transmission scheme.

	Area (wire / bit)	Energy (switching / bit)
Dual-rail	2	2
1-of-4	2	1
Ternary	1	1
Hybrid ternary	1	0.5

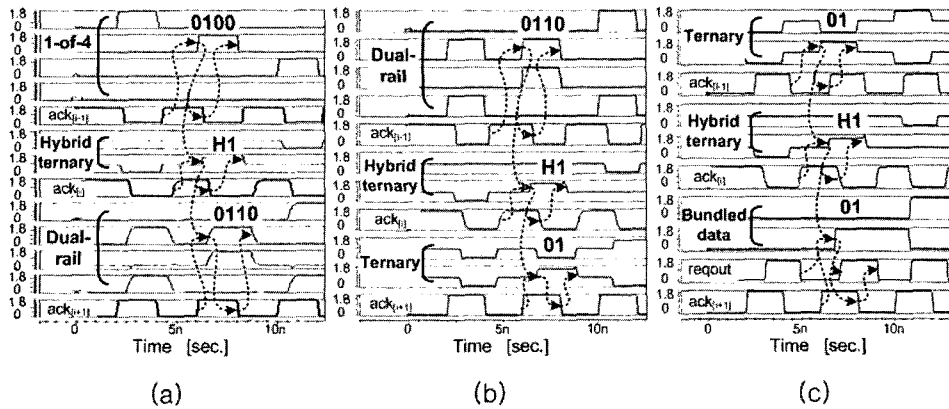


그림 14. 래퍼 회로의 시뮬레이션 결과  
 Fig. 14. Simulation result of the wrapper circuits.

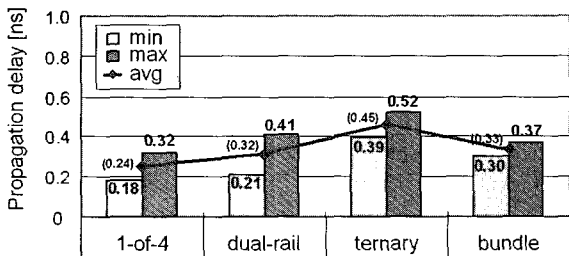


그림 15. 송신 래퍼의 회로 지연  
 Fig. 15. Propagation delay of sender wrapper.

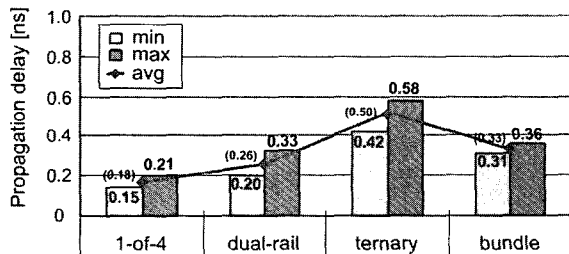


그림 16. 수신 래퍼의 회로 지연  
 Fig. 16. Propagation delay of receiver wrapper.

코딩 방법이 간단하고 회로가 복잡하지 않은 1-of-4 전송 래퍼가 지연 시간이 가장 짧았다. 반면, 터너리 전송 래퍼는 HIB와 LIB을 사용하여  $V_{DD}/2$ 를 검출하였기 때문에 회로가 추가되어 지연 시간이 0.52 ns로 가장 길게 나타났다.

수신 래퍼의 회로 지연 시간은 그림 16에 나타내었다. 설계된 각각의 수신 래퍼는 최대 0.58 ns 이내의 회로 지연 시간을 보여주어 동기식 시스템과 비교하였을 경우, 평균 2 GHz 이상의 속도로 동작 가능함을 나타낸다. 가장 짧은 지연 시간을 가지는 1-of-4 전송 래퍼는 0.15 ns를 보였다.

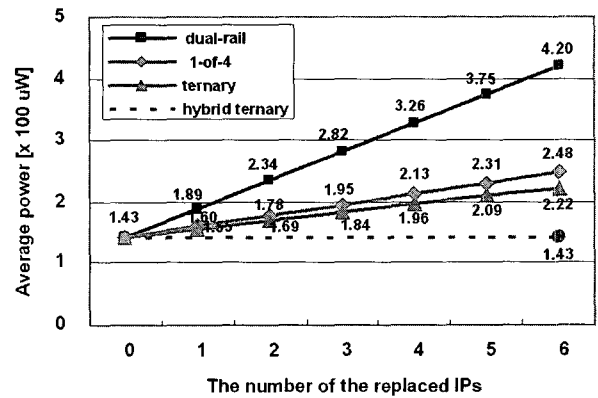


그림 17. 소비 전력 시뮬레이션 결과  
 Fig. 17. Simulation result of average power dissipation.

그림 17은 하이브리드 터너리 전송 방식이 적용된 시스템의 소비 전력을 알아본 것이다. 사용된 모듈은 제안된 버스 방식과 동일한 전송 방식을 가지는 회로이다. 그림 3의 환경과 유사하게 제안된 인코딩 방식이 적용된 16 bit RCA 모듈 6개를 시스템 버스에 적용하여 기준으로 삼고, 이것을 그림 17에서 점선으로 표현하였다. 6 개의 기본적인 IP에 x축의 개수만큼 각각 2선식, 1-of-4, 터너리 방식의 모듈로 변경하였다. 제안된 하이브리드 터너리 방식의 IP를 모두 사용하면 2선식, 1-of-4, 터너리 방식의 IP를 사용할 때보다 각각 65%, 43%, 36%의 소비 전력 감소를 얻었다. 전체적으로 하이브리드 터너리 전송 방식이 적용된 시스템 버스는 동일한 전송 방식의 회로에 적용하였을 경우 최소의 소비 전력을 나타냄을 알 수 있었다.

## VI. 결론

본 논문은 DI 지연 모델의 비동기식 데이터 전송 프

로토콜인 하이브리드 터너리 데이터 전송 방식을 제안하고 번들 데이터 프로토콜과 다양한 DI 지연 모델 기반의 비동기식 프로토콜의 시스템 버스로 사용하기 위해 래퍼를 설계하였다. 제안된 하이브리드 터너리 데이터 전송 방식은 기존의 1-of-4 전송 방식이나 2 선식 전송 방식에 비해 데이터 전송선이 50% 감소되는 특징이 있다. 또한, 종래의 터너리 전송 방식과 비교하였을 때 50%의 신호 천이 감소 결과를 보였다. 제안된 전송 방식을 사용하여 번들 데이터, 1-of-4, 2 선식, 터너리 전송 방식등의 다양한 비동기 프로토콜과 데이터를 송·수신할 수 있는 래퍼를 0.18- $\mu\text{m}$  CMOS 공정으로 설계하고 시뮬레이션 하였다. 하이브리드 터너리 전송 방식이 적용된 래퍼는 평균 2 GHz의 속도로 동작 하였으며 2 선식, 1-of-4, 그리고 터너리 전송 방식에 비해 각각 65%, 43%, 36%의 소비 전력이 줄어든 결과를 보였다.

### 참 고 문 헌

- [1] W.J. Dally and J. Poulton, *Digital Systems Engineering.*, Cambridge Univ. Press, 1998.
- [2] D. M. Chapiro. *Globally-asynchronous locally-synchronous systems.* Ph.D thesis, Stanford University, 1984.
- [3] A. Lines, "Asynchronous interconnect for synchronous SoC design," *IEEE Micro*, Vol. 24, No. 1, pp. 32-41, Jan. - Feb. 2004.
- [4] S. Hauck, "Asynchronous design methodologies: an overview," *Proc. the IEEE*, vol. 83, no. 1, pp. 69 - 93, Jan. 1995.
- [5] J. Sparsø, and S.B. Furber, *Prinsiples of Asynchronous Circuit Design*, Kluwer Academic Publishers, 2001.
- [6] P. Balla and A. Antoniou, "Low power dissipation MOS ternary logic family," *IEEE Journal of Solid-State Circuits*, vol. 19, pp. 739 749, Oct. 1984.
- [7] R. Mariani, R. Roncella, R. Saletti, and P. Terreni, "On the realization of delay-insensitive asynchronous circuit with CMOS ternary logic," *Proc. ASYNC'97*, pp. 54 - 62, April 1997.
- [8] W. J. Bainbridge, and S. B. Furber, "Delay insensitive system-on-chip interconnect using 1-of-4 data encoding," *Proc. ASYNC'01*, pp. 118 - 126, March 2001.
- [9] W.J. Bainbridge, and S.B. Furber, "Asynchronous macrocell interconnect using MARBLE," *Proc. ASYNC'98*, pp. 122 - 132, March 1998.
- [10] T. Felicijan, and S.B. Furber, "An asynchronous ternary logic signaling system," *IEEE trans. On VLSI*, vol. 11, no. 6, pp. 1114 ~ 1119. Dec. 2004.
- [11] N. H. E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design: A Systems Perspective*, MA: Addison-Wesley, 1994.
- [12] A. Katoch, M. Meijer, and Jain, S.K., "Active noise cancellation using aggressor-aware clamping circuit for robust on-chip communication," *Proc. VLSI Design 2005*, pp. 325 - 329, Jan. 2005.
- [13] R. Jacob Baker, *CMOS Circuit Design, Layout, and Simulation*, 2nd Edition Wiley-Interscience, 2005.



저 자 소 개



임 영 일(학생회원)  
 2005년 충북대학교  
 정보통신공학과 공학사.  
 2005년 3월~현재 충북대학교  
 정보통신공학과 석사과정.  
 <주관심분야 : 저전력 디지털 회로 설계, 비동기 회로 설계>



이 제 훈(정회원)  
 1999년 충북대학교  
 정보통신공학과 공학사  
 2001년 충북대학교  
 정보통신공학과 공학석사  
 2005년 충북대학교  
 정보통신공학과 공학박사  
 2005년~2006년 Univ. of Southern California  
 방문연구원  
 2006~현재 충북 대학교 BK21 계약교수  
 <주관심분야 : 고속 마이크로프로세서 설계, 저전력 디자인>



이 승 숙(정회원)  
 2004년 충북대학교  
 전기전자공학부 공학사  
 2004년 9월~현재 충북대학교  
 정보통신공학과 석사과정  
 <주관심분야 : 고속 마이크로프로세서 설계, 저전력 시스템 설계>



조 경 록(정회원)  
 1977년 경북대학교  
 전자공학과 공학사  
 1989년 일본 동경대학교  
 전자공학과 공학석사  
 1992년 일본 동경대학교  
 전자공학과 공학박사  
 1979년~1986년 (주)금 성 사 TV연구소  
 선임연구원  
 1999년~2000년 Oregon State University  
 객원교수  
 1992년~현재 충북대학교 전기전자공학부 교수  
 <주관심분야 : 통신시스템 LSI 설계, 저전력 고속 회로 설계, Platform기반의 SoC설계>