논문 2007-44SD-1-9

전류원 스위칭에 의한 저전력 듀얼레벨 차동신호 전송(DLVDS) 기법

(Low Power Dual-Level LVDS Technique using Current Source Switching)

김 기 선*, 김 두 환*, 조 경 록*

(Ki-Sun Kim, Doo-Hwan Kim, and Kyoung-Rok Cho)

요 약

본 논문은 배터리를 사용하는 휴대 기기용 LCD driver IC를 위한 전류원 스위칭에 의한 저전력 듀얼레벨 저전압 차동신호 전송(DLVDS) 회로를 제안한다. 제안된 송신기는 기존의 DLVDS 회로의 송신기의 신호생성 방법을 개선하여 기존의 전송선 감소의 장점을 유지하면서 전력소모를 현저히 감소시켰다. 또한 개선된 신호생성 방법의 개선으로 인하여 디코딩이 변경되어 수신기 회로가 더 간단해졌다. 제안된 회로는 2.5V의 전원을 갖는 0.25㎛ CMOS 공정으로 설계 되었다. 제안된 회로의 시뮬레이션 결과는 800Mbps/2-line의 전송률, 송신기는 9mW, 수신기는 11.5mW의 전력소모를 나타내었으며, 기존의 DLVDS와 비교하여 약60% 전력소모가 감소했다.

Abstract

This paper presents a low power dual-level low voltage differential signaling (DLVDS) technique using current source switching for LCD driver ICs in portable products. The transmitter makes dual level signal that has two different level signal 400mVpp and 250mVpp while keeping the advantages of LVDS. The decoding circuit recovers the primary signal from DLVDS. The low power DLVDS is implemented using a 0.25㎛ CMOS process under 2.5V supply. The proposed circuit shows 800Mbps/2-line data rate and 9mW, 11.5mW power consumptions in transmitter and receiver, respectively. The proposed DLVDS scheme reduce power consumption dramatically compare with conventional one.

Keywords: LVDS, 저전력, 차동신호

I. 서 론

LCD 패널의 입출력 데이터 인터페이스와 같은 고속 데이터 전송을 위하여 저전압 차동신호 전송(LVDS: low voltage differential signaling)기법이 광범위하게 사용된다. LVDS의 장점은 높은 데이터 전송 속도, 낮은 전력 소비, 잡음에의 높은 내성, 그리고 작은 EMI 특성 등이 있다. 그러나 LVDS는 차동신호 전송 기법이므로 단일 출력(single-ended) 전송 기술과 비교해서 입출력 핀과 전송선이 두 배가 되는 단점이 있다. 디스플레이 장치의 해상도가 증가되는 최근 추세 때문에 전송되는 입출력의 수는 디스플레이 패널에 크기에 비례하여 점점 증가한다. 입출력 핀과 전송선의 증가는 회로의 복잡성, PCB 면적, package 비용을 증가시킨다. 뿐만 아니라 지속적인 공정 기술의 발달로 칩 크기 감소의 제한요소가 점점 입출력 핀의 수가 되고 있다.

차동신호 전송의 단점인 두 배의 입출력 핀과 전송선 수를 줄이기 위하여 전송선 공유(shared data line) 기법과 DLVDS (dual-level low voltage differential

* 정회원, 충북대학교 정보통신공학과 컴퓨터정보통신연구소
(Dept. of Computer and Communication Engineering and Research Institute for Computer and Information Communication, Chungbuk National University)

※ 이 논문은 2006년도 교육인적자원부 지방연구중심대학 육성사업의 지원에 의하여 연구되었음.
접수일자: 2006년8월2일, 수정완료일: 2006년12월22일

signaling)기법이 제안되었다[2,3]. 전송선 공유 기법은 송신기와 수신기의 차동전송라인을 공유하여 입출력 핀 수와 전송선 수를 감소시켰다. 그러나 전송선 공유 기법은 데이터의 복호과정에서 데이터 사이의 관계에 의존했기 때문에 완전한 병렬전송을 할 수 없다는 단점을 갖고 있었다. 이러한 단점을 개선하기 위하여 DLVDS가 제안되었다. DLVDS는 두 개의 데이터를 동시에 보내고 있으며 이때 두 개의 입출력 핀과 전송선만 사용하면서 차동 신호 및 LVDS의 장점을 유지한다.

그러나 전송선 공유 기법과 DLVDS는 단극(unipolar) 구조를 사용하기 때문에 차동 출력에 동일한 전압차를 발생하기 위해 기존의 LVDS와 같은 단극(bipolar) 구조보다 두 배의 전류를 필요로 한다. 그러므로 배터리를 사용하는 휴대용 기기의 저전력 요구에 부응하기 어렵다.

본 논문에서는 DLVDS 기법의 장점을 유지하면서 양극(bipolar) 구조와 송신기의 신호생성 기법을 개선하여 낮은 전력소로를 갖는 저전력 DLVDS 기법을 제안한다. 본 논문은 다음과 같이 구성된다. Ⅱ장에서는 제안된 저전력 DLVDS에 대해 설명하고, Ⅲ장에서 시뮬레이션 결과를 보여주며, Ⅳ장에서 결론을 언급한다.

Ⅱ. 저전력 DLVDS 기법

제안된 저전력 DLVDS 기법은 기존의 DLVDS의 장점을 유지하면서 전력소모를 크게 감소시켰다. DLVDS 송신기 구조를 기존의 단극(unipolar)구조에서 양극(bipolar)구조로 변경하여 전력소모를 크게 감소시켰다. 그리고 송신기의 신호생성 기법도 개선하여 전력소모를 추가적으로 감소하도록 개선하여, 복호를 위한 수신기 회로도 간단해졌다.

2.1 기존의 저전압 차동신호 전송 기법

그림 1은 기존의 LVDS 회로이다[1]. LVDS 신호는 350~400mV의 저전압 스윙을 하여 고속 저전력 신호전송이 가능하다. 그리고 3.5~4mA의 전류를 사용하므로 EMI 영향도 적다. 기존의 LVDS 송신기 동작은PMOS 전류원과 NMOS 전류원 사이에 흐르는 전류방향을 조절하는 스위치를 갖는 구조이다. 실선으로 표시된 경로로 전류가 흐를 경우, 100Ω의 종단 저항 양단에 350~400mV의 전압차가 형성된다. 반대로 점선 경로로 전류가 흐를 경우, 저항 양단에 -350~400mV 전압차가 형성된다. 기존의 LVDS는 하나의 데이터를 보내기 위

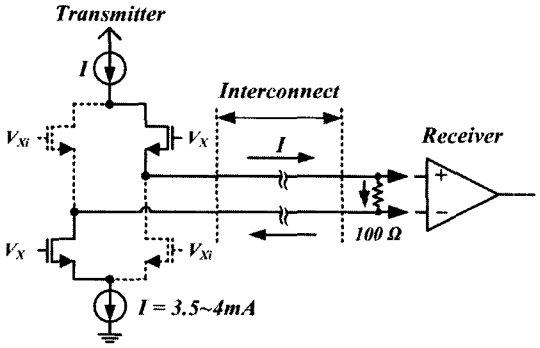


그림 1. 기존의 LVDS 회로
Fig. 1. Conventional LVDS circuits.

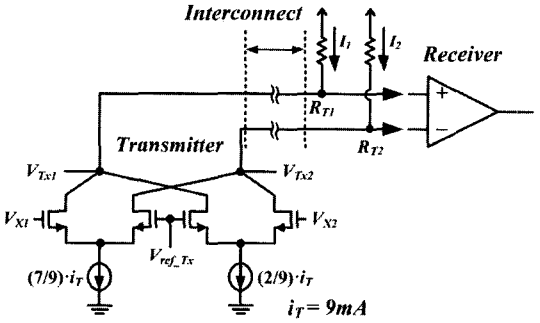


그림 2. DLVDS 회로
Fig. 2. DLVDS circuits.

해 송신기의 입력에 차동신호를 생성해 입력하고, 송신기 출력의 차동신호를 전송한다. 따라서 하나의 데이터를 전송하기 위해 두 개의 전송선을 사용한다.

그림 2는 차동 신호 전송의 단점을 극복하기 위해 제안된 DLVDS 회로이다[2]. DLVDS는 단극(unipolar) 구조의 송신기로 두 가지 레벨의 차동신호를 전송한다. 송신기에는 동시에 두 개의 데이터가 입력되고, 차동신호의 특성을 유지하면서 두 개의 데이터를 동시에 전송한다. 따라서 두 개의 데이터를 전송할 때 단지 두 개의 전송선만을 사용하게 된다. 즉, 기존의 LVDS 기법의 전송선 및 핀 수의 반만을 사용한다. 따라서 칩 외부의 PCB 기판의 면적을 줄일 수 있고, 비용 감소 효과가 있다.

2.2 차동 입출력 전송 시스템

그림 3은 차동 입출력 신호 전송 시스템들을 보여준다. 그림 3(a)는 기존의 LVDS 시스템을 나타낸다. LVDS는 일반적인 차동신호 전송기법과 같이 하나의 데이터 전송에 두 개의 전송선을 사용한다는 단점을 갖는다. 그림 3(b)와 (c)는 기존의 DLVDS 시스템 과 제안된 저전력 DLVDS 시스템을 나타낸다. 두 시스템 모두 두 개의 데이터를 두 가지 레벨의 차동

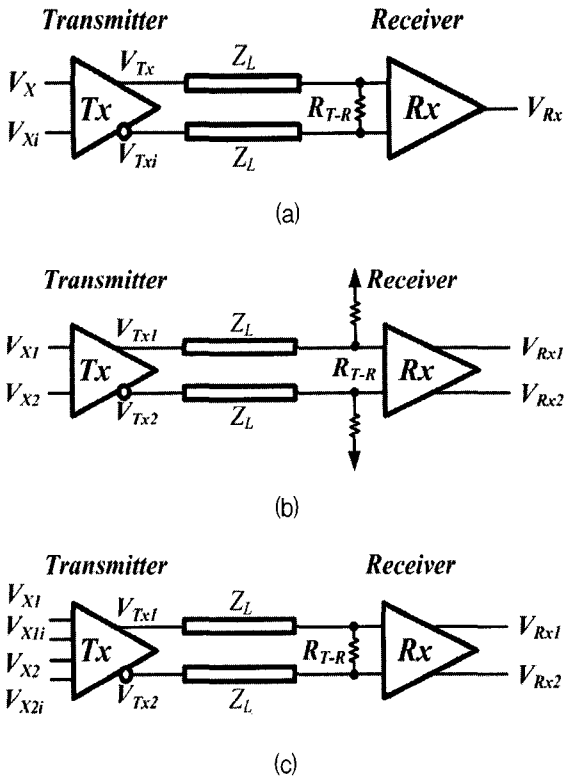


그림 3. 차동 입출력 신호 전송 시스템 (a) 기존의 LVDS 시스템 (b) DLVDS 시스템 (c) 제안된 저전력 DLVDS 시스템

Fig. 3. Differential I/O signaling systems; (a) conventional LVDS system, (b) DLVDS system, (c) proposed low power DLVDS system.

신호로 변환하여 두 개의 전송선을 통해 동시에 전송한다. 따라서 전송선 개수가 반으로 줄어드는 장점과 data rate가 두 배가 되는 장점이 같다. 단 제안된 저전력 DLVDS 시스템은 단극(unipolar)구조를 사용해서 종단 저항의 출력의 양단에 위치한다. 단, 저전력 DLVDS 송신기에는 전송할 데이터와 상보 데이터를 모두 입력해야 한다.

그림 3(b)와 3(c)에 시스템에서 사용되는 차동신호 전압레벨을 그림 4에 나타냈다. 그림 4(a)와 같은 두 개의 데이터가 입력될 경우, 기존의 DLVDS 송신기 출력 전압 레벨과 제안된 송신기 출력 전압레벨이 각각 그림 4(b)와 (c)이다. 표 1은 두 개의 DLVDS 전압차의 비교이다. DLVDS 수신기는 전압차 비교기를 사용하므로 송신기 출력의 전압차를 입력받아서 공통모드 잡음에 강한 차동 시스템의 장점은 유지한다.

그림 5는 그림 4(c)의 제안된 저전력 DLVDS 신호를 만들기 위한 제안된 송신기 구조이다. 동시에 V_{X1}와 V_{X2}의 두 개의 데이터를 입력받고, 각각 종단저항 양단

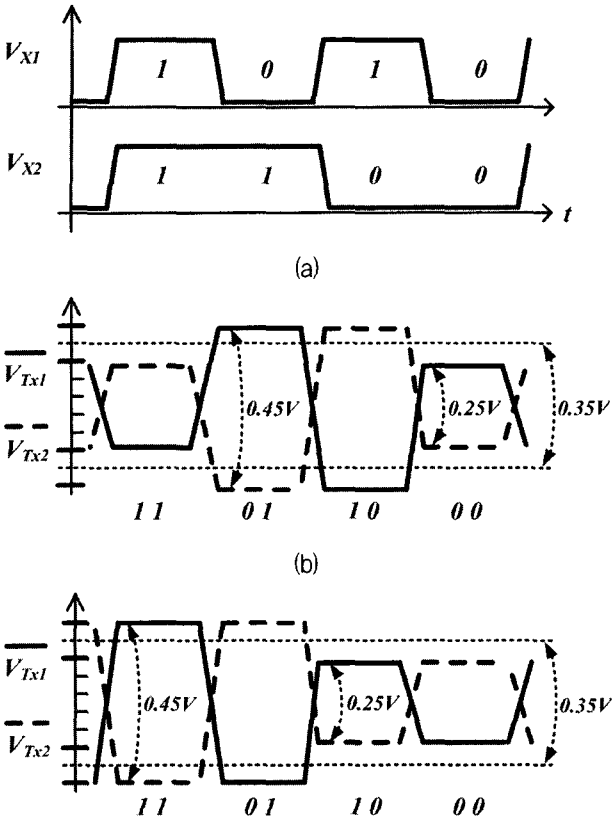


그림 4. 차동신호 전압 레벨 (a) 입력 전압 (b) DLVDS 전압 레벨 (c) 제안된 저전력 DLVDS 전압 레벨

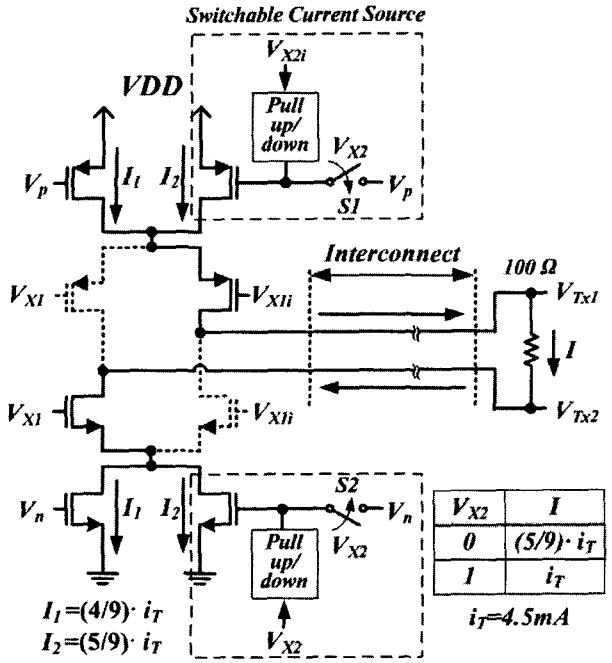
Fig. 4. Differential signaling voltage level; (a) input voltage, (b) DLVDS voltage level, (c) proposed low power DLVDS voltage level.

표 1. DLVDS 전압차의 비교

Table1. Comparison of DLVDS voltage differences.

		DLVDS	Proposed
V_{X1}	V_{X2}	$\triangle V_{Tx}$	$\triangle V_{Tx}$
0	0	+0.25	−0.25
0	1	+0.45	−0.45
1	0	−0.45	+0.25
1	1	−0.25	+0.45

에 흐르는 전류 방향과 크기를 조절하여 제안된 저전력 DLVDS 신호를 만든다. 송신기 전류 방향을 조절하는 중앙에 네 개의 NMOS 스위치는 V_{X1}과 V_{X1i}로 구동한다. 변화된 전류 방향은 종단 저항 양단에 걸리는 전압차의 극성을 바꾼다. V_{X1}이 '1'이면 V_{Tx1}에서 V_{Tx2}로 전류가 흐르고, 종단저항 양단의 전압차는 양의 값을 갖는다. 반대로 V_{X1}이 '0'이면 상호신호인 V_{X1i}가 '1'이 되어 반대방향으로 전류가 흐르고, 종단저항 양단의 전압



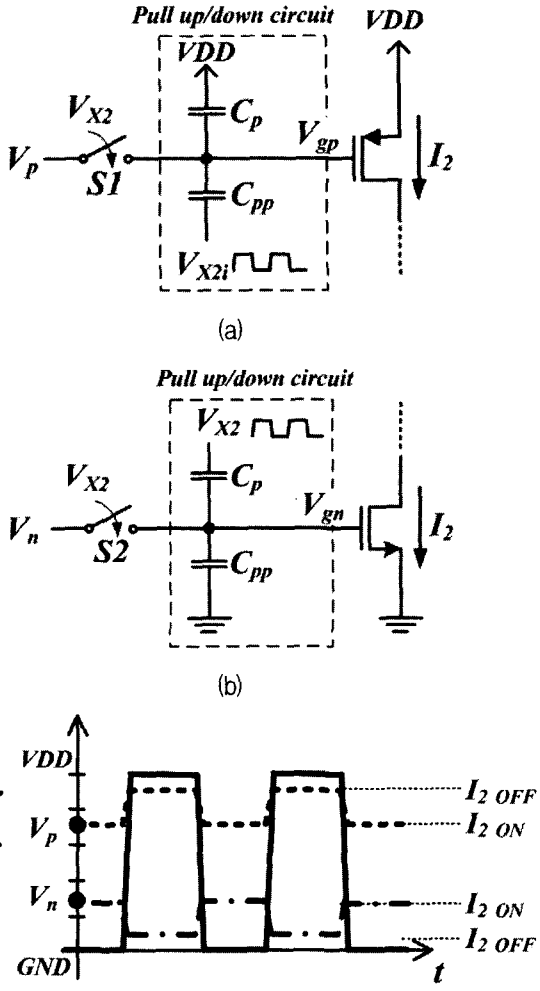
V_{X2}	I
0	(5/9)· i_T
1	i_T

그림 5. 제안된 DLVDS 송신기 구조
Fig. 5. Proposed DLVDS transmitter architecture.

차가 음의 값을 갖는다. V_{X2}는 스위칭 가능한 PMOS와 NMOS 전류원을 켰다 껐다 하면서 종단 저항에 흐르는 전류의 양을 가감하여, 저항 양단의 전압차를 250mV과 450mV로 변화시킨다. V_{X2}의 값이 '0'이면 2.5mA의 전류가 흐르고, V_{X2}의 값이 '1'이면 V_p, V_n 전압이 전류원을 켜서 2mA의 전류가 더해져 4.5mA의 전류가 흐른다. 종단저항에 흐르는 전류의 양의 변화가 250mV와 450mV의 두 가지 레벨의 전압차를 생성한다.

기존의 DLVDS 송신기는 단극(unipolar)구조를 사용해서 두 개의 종단저항이 출력에 각각 연결된다. 그러나 제안된 저전력 DLVDS 송신기는 양극(bipolar)구조를 사용하여 두 개의 종단저항이 직렬 연결되므로 저항값이 두 배가 되어 같은 크기의 전압차를 생성하기 위해 필요한 전류량이 반이 된다. 따라서 송신기에서 소모되는 전류가 반으로 감소한다. 또한 항상 동일한 전류가 흐르는 기존의 DLVDS 송신기에 비하여, 데이터에 따라 스위칭 되는 전류원을 사용하여 송신기에 흐르는 전류량을 데이터에 종속적으로 감소시켰다. 그리고 입력신호의 크기와 극성에 서로 영향을 끼치지 않는 신호생성 방법을 사용해서 동시에 두 개의 데이터를 각각 복원할 수 있다. 따라서 기존의 DLVDS 수신기와 큰 변화 없이 신호를 복호할 수 있다.

그림 6은 전류원 스위칭 동작을 나타낸다. PMOS와 NMOS 전류원을 스위칭하기 위해 스위칭 가능한 전류



$$\Delta V_{gp} = \Delta V_{gn} = VDD \cdot [C_p/(C_{pp}+C_p)]$$

(c)

그림 6. 전류원 스위칭 동작 (a) PMOS 전류원 스위칭 (b) NMOS 전류원 스위칭 (c) 스위칭 입력 파형
Fig. 6. Operation of current source switching; (a) PMOS current switching, (b) NMOS current switching, (c) gate input waves of switching.

원을 나타낸다. 큰 전류를 생성하는 전류원은 큰 커패시터가 게이트에 존재한다. 그리고 전류원 바이어스 전압 V_n, V_p가 끊어져도 노드가 플로팅 되므로 빠른 전압 변경이 이뤄지지 않는다. 따라서 빠른 스위칭을 위해 수동소자인 커패시터로 구성된 풀-업/다운(pull up/down) 회로를 사용한다. 풀-업/다운 동작과 함께 빠르게 전류원을 스위칭 할 수 있는 최소의 전압 스윙으로 전류원 게이트 전압 V_{gp}와 V_{gn}을 조절하여 스위칭 속도를 더욱 높였다. 따라서 스위칭 동작이 송신기 속도를 저하시키는 영향을 줄였다. 그림 6(a)와 (b)는 각각 PMOS와 NMOS 전류원 스위칭을 나타낸다. 그림 6(c)과 같이 V_{X2i}에 따라 V_{gp}와 V_{gn}이 생성된다. V_{X2}는 V_p와

V_{gp}, V_n과 V_{gn}의 연결을 조절한다. 전류원 바이어스 전압과의 연결이 끊어지면 V_{X2i}가 풀-업/다운 회로를 동작시켜서 각각 V_{gp}와 V_{gn}이 VDD와 GND로 되지 않게 한다.

2.3 복호화 알고리즘

단순한 차동증폭을 통해서는 두 개의 입력에 대하여 두 개의 레벨을 갖는 DLVDS 신호를 구분할 수 없다. 그림 7은 기존의 DLVDS 기법과 제안된 저전력 DLVDS 기법의 복호화를 위한 알고리즘을 나타낸다. 기존의 DLVDS의 신호를 복호하기 위해서는 우선 두 개의 입력 V_{X1}, V_{X2}가 '0', '1' 또는 '1', '0'차동모드인지 '0', '0' 또는 '1', '1'의 공통모드인지 구분해야 한다. 두 개의 입력의 모드를 구분한 후에 차동모드와 공통모드 별로 복호화가 가능하다. 따라서 모드를 구분하기 위한 추가적인 시간이 필요하고, 회로도 복잡해진다. 그러나 제안된 저전력 DLVDS는 두 개의 입력의 모드구분 없이 바로 각각 복호화가 가능하다.

그림 7의 제안된 저전력 DLVDS 복호화 알고리즘과 같이, 표 2는 모드 구분 필요 없이 바로 복호화가 가능한 저전력 DLVDS의 각 입력별 복호화 방법을 표로 나타낸다. 표 2(a)는 V_{X1}의 복호화를 통해 V_{Rx1}을 얻을 수 있는 방법을 나타낸다. 송신기 출력의 전압차(V_{Tx1} - V_{Tx2}) 양수이면 V_{Rx1}이 '1'이고, 송신기 출력의 전압차가 음수이면 V_{Rx1}이 '0'이다. 즉, 송신기 출력의 전압차의 극성을 통하여 V_{X1}의 값을 구분할 수 있다. 표 2(b)는 V_{Rx2}를 얻기 위한 복호화이다. 송신기 출력의 전압차의 절대값과 기준전압 전압차(V_{ref1} - V_{ref2})의 절대값을 비교하면, 송신기 출력의 전압차가 클 경우는 V_{Rx2}가 '1'이고, 기준전압 전압차가 클 경우는 V_{Rx2}가 '0'이다. 즉, 송신기 출력의 전압차의 절대값 크기 비교를 통하여 V_{X2}의 값을 구분할 수 있다.

표 2. 제안된 저전력 DLVDS의 복호화
(a) V_{Rx1} 복호화 알고리즘
(b) V_{Rx2} 복호화 알고리즘

Table 2. Decoding of the proposed low power DLVDS;
(a) decoding algorithm of V_{Rx1},
(b) decoding algorithm of V_{Rx2}.

(a)

V_{X1} Decode	V_{Rx1}
$V_{Tx1} - V_{Tx2} > 0$	1
$V_{Tx1} - V_{Tx2} < 0$	0

(b)

V_{X2} Decode	V_{Rx2}
$\|V_{Tx1}-V_{Tx2}\| > \|V_{ref1}-V_{ref2}\|$	1
$\|V_{Tx1}-V_{Tx2}\| < \|V_{ref1}-V_{ref2}\|$	0

2.4 저전력 DLVDS 수신기 구조

그림 8은 DLVDS 신호로 변환된 송신기 입력을 복호하기 위한 제안된 저전력 DLVDS 수신기 구조이다. 수신기 회로는 V_{X1}과 V_{X2} 두 개의 데이터의 모드를 구분할 필요 없이 바로 복호할 수 있다. 수신기 회로는 두 개의 전압차 비교기 *DM1*, *DM2*와 감지증폭기 (sense amp)와 래치(latch)로 구성된 세 개의 *SAFF* (sense amp based flip-flop)와 *XOR* 게이트로 구성된다. V_{X1}의 데이터를 복호하기 위해서는 송신기 출력 종단저항에 전압차의 극성(±250mV, ±450mV)을 구분해야 한다.

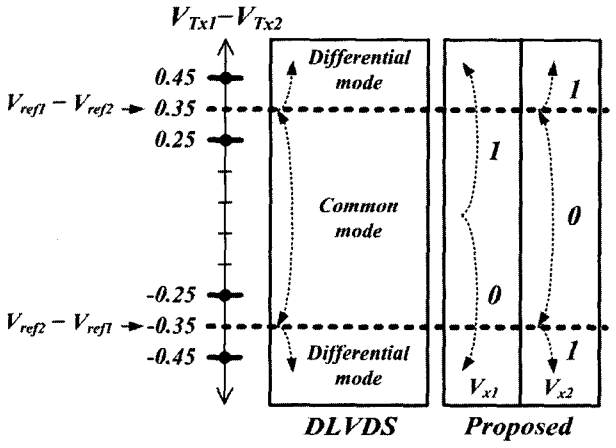


그림 7. DLVDS 복호화 알고리즘의 비교
Fig. 7. Comparison of DLVDS decoding algorithm.

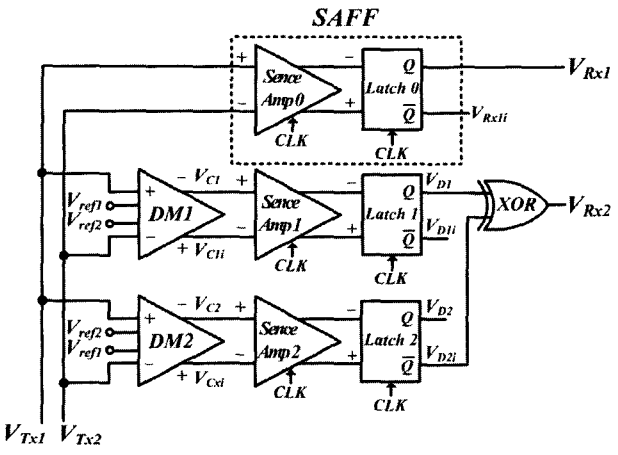


그림 8. 제안된 DLVDS 수신기 구조
Fig. 8. proposed DLVDS receiver architecture.

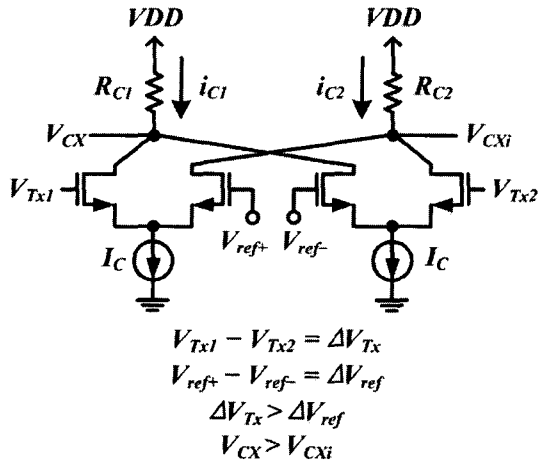


그림 9. 전압차 비교기 동작
Fig. 9. Function of the voltage difference comparator.

250mV 정도의 작은 전압차의 극성을 구분하기 위하여 SAFF(sense-amplifier-based flip-flop)를 사용한다[7].

V_{X2}의 데이터를 복호하기 위해서는 송신기 출력 전압차 절대값의 크기를 250mV인지 450mV인지 구분할 수 있어야 한다. 따라서 송신기 출력 전압차 절대값의 크기를 구분하기 위해 전압차 절대값의 크기가 350mV인 두 개의 기준전압을 사용한다. 그림 9는 전압차를 비교할 수 있는 전압차 비교기의 구조이다. 전압차 비교기는 출력 노드가 교차된 두 개의 차동트랜지스터 쌍으로 이루어진다. 전압차 비교기는 아래의 수식과 같이 송신기 출력의 전압차와 기준전압 출력의 전압차를 비교하여 출력으로 전압차 크기의 비교를 할 수 있다. 비교되어 출력된 아날로그 신호는 뒷단에 *SAFF*가 전압의 차이를 감지하여 디지털 값인 VDD와 GND로 만들어준다. 이러한 DLVDS 복호화 기법은 차동신호 전송의 장점인 공통모드 잡음에의 면역성을 유지시켜준다. 제안된 저전력 DLVDS는 간단해진 복호화 알고리즘과 같이 회로적인 복잡성도 감소한다는 장점을 지닌다.

표 3은 제안된 DLVDS 수신기의 V_{Rx1} 복호화 동작을 나타낸다. V_{X1}은 송신기 출력의 전류방향을 조절하여 송신기 출력 전압차의 극성을 조절한다. 따라서 V_{Rx1}의 복호화는 *SAFF*를 통해 송신기 출력 전압차의 극성을 구분하여 결정된다.

표 4는 제안된 저전력 DLVDS 수신기의 V_{Rx2} 복호화 동작이다. 표 4(a)는 V_{ref+}와 V_{ref-}가 각각 V_{ref1}과 V_{ref2} 일 때의 전압차 비교기 *DM1*의 동작을 나타낸 표이다.

표 4(b)는 V_{ref+}와 V_{ref-}에 표 4(a)와 반대로 기준전압이 입력될 때의 *DM2*의 동작이다. *DM1*의 아날로그 출력을 입력받은 *SAFF*의 *Q* 출력인 V_{D1}과 *DM2*의 뒤에

표 3. 제안된 DLVDS 수신기의 V_{Rx1} 복호화 동작
Table 3. V_{Rx1} decoding function of the proposed DLVDS receiver.

V_{X1}	V_{X2}	ΔV_{Tx}	V_{Rx1}	V_{Rx1i}
0	0	−0.25	0	1
0	1	−0.45	0	1
1	0	+0.25	1	0
1	1	+0.45	1	0

표 4. 제안된 DLVDS 수신기의 V_{Rx2} 복호화 동작 (a) $V_{ref+}=V_{Ref1}$, $V_{Ref-}=V_{ref2}$일 때의 *DM1* 동작 (b) $V_{ref+}=V_{Ref2}$, $V_{Ref-}=V_{ref1}$일 때의 *DM2* 동작 (c) V_{Rx2} 복호화
Table 4. V_{Rx2} decoding function of the proposed DLVDS receiver; (a) function of DM1 when $V_{ref+}=V_{Ref1}$ and $V_{Ref-}=V_{ref2}$, (b) function of DM2 when $V_{ref+}=V_{Ref2}$ and $V_{Ref-}=V_{ref1}$, (c) V_{Rx2} Decoding.

(a)

V_{X1}	V_{X2}	ΔV_{Tx}	ΔV_{ref}	V_{D1}	V_{D1i}
0	0	−0.25	+0.35	//	0
0	1	−0.45	+0.35	1	0
1	0	+0.25	+0.35	//	0
1	1	+0.45	+0.35	0	1

(b)

V_{X1}	V_{X2}	ΔV_{Tx}	ΔV_{ref}	V_{D2}	V_{D2i}
0	0	−0.25	−0.35	0	//
0	1	−0.45	−0.35	1	0
1	0	+0.25	−0.35	0	//
1	1	+0.45	−0.35	0	1

(c)

V_{D1}	V_{D2i}	V_{Rx2}
//	//	0
1	0	1
//	//	0
0	1	1

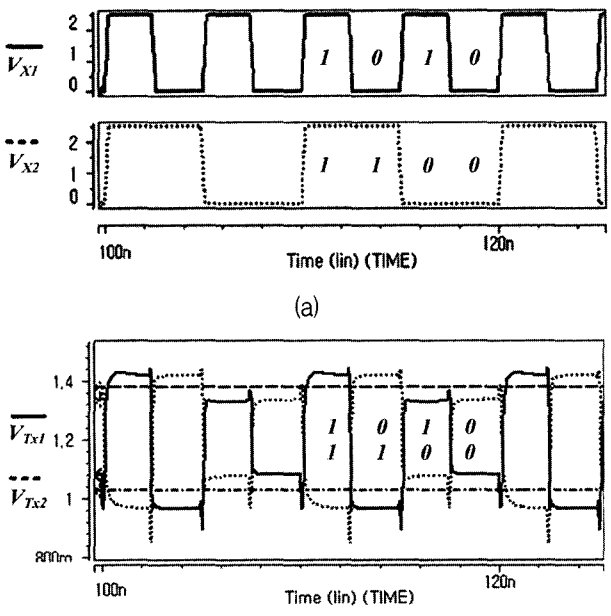
*SAFF*의 상보출력인 $\overline{Q}$ 인 V_{D2i}를 XOR를 하면 표 4(c)와 같이 V_{Rx2}를 복호화 할 수 있다. *SAFF*의 출력의 특성이 동일하므로 V_{D1i}와 V_{D2}를 XOR를 해도 V_{Rx2}를 복호할 수 있다.

Ⅲ. 실험결과

제안된 저전력 DLVDS 송수신기 회로는 IDEC 지원의 0.25㎛ CMOS공정을 이용하여 설계되었고 Hspice를 사용해 시뮬레이션 했다. 그림 10은 제안된 저전력 DLVDS 송신기의 시뮬레이션 결과이다. 그림 10(a)의 입력 데이터 V_{X1}과 V_{X2}이고, 각각 400Mbps, 200Mbps이다. 그림 10(b)는 송신기의 제안된 DLVDS 출력이다. 입력 데이터 V_{X1}이 '0'과 '1'일 때 출력의 극성이 각각 양과 음이고, V_{X2}가 '0'과 '1'일 때는 출력 전압차의 크기가 각각 250mV와 450mV이다. 그림 4(c)와 같이 제안된 저전력 DLVDS 전압 파형을 볼 수 있다.

그림 11은 제안된 저전력 DLVDS 수신기의 시뮬레이션 결과이다. 그림 11(a)는 그림 7의 복호와 알고리즘을 설명한 파형과 같이 송신기 출력의 전압차를 보여준다. 그림 11(b)와 (c)는 각각 전압차 비교기 *DM1*과 *DM2*의 출력 파형이다. 그림 11(d)는 *XOR* 게이트의 입력이자 *SAFF*의 출력인 V_{D1}, V_{D2i}와 수신기의 최종 출력인 V_{Rx1}, V_{Rx2}이다. V_{Rx2}는 V_{D1}과 V_{D2i}의 XOR 연산의 결과이다.

그림 12는 시뮬레이션을 위해 구성한 전송선 전체 연결 모델이다. Hspice의 W-model을 이용하여 0.3m의 strip-line 차동 전송 케이블을 차동임피던스가 100Ω으로 설계하여 임피던스 매칭이 되도록 하였다. PCB상의 구성과 같이 칩에서 케이블 사이의 '패키지 (package) + backplane의 PCB borad trace (=microstrip) + SMA

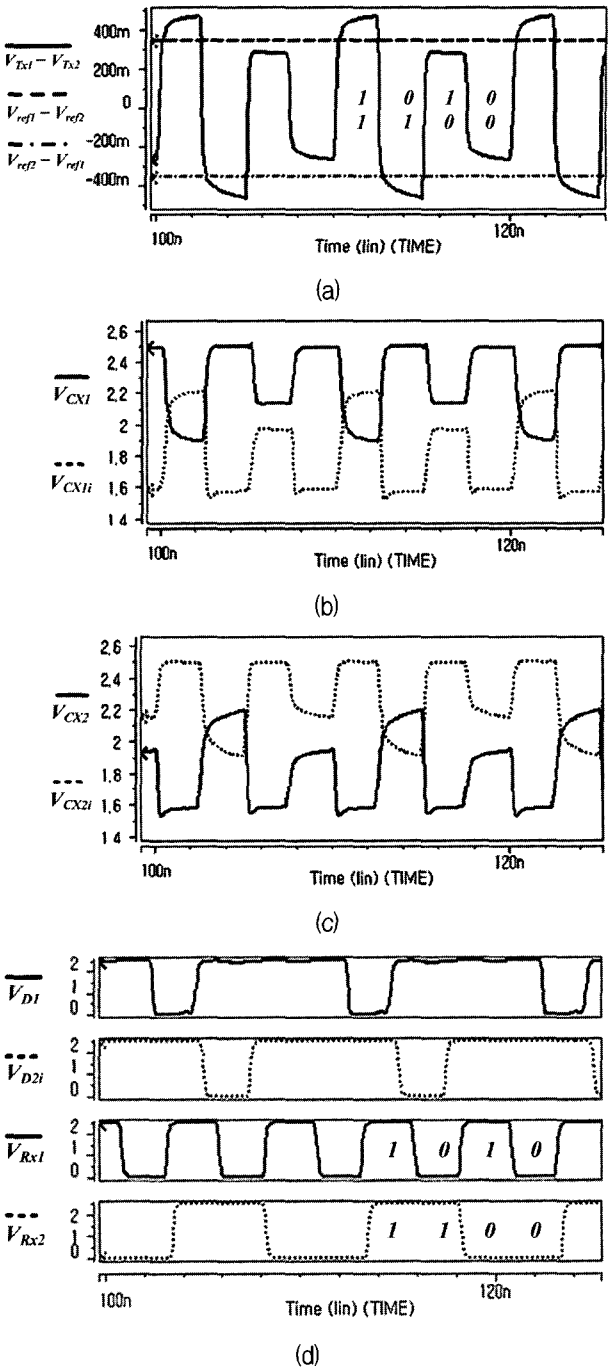


(a)

(b)

그림 10. 제안된 DLVDS 송신기 시뮬레이션 결과 (a) 입력 파형 (b) 출력 파형

Fig. 10. Simulation results of the proposed DLVDS transmitter; (a) input waves, (b) output waves.



(a)

(b)

(c)

(d)

그림 11. 제안된 DLVDS 수신기 시뮬레이션 결과 (a) 입력신호들의 전압차 (b) *DM1* 출력 파형 (c) *DM2* 출력 파형 (d) XOR 게이트 입력과 수신기 출력

Fig. 11. Simulation results of the proposed DLVDS receiver; (a) voltage differences of input signals, (b) *DM1* output waves, (c) *DM2* output waves, (d) inputs of XOR gate and outputs of receiver.

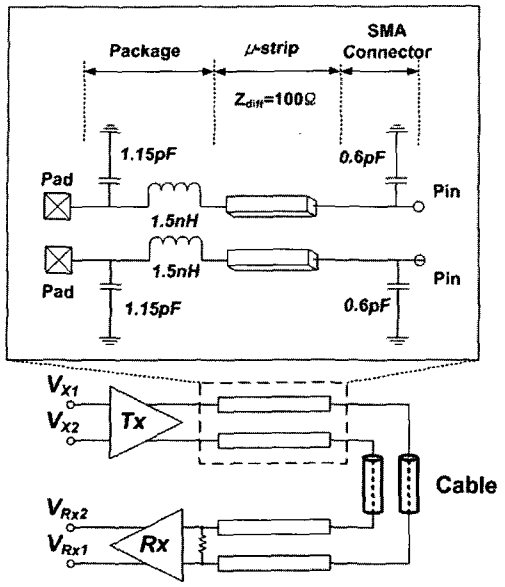


그림 12. 전송선 모델
Fig. 12. Transmission line model

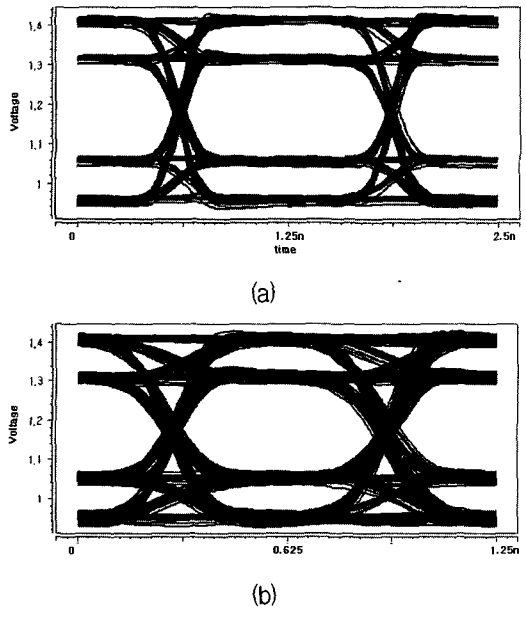


그림 13. 제안된 DLVDS 아이패턴 (a) 800Mbps (b) 800Mbps
Fig. 13. Proposed DLVDS eye pattern; (a) 800Mbps (b) 800Mbps.

connector'를 모델링 하였다. 전송 케이블의 주요한 임피던스 불일치가 발생하는 곳이 주로 SMA connector, PCB board trace, bonding wire등으로 나눠지기 때문에 각각의 사용된 전송채널의 등가모델을 적용하였다. 또한 전송선 모델은 유전물질(FR-4, εr=4.5)의 손실특성(loss tangent=0.02)을 고려한 W-model을 microstrip-line으로 구성하였다.

그림 13은 제안된 저전력 DLVDS의 400Mbps와 0.8Gbps의 전송시 각각의 차동출력의 아이패턴(eye pattern)을 보여주고 있다. 각각 모두 충분히 데이터를 전송할 수 있는 영역을 확보하고 있음을 확인 할 수 있다.

표 5. 차동 입출력 신호 전송 시스템의 성능 비교
Table 5. Performance comparisons of differential I/O signaling system.

	Conventional LVDS [1]	DLVDS[2]	Proposed
Process	*CMOS 0.35μm*	*CMOS 0.25μm*	*CMOS 0.25μm*
Data/Line	*1-data/2-line*	*2-data/2-line*	*2-data/2-line*
Data rate/ 2-line	*1.2-Gbps/2-line*	*1-Gbps/2-line*	*0.8-Gbps/2-line*
DC Current Consumption	*Tx: 13 mA Rx: 10 mA*	*Tx: 9 mA Rx: 5.5 mA*	*Tx: 5.9 mA Rx: 5.5 mA*
Power Consumption	*Tx: 43 mW Rx: 33 mW*	*Tx: 23 mW Rx: 12 mW*	*Tx: 13 mW Rx: 12.5 mW*

표 5는 차동 입출력 신호전송 시스템의 성능 비교이다. 기존의 LVDS와 DLDVS의 Data/line을 보면 두 개의 데이터를 보낼 때, 각각 네 개와 두 개의 전송선을 필요로 한다. 제안된 저전력 DLVDS도 기존의 DLVDS와 같이 두 개의 전송선을 필요로 한다. 제안된 시스템은 양극(bipolar)구조의 사용으로 인하여 송신기 전류가 반으로 감소했다. 또한 전류원 스위칭을 통하여 반으로 감소한 전류에서 데이터에 의존적으로 약 25% 정도 다시 감소하여 약 60%의 전력소모가 감소했다[1,2]. 제안된 저전력 수신기는 복잡성은 감소했으나 전력소모의 가장 큰 부분을 차지하는 전압차 비교기의 개수가 같아서 전력소모 감소는 미세하다. 제안된 DLVDS 시스템은 기존의 DLVDS의 전력소모의 65%를 차지하는 송신기의 전력소모를 감소시켜 배터리를 사용하는 휴대기기의 LCD 드라이버 회로에 적용할 수 있다. 시뮬레이션은 400MHz의 클럭을 사용했고, 800Mbps/2-line의 전송률을 나타냈다.

Ⅳ. 결 론

제안된 저전력 DLVDS는 기존 DLVDS의 두 개의 데이터를 두 개의 전송선으로 동시에 전송하는 장점을 유지하면서 송신기의 구조를 변경하여 전력소모를 감소시켰다. 또한 송신기의 전류원 스위칭을 통한 데이터 생성방법의 변경을 통하여 추가적인 전력소모를 감소시켰다. 따라서 배터리를 사용하는 휴대기기용 LCD 드라이버 회로에 적용할 수 있다. 수신기는 변경된 신호생

성 방법으로 인하여 복잡도가 감소했고 전력소모도 미세하게 감소했다. 제안된 회로는 0.25㎛ CMOS 공정으로 설계 되었고, 2.5V 전원에서 시뮬레이션 결과 송신기는 9mW, 수신기는 11.5mW로 총 20.5mW의 전력소모를 나타내었으며, 기존의 DLVDS와 비교하여 약60% 전력소모가 감소했다.

참 고 문 헌

[1] A. Boni, A. Pierazzi, and D. Vecchi, "LVDS I/O interface for Gb/s-per-pin operation in 0.35-㎛ CMOS," *IEEE J. Solid-State Circuits,* vol. 36, pp.706-711, Apr. 2001.

[2] D.H. Kim, S.H. Yang, and K.R. Cho, "Dual-level LVDS technique for reducing the transmission lines by half of LCD driver IC," in *Proc. ESSCIRC2003,* pp. 319-322, 2003.

[3] F. Hatori, S. Kousai, and Y. Unekawa, "Shared data line technique for doubling the data transfer rate per pin of differential interfaces," in *Proc. CICC 2001,* pp.501 504, 2001.

[4] M Chen, J Silva-Martinez, M Nix, and M E. Robinson "Low-Voltage Low-Power LVDS Drivers" *IEEE J. Solid-State Circuits,* vol. 40, pp 472-479, Feb. 2005

[5] *IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard,* IEEE Std. 1596.3, 1996.

[6] *Electrical characteristics of low-voltage differential-signaling (LVDS) interface circuits, TIA/EIA-644,* National Semiconductor Corp., ANSI/TIA/EIA, 1996.

[7] B. Nikolic, V.G. Oklobdzija, V. Stojanovic, Wenyan Jia, and James Kar-Shing Chiu, "Improved sense-amplifier-based flip-flop: design and measurements," *IEEE J. Solid-State Circuits,* vol. 35, pp. 876-884, June 2000.

저 자 소 개

김 기 선(학생회원)
2005년 충북대학교 전자공학과 공학사.
2005년 3월 ~현재 충북대학교 정보통신공학과 석사과정.
<주관심분야 : RFID, LVDS I/O 회로, 아날로그 필터 설계, OLED 드라이버 설계.>

김 두 환(학생회원)
2003년 충북대학교 정보통신공학과 공학사.
2005년 충북대학교 정보통신공학과 공학석사.
2005년 3월~현재 충북대학교 정보통신공학과 박사과정.
<주관심분야 : LVDS I/O 회로, 아날로그 필터 설계, OLED 드라이버 설계.>

조 경 록(정회원)
1977년 경북대학교 전자공학과 공학사.
1989년 일본 동경대학교 전자공학과 공학석사.
1992년 일본 동경대학교 전자공학과 공학박사.
1979년~1986년 (주)금성사 TV연구소 선임연구원.
1999년~2000년 Oregon State University 객원교수.
1992년~2006년 현재 충북대학교 전기전자공학부 교수.
<주관심분야 : 통신시스템LSI설계, 저전력고속회로설계, Platform 기반의 SoC 설계.>