

논문 2007-44SD-1-11

한 개의 전하공유 커패시터와 계층적 비트라인을 이용한 저전력 롬

(A Low Power ROM Using A Single Charge Sharing Capacitor and
Hierarchical Bit Line)

양 병 도*

(Byung-Do Yang)

요 약

본 논문에서는 한 개의 전하공유 커패시터와 계층적 비트라인을 이용한 저전력 롬을 제안하였다. (single charge-sharing capacitor ROM: SCSC-ROM) 제안된 SCSC-ROM은 전하공유 커패시터와 계층적 비트라인으로 비트라인의 전력소모를 크게 줄였다. 한 개의 전하공유 커패시터를 이용한 전하공유 기법으로 비트라인의 swing 전압을 크게 낮춤으로써 비트라인에서의 전력소모를 줄였다. 이때, 전하공유 커패시터를 dummy 비트라인으로 구현하여 노이즈에 강할 뿐만 아니라 설계를 쉽게 하였다. 계층적 비트라인 기법으로 비트라인의 커패시턴스를 줄임으로써 전력소모를 더욱 줄였다. 또한, 계층적 워드라인 디코더를 제안하여 컨트롤과 프리디코더에서 소모되는 전력을 줄일 수 있었다. 시뮬레이션 결과에서 4K×32비트의 SCSC-ROM의 소모전력은 기존의 롬의 37%로 줄었다. 칩은 0.25 μ m CMOS 공정으로 제작되었고, 2.5V의 240MHz 동작에서 8.2mW를 소모하였다.

Abstract

This paper describes a low power ROM using single charge-sharing capacitor and hierarchical bit line (SCSC-ROM). The SCSC-ROM reduces the power consumption in bit lines. It lowers the swing voltage of bit lines to a very small voltage by using a charge-sharing technique with a single capacitor. It implements the capacitor with dummy bit lines to improve noise immunity and make easy to design. The hierarchical bit line further saves the power by reducing the capacitance in bit lines. The SCSC-ROM also reduces the power consumption in control unit and predecoder by using the hierarchical word line decoder. The simulation result shows that the SCSC-ROM with 4K×32bits consumes only 37% power of a conventional ROM. A SCSC-ROM chip is fabricated in a 0.25 μ m CMOS process. It consumes 8.2mW at 240MHz with 2.5V.

Keywords : ROM, low power, charge-sharing, bit line, word line decoder

I. 서 론

휴대용 시스템이 널리 사용되면서 전력소모는 VLSI 칩 설계에서 중요한 요소가 되고 있다. 특히 SRAM (static random access memory)과 ROM (read only

memory)과 같은 Embedded Memory 들은 휴대용 기기에서 소모되는 전력 중에 많은 양의 차지하고 있다. 롬의 경우 DSP, 프로세서, 디지털 필터 등과 같은 다양한 디지털 시스템에서 사용되고 있으며, 사용되는 메모리의 크기도 점차 증가하고 있는 상황이다. 롬은 커패시턴스가 큰 비트라인들을 가지고 있고, 많은 수의 비트라인들이 동시에 사용되기 때문에, 전력소모가 크기 때문에 이를 줄이기 위한 많은 연구들이 수행되어 왔다.

그림 1은 일반적인 롬의 구조이다. 롬의 소모전력의 대부분은 메모리 셀이 모여 있는 롬의 코어 부분에서 소모되는데, 그 이유는 롬 코어에 있는 비트라인과 워

* 정회원, 충북대학교 전기전자컴퓨터공학부
(School of Electrical and Computer Engineering,
Chungbuk National University)

※ 본 연구는 2006년도 교육인적자원부 지방연구중심 대학 육성사업과 IDEC의 CAD tool 지원에 의한 것임.

접수일자: 2006년4월10일, 수정완료일: 2006년12월12일

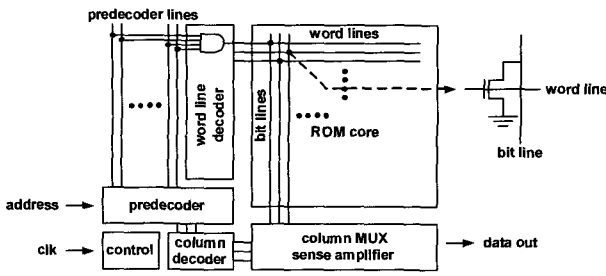


그림 1. 일반적인 롬 구조
Fig. 1. Conventional ROM architecture.

드라인에는 많은 수의 메모리 셀들이 연결되어 있어 커패시턴스가 클 뿐만 아니라, 한 번에 많은 수의 비트라인이 동작하기 때문이다.

롬의 전력소모를 줄이기 위해 다양한 기법들이 제안되어왔다^{[1]-[7]}. 그 중 non-zero term 최소화 기법은 롬 코어에 있는 메모리 셀인 NMOS 트랜지스터 수를 줄여 비트라인과 워드라인의 커패시턴스를 줄이는 기법이다^[1]. 이 기법은 성능 저하 없이 전력만을 줄여 주기 때문에 쉽게 적용할 수 있지만 전력 감소량의 크지는 않다. 전력소모를 더욱 줄이기 위해 비트라인의 스윙전압 (swing voltage)을 줄이는 다양한 기법들이 제안되었다^{[1]-[7]}. 비트라인에서의 소모전력은 스윙전압과 비례하기 때문에, 이 기법들은 전력소모를 크게 줄일 수 있었다.

최근에 제안된 전하 재활용과 전하공유를 이용한 롬 (charge-recycling and charge-sharing ROM: CRCS-ROM)은 비트라인, 워드라인, 그리고 프리디코더 라인에서의 전력소모를 크게 줄였다^{[4]-[6]}. 이 CRCS-ROM은 전하공유 기법을 이용하여 비트라인의 스윙전압을 크게 낮추었으나, 한 개의 비트라인의 스윙전압을 낮추기 위해서 3개의 작은 커패시터를 사용하므로 노이즈에 약한 단점이 있다. 또한, 스윙전압이 감지 증폭기 (sense amplifier)의 감지전압의 2배가 되어야 하는 단점도 있다.

본 논문에서는, 한 개의 전하공유 커패시터와 계층적 비트라인을 이용한 저전력 롬을 제안하였다. (single charge-sharing capacitor ROM: SCSC-ROM) 제안된 SCSC-ROM은 한 개의 커패시터를 사용하여 전하공유를 하기 때문에, 면적이 작고 노이즈에 강할 뿐만 아니라, 스윙전압도 CRCS-ROM의 반으로 줄어들었다. 또한, SCSC-ROM은 계층적 비트라인과 계층적 워드라인 디코더를 사용함으로써 전력소모를 더욱 줄였다. 계층적 비트라인은 비트라인의 커패시턴스를 기존 비트라인에서의 반 정도로 줄였고, 계층적 워드라인은 컨트롤 신호와 프리디코더에서의 전력소모를 크게 줄였다.

II. 본 론

1. SCSC-ROM 구조

그림 2와 3은 SCSC-ROM의 동작 개념과 구조를 보여주고 있다. 그림에서 V_{DD} 에 연결된 스위치는 PMOS 트랜지스터이고 나머지 스위치들은 모두 NMOS 트랜지스터들이다. 스위치 위의 숫자들은 트랜지스터들이 켜지는 4개의 동작 단계(precharge, charge-sharing, evaluation, sensing)를 나타낸다.

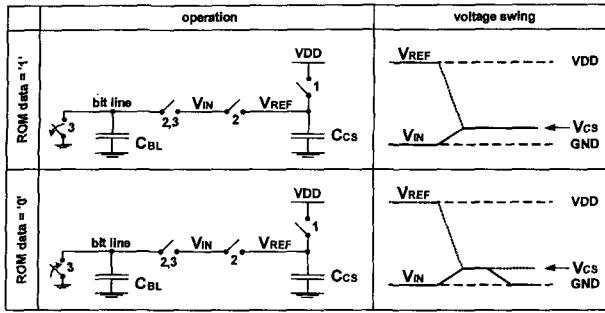
그림 2와 같이, SCSC-ROM은 한 개의 전하공유 커패시터 C_{CS} 를 이용하여 비트라인의 스윙전압을 낮춘다. 그림3과 같이, 스윙전압 V_{CS} 는 선택된 비트라인들과 C_{CS} 의 전하공유로 만들어진다. 선택된 비트라인의 커패시턴스의 합이 C_{CS} 보다 크기 때문에 V_{CS} 는 작은 전압이 된다. 따라서, 비트라인의 스윙전압은 크게 줄어들어 전력소모도 스윙전압에 비례하여 줄어든다.

SCSC-ROM는 다음과 같이 4단계로 동작한다. (1) precharge 단계에서는, 모든 비트라인은 접지전압으로 방전되고 C_{CS} 는 V_{DD} 로 충전된다. (2) charge-sharing 단계에서는, 그룹마다 한 개 비트라인이 C_{CS} 에 연결된다. 그룹의 수가 M이면, M개의 비트라인과 C_{CS} 이 연결되어 서로의 전하를 공유한다. 전하공유 후에 비트라인들과 C_{CS} 의 전압은 전하공유 전압인 V_{CS} 가 된다. 이때, C_{BL} 이 비트라인의 커패시턴스이고, f가 동작 주파수이면 각 비트라인에서는 P_{BL} 의 전력을 소모한다.

$$V_{CS} = C_{CS} \times V_{DD} / (M \times C_{BL} + C_{CS})$$

$$P_{BL} = f \times C_{BL} \times V_{CS} \times V_{DD}$$

C_{CS} 는 $M \times C_{BL}$ 보다 매우 작기 때문에, 비트라인의 스윙전압과 소모전력은 매우 작아진다. (3) evaluation 단계에서는, 한 개의 워드라인이 선택된다. 이때, 선택된 워드라인과 선택된 비트라인들에 연결된 롬의 셀들의 값들이 비트라인들을 통하여 읽혀지게 되는데, 만약 선택된 셀의 롬 데이터가 '1'이면, 비트라인의 전압은 V_{CS} 를 유지한다. 반대로, 롬 데이터가 '0'이면, 비트라인은 접지전압으로 방전된다. 선택된 비트라인은 노드 V_{IN} 에 연결되어 있기 때문에, V_{IN} 의 전압은 저장된 롬 데이터에 의하여 V_{CS} 또는 접지전압이 된다. (4) sensing 단계에서는, 그림4의 dual-reference PMOS current-latch 감지 증폭기가 사용되었다^[3]. 감지증폭기의 두 개의 PMOS 트랜지스터 P1과 P2는 V_{IN} 에 연결되고 P3와 P4는 각각 접지전압과 참조전압 V_{REF} 에 연결된다. 이때,



* 1: precharge, 2: charge-sharing, 3: evaluation, 4: sensing

그림 2. SCSC-ROM 동작 개념

Fig. 2. Concept of the SCSC-ROM.

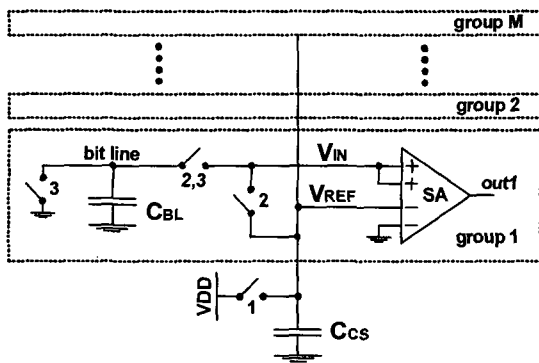


그림 3. SCSC-ROM를 간략화한 구조

Fig. 3. Simplified architecture of the SCSC-ROM.

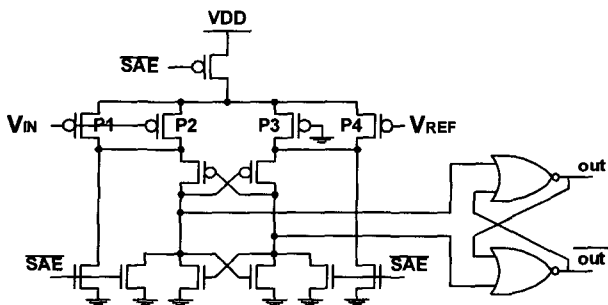


그림 4. SCSC-ROM의 감지 증폭기

Fig. 4. Sense amplifier used in the SCSC-ROM.

V_{REF} 로는 C_{CS} 의 전압 V_{CS} 를 사용한다. 만약, V_{IN} 이 V_{CS} 이면, P1과 P2는 P3와 P4에서 흘리는 전류보다 작은 전류를 흘리게 되어 감지증폭기의 출력은 '1'이 된다. 반대로, V_{IN} 이 접지전압이면, 감지증폭기의 출력은 '0'이 된다.

그림 5의 SCSC-ROM은 컨트롤러, 프리디코더, 워드 라인 디코더, 컬럼 디코더, 그리고 감지증폭기로 구성되어 있다. 롬의 코어는 M 그룹으로 이루어져 있고, 각 그룹은 N개의 비트라인을 가지고 있다. K개의 더미 비트라인(dummy bit line)이 전하공유 커패시터 C_{CS} 를 구성하고 있다.

SCSC-ROM은 그림6(a)의 diffusion programming

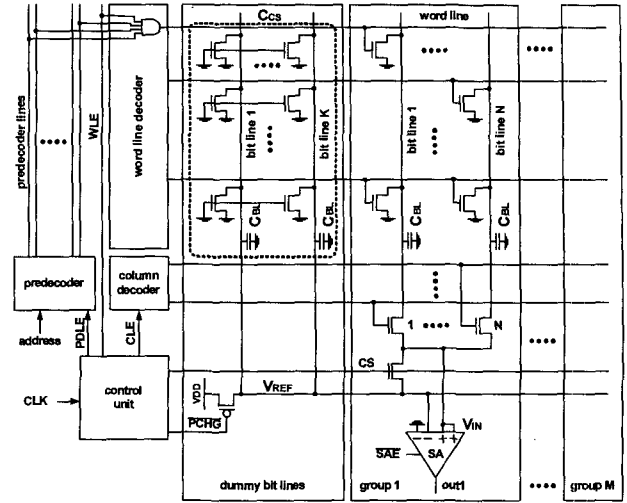


그림 5. SCSC-ROM 구조

Fig. 5. Architecture of the SCSC-ROM.

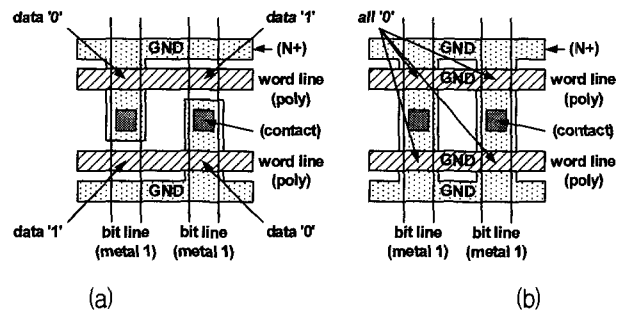


그림 6. 롬 셀 레이아웃 (a) 비트라인 (a) 더미 비트라인
Fig. 6. ROM cell layout. (a) bit lines (b) dummy bit lines

ROM 셀 구조를 사용하였다. 그 이유는 저장된 데이터와 상관없이 비트라인들이 일정한 커패시턴스 C_{BL} 을 가지기 때문이다. 더미 비트라인들도 비트라인과 같은 커패시턴스 C_{BL} 을 가지므로, K개의 더미 비트라인들로 구성된 C_{CS} 는 C_{BL} 의 K배가 되고, 전하공유 전압 V_{CS} 는 C_{BL} 의 크기와 상관없이 M과 K로 결정된다. 따라서, C_{BL} 과 C_{CS} 크기와 상관없이, M과 K만으로 V_{CS} 를 결정할 수 있다.

$$\begin{aligned}
 C_{CS} &= K \times C_{BL} \\
 V_{CS} &= C_{CS} \times V_{DD} / (M \times C_{BL} + C_{CS}) \\
 &= K \times C_{BL} \times V_{DD} / (M \times C_{BL} + K \times C_{BL}) \\
 &= K / (M + K) \times V_{DD}
 \end{aligned}$$

그림 6(a)와 6(b)는 비트라인과 더미 비트라인의 레이아웃이다. 비트라인의 커패시터는 비트라인에 연결된 셀들에 저장된 값에 따라 약간 변하게 된다. 그림에서와 같이 '0' 값이 저장된 셀이 '1' 값이 저장된 셀보다 약간

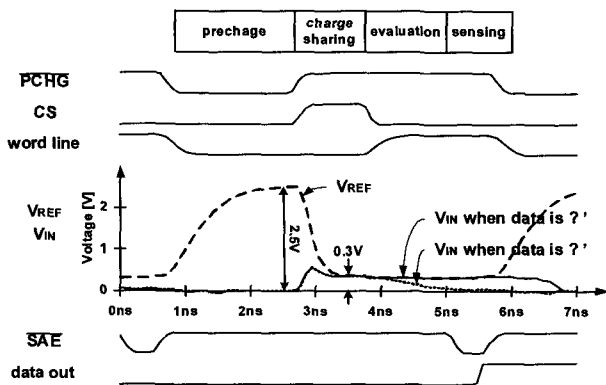


그림 7. SCSC-ROM의 시뮬레이션 파형
 Fig. 7. Simulated waveforms of the SCSC-ROM.

큰 커패시턴스를 가지게 된다. 따라서 비트라인에 연결된 모든 셀들의 값이 '0'인 경우 비트라인의 커패시터 값이 가장 크게 된다. 롬 셀에 어떤 값들이 저장되어도 비트라인의 실제 스윙전압이 계산된 V_{CS} 이상이 되도록 하기 위해서, 더미 비트라인에는 저장된 값들은 그림 6(b)에서와 같이 모두 '0'이다. 더미 비트라인에 연결된 셀들의 트랜지스터들은 켜지지 않기 때문에, 더미 비트라인들이 전하공유 커패시터 C_{CS} 로 사용될 수 있다.

그림7은 4K×32비트 SCSC-ROM의 시뮬레이션 파형이다. SCSC-ROM은 32개의 그룹, 256개의 비트라인, 4개의 더미 비트라인 ($M=32, N=8, K=4$) 으로 구성되어 있다. 시뮬레이션은 $V_{DD}=2.5V, 0.25\mu m$ CMOS 공정을 사용하였다.

SCSC-ROM의 4단계의 동작은 4개의 컨트롤 신호 (/PCHG, CS, WLE, /SAE)를 이용하여 이루어진다. (1) precharge 단계에서, /PCHG는 '0'이 되고 C_{CS} 는 V_{DD} 로 충전되어 V_{REF} 는 V_{DD} 가 된다. (2) charge-sharing 단계에서는, CS 신호가 '1'이 되고, M개의 비트라인과 C_{CS} 가 전하를 공유한다. 전하공유에 의하여 V_{REF} and V_{IN} 는 전하공유 전압 V_{CS} 가 된다.

$$V_{CS} = K/(M+K) \times V_{DD} = 4/(32+4) \times 2.5V = 0.28V$$

V_{CS} 는 K와 M으로 쉽게 정해지지만, 실제 비트라인 스윙전압은 계산 값보다 약간 증가하게 된다. 그 이유는 더미 비트라인과 비트라인, 그리고 감지 증폭기 사이의 연결선들과 트랜지스터들의 기생 커패시턴스들이 전하공유 커패시터의 크기를 약간 증가시키기 때문이다. 시뮬레이션에서 V_{CS} 는 약 0.3V 정도로 약간 증가하였다. (3) evaluation 단계에서는, WLE 신호가 '1'이 되고 워드라인이 선택된다. 이때, 롬 데이터가 '1'이면 V_{IN} 은

V_{CS} 로 남아있고, 롬 데이터가 '0'이면, V_{IN} 은 접지전압으로 방전된다. (4) sensing 단계에서는, /SAE 신호가 '0'이 되고 감지증폭기가 비트라인에서 롬 데이터를 읽어낸다.

2. 계층적 비트라인

그림8(a)와 8(b)는 기존의 비트라인과 제안된 계층적 비트라인의 구조이다. 계층적 비트라인(hierarchical bit line: HBL)은 $W(=S \times G)$ 개 셀을 가진 비트라인(BL)을 S개의 셀을 가진 G개의 서브 비트라인(sub-BL)들로 나눈다. 각 서브 비트라인들은 글로벌 워드라인(GWL)에 연결된 NMOS에 의하여 비트라인과 연결된다. S개의 트랜지스터가 연결된 서브 비트라인과 G개의 트랜지스터가 연결된 비트라인이 동작에서 사용되기 때문에, 비트라인에 연결된 트랜지스터 수는 $S \times G$ 에서 $S+G$ 로 줄게 된다. 비트라인의 커패시턴스는 메탈라인과 트랜지스터에 의한 커패시턴스로 구성되는데, 메탈라인에 의한 커패시턴스는 일정하지만, 트랜지스터에 의한 커패시턴스는 크게 줄어든다.

그림9는 비트라인에 512개의 셀 트랜지스터가 있는 경우, 서브 비트라인의 수(G)에 따른 비트라인에서의 커패시턴스 변화를 보여주고 있다. G가 증가하면 서브 비트라인에 연결된 셀 수(S)가 1/G에 비례하여 감소하기 때문에, 비트라인의 커패시턴스는 증가하고 서브 비트라인의 커패시턴스는 감소한다. 계층적 비트라인의 전체 커패시턴스는 $S+G$ 가 최소 일 때 가장 작아진다. G가 16이고 S가 32일 때, 비트라인에 연결된 트랜지스터의 수는 512에서 48로 줄어들어 기존의 9.4%가 된다. 그러나, 비트라인의 커패시턴스는 트랜지스터와 메탈라인으로 구성되기 때문에, 계층적 비트라인의 커패시턴스는 기존 비트라인의 39%가 되었다. 비트라인의 전력소모는 비트라인 커패시턴스에 비례하기 때문에, 계층적 비트라인은 전력소모를 크게 줄일 수 있다.

계층적 비트라인의 속도는 기존의 비트라인과 비슷하다. 그 이유는 계층적 비트라인은 커패시턴스를 반 이하로 줄여주지만, 비트라인의 전하가 두 개의 트랜지스터를 통해서 방전되어 저항이 두 배로 증가하기 때문이다. 충/방전 속도는 커패시턴스와 저항의 곱에 비례하기 때문에 계층적 비트라인과 기존 비트라인의 속도는 비슷하다.

그림 10(a)와 10(b)는 기존의 비트라인과 제안된 계층적 비트라인에서의 누설전류를 보여주고 있다. 한 개의 NMOS 트랜지스터에서 흐를 수 있는 누설 전류를

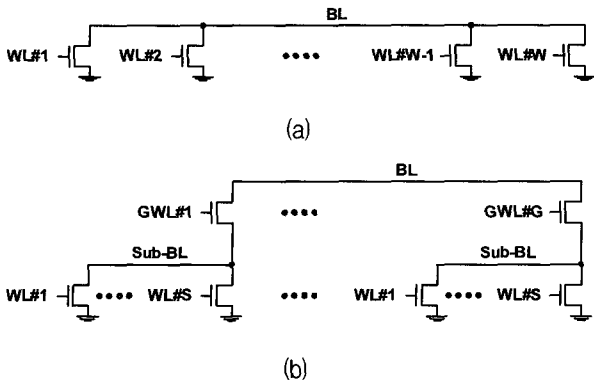


그림 8. (a) 비트라인 (b) 계층적 비트라인
Fig. 8. (a) conventional bit line. (b) hierarchical bit line.

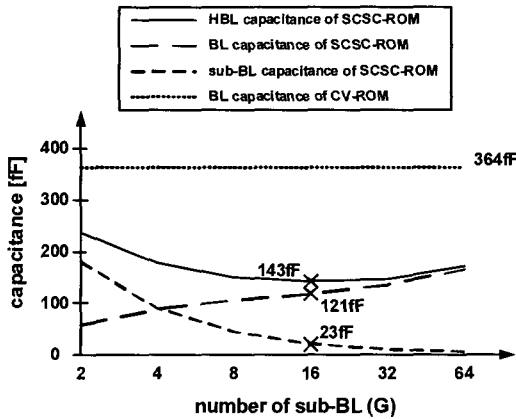


그림 9. 비트라인들의 커패시턴스 비교
Fig. 9. Capacitance comparisons of bit lines.

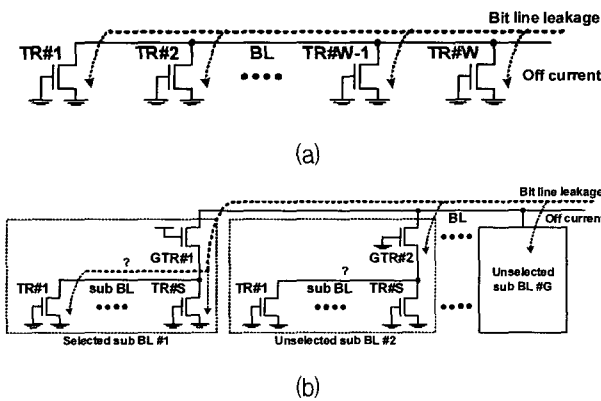


그림 10. 누설전류 (a) 비트라인 (b) 계층적 비트라인
Fig. 10. Leakage currents in (a) conventional bit line (b) hierarchical bit line.

I_{OFF} 라고 할 경우, 기존의 비트라인에서의 누설전류는 $(S \times G) \times I_{OFF}$ 이고, 계층적 비트라인에서의 누설전류는 $(S + G - 1) \times I_{OFF}$ 이 된다. 특히, 계층적 비트라인에서의 $(G - 1)$ 의 트랜지스터들은 2개의 트랜지스터를 통하여 누설전류가 흘러가기 때문에 body effect에 의하여 누설 전류가 더욱 줄어든다.

3. 계층적 워드라인 디코더

그림 11은 기존의 워드라인 디코더이다. 많은 수의 워드라인 드라이버로 구성되어 있고, 각각의 워드라인 드라이버는 4개의 워드라인을 구동한다. 2-4 프리디코더는 4개의 워드라인 중에서 하나를 동작시킨다. P개의 프리디코더 라인들 (PDL-1 ~ PDL-P)은 각 워드라인 드라이버에 연결되어 있고, 워드라인 인에이블 (word line enable: WLE) 신호는 모든 워드라인 드라이버에 연결되어 있다. WLE에 연결된 트랜지스터의 수는 워드라인의 수의 반으로, 상당히 많은 수의 트랜지스터가 WLE에 연결되어 WLE 신호에서 소모되는 전력소모가 크다. 또한 프리디코더 라인들도 많은 수의 워드라인 드라이버에 연결되어 있으므로 전력을 많이 소모한다.

그림 12의 계층적 워드라인 드라이버는 WLE과 프리

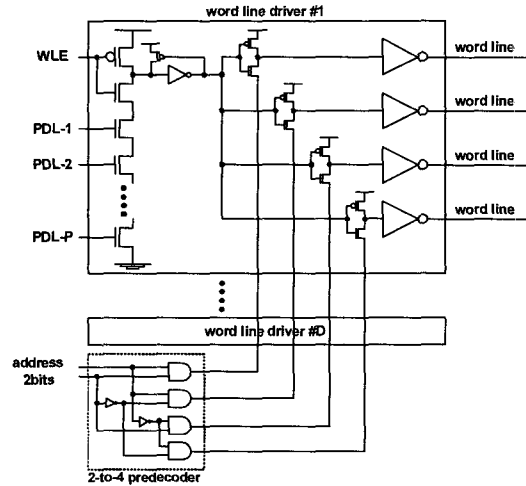


그림 11. 워드라인 디코더
Fig. 11. Conventional word line decoder.

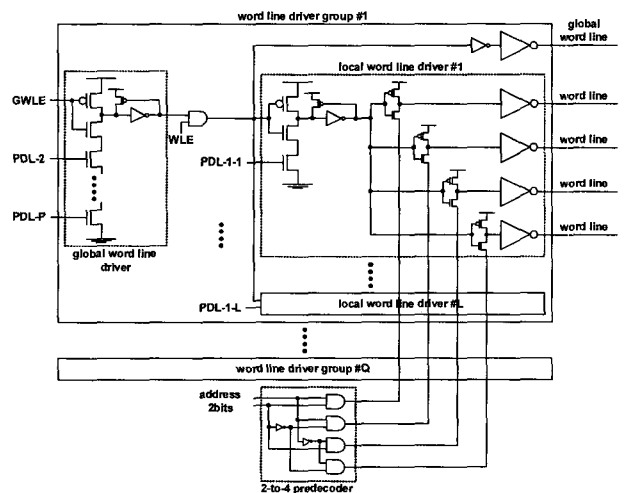


그림 12. 계층적 워드라인 디코더
Fig. 12. Hierarchical word line decoder.

디코더 라인에서의 전력소모를 줄여준다. 각 워드라인 드라이버 블록은 하나의 글로벌 워드라인 드라이버와 L 개의 로컬 워드라인 드라이버들로 구성된다. 각 로컬 워드라인 드라이버는 4개의 워드라인을 구동한다. WLE는 기존처럼 모든 워드라인 드라이버에 연결되는 것이 아니라 글로벌 워드라인 드라이버에만 연결이 된다. 따라서, WLE이 연결되는 트랜지스터의 수는 1/L로 줄어들게 되고, (P-1)개의 프리디코더 라인들 (PDL-2~PDL-P)에 연결된 트랜지스터의 수도 1/L로 줄어들게 된다. 결과적으로, 계층적 워드라인 디코더는 WLE과 프리디코더 라인에서 소모되는 전력을 크게 줄여준다.

III. 성능 비교 및 실험 결과

1. 성능 비교

성능 비교를 위하여 일반적으로 사용되는 저전력 롬 (conventional low power ROM: CV-ROM)^[1], 전하 재활용과 전하공유를 이용한 롬 (charge-recycling and charge-sharing ROM: CRCS-ROM)^{[4][5]}, 제안된 SCSC-ROM이 구현되었다. 모든 시뮬레이션은 0.25 μ m CMOS 공정과 HSPICE model을 이용하여 수행 되었고, 레이아웃에서 추출된 커패시터와 저항 성분들이 시뮬레이션에 반영되었다.

그림 13의 CV-ROM은 전력소모를 줄이기 위해서 선택적 비트라인 precharge, NMOS precharge, 그리고 diffusion programming ROM core 등을 사용하였다. CV-ROM은 사용할 비트라인만 선택적으로 $V_{DD}-V_T$ 로 충전하여 전력소모를 줄이고, diffusion programming ROM core를 사용하여 롬의 면적과 비트라인의 커패시턴스를 최소화하였다.

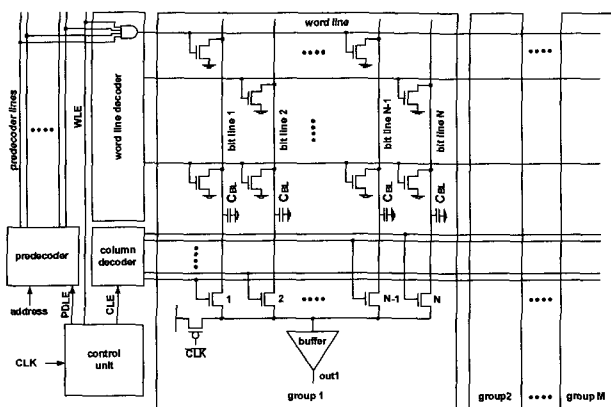


그림 13. 저전력 롬 (CV-ROM)
Fig. 13. Conventional low power ROM (CV-ROM).

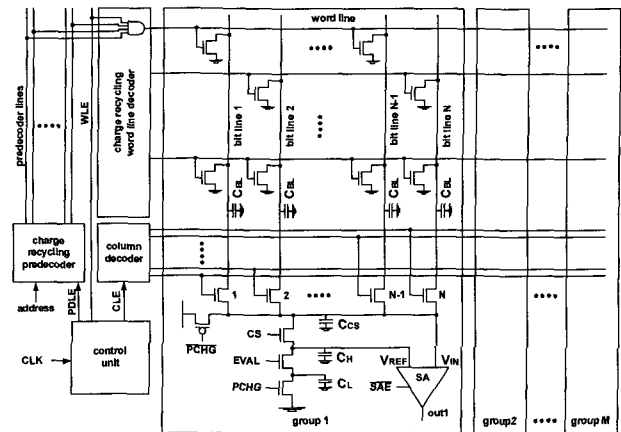


그림 14. 전하재활용과 전하공유를 이용한 롬 (CRCS-ROM)
Fig. 14. Charge recycling and charge-sharing ROM (CRCS-ROM).

그림 14의 CRCS-ROM은 전하공유 비트라인 (charge-sharing bit line: CSBL), 전하재활용 프리디코더 (charge recycling predecoder: CRPD), 그리고 전하 재활용 워드라인 디코더 (charge recycling word line decoder: CRWLD)를 사용하여 전력소모를 크게 줄였다. 그러나 전하공유 동작을 위해서 각 그룹마다 3개의 작은 커패시터들이 필요하였다. 또한, 전하공유 후 비트라인의 전압은 감지증폭기에서 필요한 전압의 두 배가 되어야 했다. CSBL과 CRPD는 이론적으로 프리디코더 라인과 워드라인에서의 전력소모를 반으로 줄여주지만 컨트롤에 추가되는 전력소모가 클 뿐만 아니라 추가되는 동작에 의하여 속도가 저하된다.

감지증폭기가 감지할 수 있는 입력 전압 차이는 매우 작지만, 시뮬레이션에서는 노이즈 마진을 고려하여 감지증폭기가 요구하는 전압차를 0.3V로 가정하였다. 따라서, CV-ROM, CRCS-ROM, SCSC-ROM의 비트라인의 스윙전압 각각 1.7V, 0.6V, 0.3V가 된다. CV-ROM은 NMOS를 사용하여 비트라인을 precharge하기 때문에 비트라인의 스윙전압은 $V_{DD}-V_T$ 이고, CRCS-ROM은 감지증폭기가 요구하는 전압의 두 배를 사용되므로 0.6V이다. 그러나 SCSC-ROM은 감지증폭기가 필요로 하는 전압만을 사용하므로 비트라인 스윙전압은 0.3V이다.

표 1은 4K \times 32비트 롬들의 성능 비교 결과이다. 평균 전력을 측정하기 위하여 각 비트라인에 저장된 데이터가 0과 1을 반반일 때의 전력을 측정하였다. 제안된 SCSC-ROM은 전하공유 커패시터와 계층적 비트라인 구조를 사용하여 비트라인의 스윙전압과 커패시터를 CRCS-ROM의 50%로 39%로 줄였다. 또한, 전하공유

표 1. 성능 비교

Table 1. Performance comparison.

		CV-ROM	CRCS-ROM	SCSC-ROM
Power [mW] at 100MHz	Control Unit	0.88	1.66	0.78
	Bit Line & SA	6.67	2.7	1.03
	Word Line Decoder	0.5	0.35	0.76
	Predecoder	0.6	0.6	0.53
	Column Decoder	0.14	0.14	0.14
	Total Power	8.79	5.45	3.24
Speed [ns]		3.5	8.1	4.0
ROM Area [mm ²]		0.24 (0.38×0.64)	0.27 (0.41×0.67)	0.27 (0.39×0.68)
ROM Organization		128Kbits (4K×32bits)	128Kbits (4K×32bits)	128Kbits (4K×32bits)
Bit Line Swing Voltage [V]		1.7	0.6	0.3
Number of Capacitor		0	96	1
Leakage Current		512×I _{OFF}	512×I _{OFF}	47×I _{OFF}

* I_{OFF} is off-current of NMOS cell transistor

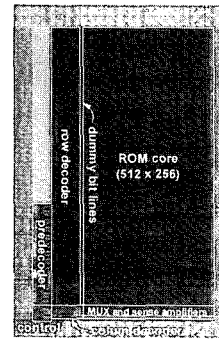


그림 16. 칩 사진

Fig. 16. Chip micrograph.

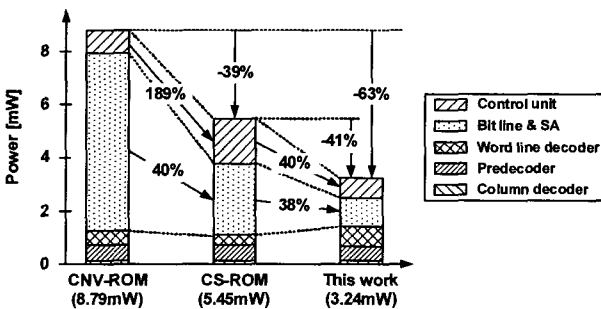


그림 15. 롬들의 소모전력 (100MHz 동작)

Fig. 15. Power consumptions in ROMs at 100MHz.

동작과 계층적 워드라인 디코더를 사용함으로써 컨트롤 신호에서 사용되는 전력소모를 크게 줄였다. 결과적으로, SCSC-ROM의 소모전력은 CV-ROM과 CRCS-ROM의 37%와 59%이고, 계층적 비트라인을 사용함으로써 누설전류는 CV-ROM과 CRCS-ROM의 9%에 불과하다. 동작 속도 측면에서, SCSC-ROM은 CV-ROM 보다 14% 느리지만, CRCS-ROM 보다는 두 배 이상 빠르다. CRCS-ROM은 많은 수의 커패시터들을 필요로 하고, 그 크기가 작기 때문에 설계가 어려운 반면, SCSC-ROM은 더미 비트라인으로 이루어진 한 개의 전하공유 커패시터만을 사용하기 때문에 설계가 쉽고 노이즈에 매우 강하다.

2. 실험 결과

V_{DD}=2.5V, 0.25μm CMOS 공정을 사용하여 4K×32비

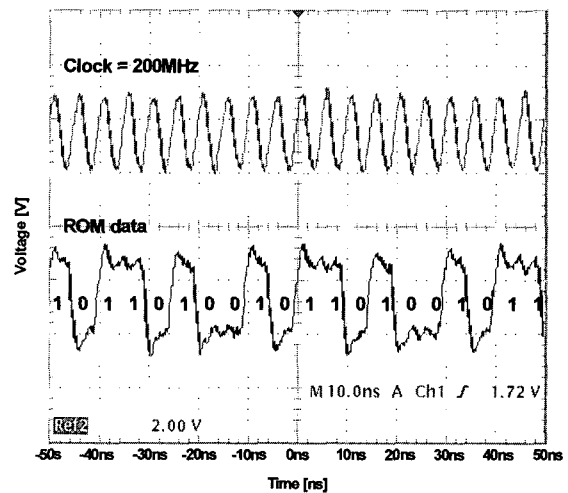


그림 17. 테스트 칩의 출력 파형 (200MHz, 2.5V)

Fig. 17. Waveforms of test chip at 200MHz with 2.5V.

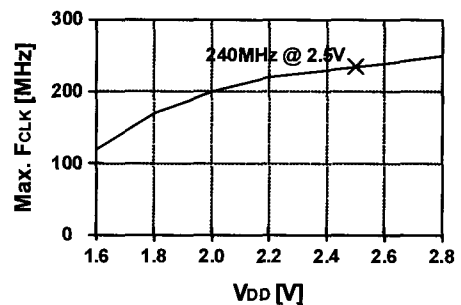


그림 18. 전원전압에 따른 테스트 칩의 최대 동작주파수
Fig. 18. Maximum operating frequency of test chip vs. V_{DD}.

트 크기의 SCSC-ROM 칩을 제작하였다. 그림 16은 제작된 칩 사진이고, 표2는 실험 결과를 정리한 것이다. SCSC-ROM 칩은 240MHz 동작에서 8.2mW의 전력을 소모하였다. 그림 17은 200MHz 동작에서의 출력 파형을 보여주고 있다. 그림18은 사용 전압에 따른 최대 동작 주파수를 보여 주고 있다. V_{DD}=2.5V에서 240MHz의 동작을 하였다.

표 2. 테스트 칩 특징

Table 2. Features of the test chip.

Technology	0.25 μ m CMOS
Supply Voltage	2.5V
Maximum Clock Frequency	240 MHz
Organization	4K \times 32 bits (512 word lines \times 256 bit lines)
Chip Core Area	0.27 mm ² (393 μ m \times 680 μ m)
Power	8.2mW at 240MHz

IV. 결 론

본 논문에서는, 비트라인, 컨트롤 신호, 프리디코더에서의 전력소모를 줄인 SCSC-ROM을 제안하였다. SCSC-ROM은 하나의 전하공유 커패시터를 이용하여 비트라인의 스윙전압을 감지증폭기의 감지전압까지 크게 줄였다. 또한, 전하공유 커패시터를 비트라인으로 구현함으로써 노이즈에 강할 뿐만 아니라 설계가 쉽도록 하였다. SCSC-ROM은 계층적 비트라인을 사용하여 비트라인의 커패시턴스와 전력소모를 줄였을 뿐만 아니라 누설 전류 또한 줄였다. 또한, 계층적 워드라인 드라이버를 제안하여 컨트롤 신호선과 프리디코더의 전력소모를 크게 줄였다. 제작된 4K \times 32비트 SCSC-ROM의 소모전력은 시뮬레이션 결과에서 기존의 룬의 37%로 줄었다. SCSC-ROM 칩은 0.25 μ m CMOS 공정으로 제작되었고, 2.5V의 240MHz 동작에서 8.2mW를 소모하였다.

참 고 문 헌

[1] Edwin de Angel, Earl E. Swartzlander, Jr. "Survey of Low Power Techniques for ROMs," *International Symposium on Low Power Electronics and Design*, pp. 7-11, 1997.

[2] R. Sasagawa, I. Fukushi, M. Hamaminato, S. Kawashima, "High-speed Cascode Sensing Scheme for 1.0V Contact-programming Mask ROM," *Symposium on VLSI Circuits*, pp. 95-96, 1999.

[3] M. M. Khellah, M. I. Elmasry, "Low-Power Design of High-Capacitive CMOS Circuits Using a New Charge-sharing Scheme," *IEEE International Solid-State Circuits Conference*, pp. 286-287, 1999.

[4] Byung-Do Yang and Lee-Sup Kim, "A

Low-Power ROM using Charge Recycling and Charge-sharing," *IEEE International Solid-State Circuits Conference*, pp. 108-109, 2002.

[5] Byung-Do Yang and Lee-Sup Kim, "A Low Power ROM using Charge Recycling and Charge-sharing Techniques," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 641-653, Apr. 2003.

[6] Byung-Do Yang and Lee-Sup Kim, "Low power charge-sharing ROM using dummy bit lines," *Electronics letters*, vol. 39, pp.1041-1042, July 2003.

[7] Byung-Do Yang and Lee-Sup Kim, "A Low Power Charge Recycling ROM Architecture," *IEEE Transactions on Very Large Scale Integration Systems*, vol. 11, pp. 590-600, Aug. 2003.

[8] M. Hiraki, et al, "Data-Dependent Logic Swing Internal Bus Architecture for Ultra low-Power LSI's," *IEEE Journal of Solid-State Circuits Conference*, vol. 30, pp. 397-402, Apr. 1995.

저 자 소 개



양 병 도(정회원)

1999년 한국과학기술원 전자전산학과 전기및전자공학전공 학사 졸업

2001년 한국과학기술원 전자전산학과 전기및전자공학전공 석사 졸업

2005년 한국과학기술원 전자전산학과 전기및전자공학전공 박사 졸업

2005년~2006년 삼성전자 반도체 사업부 책임 연구원

2006년~현재 충북대학교 전기전자컴퓨터공학부 전자공학전공 전임강사

<주관심분야 : 메모리 설계, 디지털 IC 설계, 아날로그 IC 설계>