

논문 2007-44SD-1-12

가상 모뎀과의 고속 인터페이스구조에 관한 연구

(A Study on the High Speed Communication Interface with Virtual Modem)

송 태 훈* , 송 문 빈* , 정 연 모*

(Taehoon Song, Moonvin Song, and Yunmo Chung)

요 약

차세대통신의 고속 모뎀을 위한 SoC(System on a chip)를 설계하고 테스트하기 위해서는 고속 전송 구조를 가지는 플랫폼의 사용이 필수적이다. 즉 500Mbps 대용량 데이터를 고속으로 실시간 시험할 수 있는 전송 플랫폼이 필요하다. 본 논문은 가상모뎀 SoC 의 고속 전송 구조를 실시간으로 검증하기 위하여 고대역폭의 데이터 전송을 처리할 수 있는 SoC 타겟 보드와 PC를 PCI로 연결하고 AHB-PCI 브릿지 IP를 통하는 인터페이스 구조를 제시한다. 기존의 가상 모뎀 SoC 타겟보드에서 ARM 프로세서와 SDRAM 방식의 통신 구조보다도 개선된 DPRAM방식의 통신 구조를 사용하여 두 매체간의 업로드 및 다운로드 속도가 250Mbps의 고속통신이 가능한 것을 증명하였다.

Abstract

In order to design and test an SoC modem for high speed communication, the platform with the architecture of such high speed communication is needed. That platform is needed for testing large data in speed of 500Mbps. This paper shows that transmission data can be uploaded and downloaded by 250Mbps between a virtual modem target board and a PC through the AHB-PCI IP and the speed of based on DPRAM and PCI.

Keywords : SoC, ARM, AHB, 고속전송, PCI

I. 서 론

차세대 통신망 가운데 이동통신 사업은 여러 가지 제약으로 인해 100Mbps의 무선 전송속도를 목표로 하고 있다. 이와는 반대로 홈네트워킹 시스템에서는 이보다 훨씬 고속의 전송을 요구하기 때문에 향후 200Mbps에서 1Gbps까지의 고속 데이터 전송을 목표로 연구 개발 중이다.

따라서 차세대통신을 위한 고속 전송 모뎀 SoC (System on a Chip)의 설계가 필요하며, 이를 위하여 고속의 데이터를 실시간 송수신이 가능한지를 미리 플랫폼을 구성하여 시험할 필요가 있다^[1].

고속 전송 구조에서는 대용량의 데이터를 500Mbps의

속도로 읽고 쓰기 위한 플랫폼이 필요하며, SoC를 제작한 후에는 플랫폼을 통한 설계에 성능적으로 문제가 없는지를 시험하고 검증하는 과정이 반드시 뒤따라야 한다.

본 논문에서는 이러한 고속 전송 구조의 플랫폼을 위하여 가상모뎀 SoC 타겟 보드를 설계하였다. 또한 타겟 보드와 고속으로 데이터를 전송하기 위한 개인용 컴퓨터와 가상모뎀 사이의 데이터 업로드 및 다운로드를 고속으로 동시에 실행할 수 있는 250Mbps 고속전송 인터페이스를 위한 구조를 제시하고 그 성능을 측정하였다.

II. 가상모뎀 인터페이스 환경

PC와 가상모뎀간의 고속 전송 구조를 시험하기 위한 통신방식은 여러 가지가 있다. 첫째, USB(Universal Serial Bus) 1.1 은 15Mbps급 저속 통신 기기를 위한 LS(Low Speed) 모드와 12Mbps급 고속 통신기기를 위

* 정회원, 경희대학교 전자공학과
(Dept. of Electronic Eng., Kyung Hee University)
접수일자: 2006년9월16일 수정완료일:2006년 12월26일

한 FS(Full Speed) 모드 두 가지가 있다. 그리고 USB 2.0 HS(High Speed) 모드는 단방향으로 480Mbps 고속 통신이 가능하다. 둘째, IEEE 1394는 컴퓨터 주변 장치뿐만 아니라 비디오 카메라, 비디오 카세트 녹화기(VCR) 등의 가전 기기를 PC에 접속하는 인터페이스로 개발되었다. 데이터 전송 속도는 100Mbps, 200Mbps, 400Mbps 등이 있다. 셋째, Ethernet으로 전송 속도는 100Mbps가 가능하다. 마지막으로 PCI 버스는 CPU와 주변 장치를 직접 연결하여 고속으로 데이터를 전달하는 데이터 통로를 제공하는 로컬 버스인데, 안정성이나 확장성 등이 우수하여 펜티엄을 탑재한 대부분의 PC에 채용되고 있다. PCI 전송 속도는 32비트 버스가 33MHz로 동작하여 1Gbps의 속도를 갖는다.

PC와 가상모뎀간의 고속 전송 구조를 위해서는 우선 PC와 가상모뎀간의 인터페이스 구조를 선정해야한다. 핸드폰 및 PDA 등은 외부 기기와의 데이터 송수신이 100~200Mbps의 속도이기 때문에 고속의 데이터를 송수신하기에 부적합하다. 따라서 고속 통신을 위해서는 PCI 또는 IEEE 1394를 사용한다. 그 중에서도 500Mbps의 전송속도가 가능한 인터페이스를 위하여 1Gbps 속도의 PCI를 사용한다. PCI 전송 속도는 버스 클럭이 33MHz로 동작할 경우에 1Gbps의 처리가 가능하다.

가상모뎀 SoC를 위한 타겟 보드를 설계 할 경우 프로세서가 데이터를 전송하는 구조에 따라 많은 성능의 차이를 가져온다. 일반적으로 가상모뎀 SoC는 저 전력 구현과 32비트 고속처리를 위하여 [그림 1]과 같이 ARM 프로세서와 연결된 SDRAM (Synchronous DRAM) 인터페이스 로직을 사용하여 검증하고 있다.

가상모뎀의 AHB-PCI 브릿지 안에 내장된 DMA(Direct Memory Access)가 Host PC의 PCI 버스를 통해 데이터를 전송하여 가상모뎀의 SDRAM에 저장한 뒤에 데이터를 ARM922T 프로세서가 처리하게 한다^[2]. 그리고 FPGA(Field Programmable Gate

Array)안에 설계한 DMA1 마스터로직이 가상모뎀으로 데이터를 보내는 구조이다.

이 구조에서는 ARM922T, AHB-PCI 브릿지 DMA, DMA1 로직 3개의 마스터가 SDRAM을 공유하여 사용하므로 3개의 경합을 해결하는 중재 역할로 처리속도가 지연되고 있다. 또한 AHB-PCI 브릿지 DMA와 DMA1 간에 AHB2 버스를 공유하여 이 버스 상에서도 경합을 해결하기 위해 Arbiter가 있어서 버스의 성능을 최대한 활용할 수 없기 때문에 전체 전송속도가 늦어진다.

III. 설계 및 성능분석

3.1. DPRAM 방식의 가상모뎀 인터페이스 설계

제안하는 DPRAM (Dual Port RAM) 방식의 고속 전송 구조는 [그림 2]와 같다.

AHB-PCI 브릿지내의 DMA는 AHB2 버스를 통해서 DPRAM에 데이터를 저장한 후 ARM의 SDRAM으로의 접근은 AHB1 버스를 통해 이루어지므로^[3] SDRAM 방식의 가상모뎀과 다르게 AHB2 버스 경합이 발생하는 경우가 없다. 또한 TX_Block이 DPRAM에 저장된 데이터를 읽어서 모뎀으로 보내는 경우에도 AHB-PCI 브릿지의 DMA 동작과 무관하게 처리할 수 있어 성능이 향상 된다.

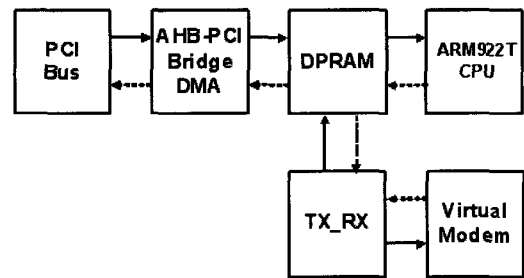


그림 2. DPRAM 방식의 가상모뎀 인터페이스
Fig. 2. Virtual Modem Interface based on DPRAM.

가상 모뎀의 AHB-PCI 브릿지 안에 내장된 DMA가 Host PC의 PCI 버스를 통해 데이터를 전송하여 가상모뎀의 DPRAM에 저장하면 이것을 ARM922T 프로세서가 처리하고, FPGA안에 설계한 TX_Block 로직이 이 데이터를 전송하여 모뎀 로직으로 보낸다.

3.2. 고속 전송 인터페이스 플랫폼 설계

PC와 가상모뎀 SoC간의 고속 전송 구조는 TX_PC 시스템과 수신을 위한 RX_PC 시스템을 [그림 3]과 같이 구성한다. 그리고 AHB-PCI 브릿지, TX_Block,

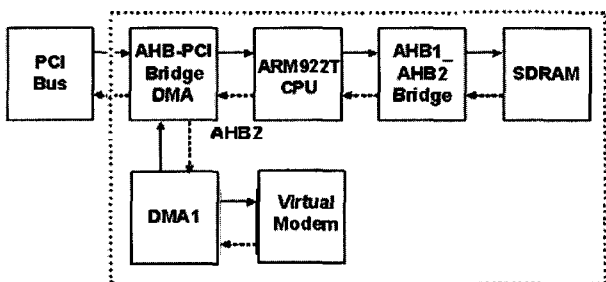


그림 1. SDRAM 방식의 가상모뎀 인터페이스
Fig. 1. Virtual Modem Interface based on SDRAM.

RX_Block을 VHDL로 설계하여 구현하였다.

TX_PC 시스템은 PC로 PCI관련 응용프로그램과 PCI 디바이스 드라이버를 구동하여 가상모델 송신부 내의 FPGA영역에 저장된 AHB-PCI 브릿지 DMA를 통하여 데이터를 송신하는 역할을 한다.

RX_PC 시스템은 PC로 PCI관련 응용프로그램과 PCI 디바이스 드라이버를 구동하여 가상모델 수신부내의 FPGA영역에 저장된 AHB-PCI 브릿지 DMA를 통하여 데이터를 수신하는 역할을 한다.

가상모델 송신부 및 수신부는 Altera Excalibur 디바이스를 사용하였으며^[4], 이는 ARM922T 코어 및 1백만 게이트 FPGA가 하나의 CHIP안에 구성된 구조를 가지고 있으며 클럭속도는 최대 200MHz에서 동작한다. ARM922T는 ARMv4T구조로 되어있으며, 8KB의

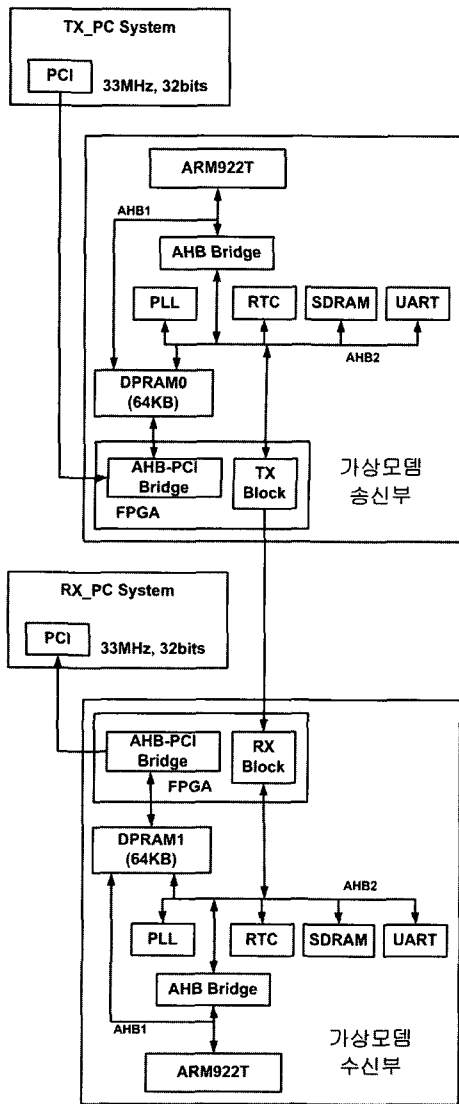


그림 3. 고속 전송 인터페이스 플랫폼
Fig. 3. The Platform of High Speed Communication.

I-Cache와 D-Cache를 내장하고 있는 Harvard Architecture이다^[5]. ARM과 FPGA는 AMBA (Advanced Microcontroller Bus Architecture) 를 통하여 인터페이스 하며 기타 프로세서가 동작하는데 필요한 SDRAM 컨트롤러, 인터럽트 컨트롤러, 타이머, PLL(Phase Lock Loop) 로직, UART, EBI(Extension Bus Interface), 256KB의 SRAM, 128KB의 DPRAM등을 내장하고 있다^[6].

본 연구에서는 DPRAM을 사용하여 통신할 수 있도록 구현하였다.

FPGA내의 TX_Block은 DPRAM0 의 데이터를 RX_PC 시스템에 데이터를 전달하는 역할을 한다.

FPGA내의 RX_Block은 TX_PC 시스템에서 보내온 데이터를 받아서 DPRAM1에 저장하는 역할을 한다.

고속 전송 시스템의 동작은 [그림 4]와 같이 TX_PC CPU가 데이터를 SDRAM에 저장하고 AHB-PCI 브릿지 Prefetch 레지스터에 SDRAM 데이터 주소를 설정한다. AHB-PCI 브릿지 DMA가 TX_PC SDRAM 데이터를 가상모델 송신부의 DPRAM0에 저장한다. DPRAM0에 데이터가 모두 저장되면 AHB-PCI 브릿지내 인터럽트 핸들러가 인터럽트를 ARM 프로세서에 알리고 ARM 프로세서는 FPGA내의 TX_Block을 동작시켜 DPRAM0 데이터를 가상모델 수신부에 전송하도록 한다. 가상모델 수신부는 가상모델 송신부의 TX_Block을 통하여 전송된 SDRAM 데이터를 RX_Block을 통하

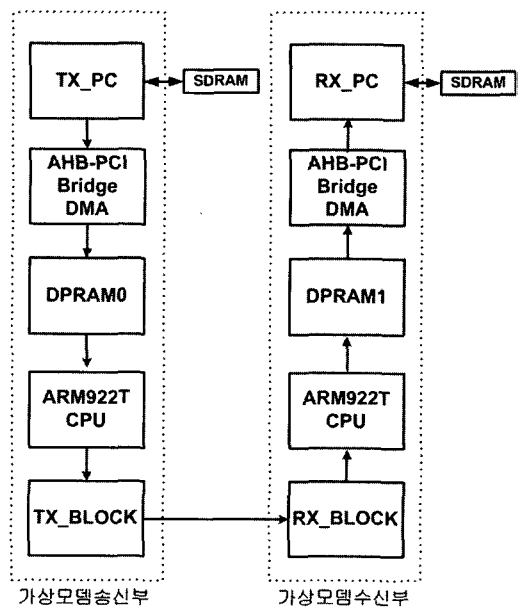


그림 4. 고속 전송 시스템 동작
Fig. 4. Operation of High Speed Communication System.

여 DPRAM1에 저장하고 데이터가 모두 저장되면 가상 모뎀수신부의 ARM 프로세서에 인터럽트를 발생시켜 ARM 프로세서가 AHB-PCI 브릿지 DMA를 제어하여 데이터를 RX_PC 내의 SDRAM 에 전송하도록 한다.

3.3. 성능 분석

[그림 5]와 같이 가상모뎀 송신 및 수신을 담당하는 SoC 타겟보드를 설계 제작하였으며, [그림 6]과 같이 PC 와 타겟보드를 연결하여 시험 시스템을 구축하여 두 채널에 대한 안정성 및 Throughput 측정 시험을 하였다. 시험 시스템 구성은 2개의 가상모뎀을 TX 1채널, RX 1채널로 연결하고, 2 개의 보드간 데이터 전송 클럭 속도는 33MHz으로 하여 수행하였다.

먼저 SDRAM 방식의 가상모뎀에 대한 속도 측정은 4KBytes 를 100회에 걸쳐서 PC의 SDRAM에서 가상모뎀의 SDRAM으로 왕복 전송 시 총 소요 시간은 34ms 였다. 따라서 34ms는 1초안에 총 29.4회 데이터 전송이 가능하므로 188Mbps 속도를 갖는다.

$$400,000\text{Bytes} (4000\text{Bytes} \ 100\text{회}) \times 29.4\text{회} \times 8 \times 2(\text{양방향전송})=188,160,000\text{bps} \quad (1)$$

DPRAM 방식의 가상모뎀 시험 과정은 우선 각 PC 의 SDRAM에 데이터를 저장한다. 그리고 가상모뎀 AHB-PCI 브릿지에 전송할 데이터의 시작번지와 크기가 기술된 정보를 보내면 AHB-PCI 브릿지의 DMA가 데이터를 PC에서 수신하여 내장된 64Kbytes DPRAM0 에 저장한다. 그 후 저장이 끝나면 DPRAM0 의 데이터를 읽어서 케이블로 연결된 다른 보드로 전송한 후, 전송 데이터는 수신 DPRAM1에 저장되고 이것은 AHB-PCI브릿지 DMA에 의해 PC의 SDRAM에 전송한다. 그리고 전송된 데이터의 이상 유무를 PC

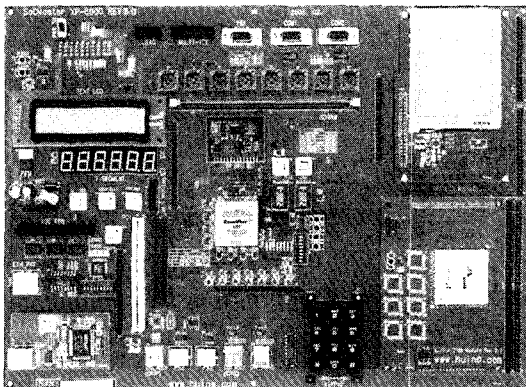


그림 5. SoC 타겟 보드
Fig. 5. The SoC target board with FPGA.

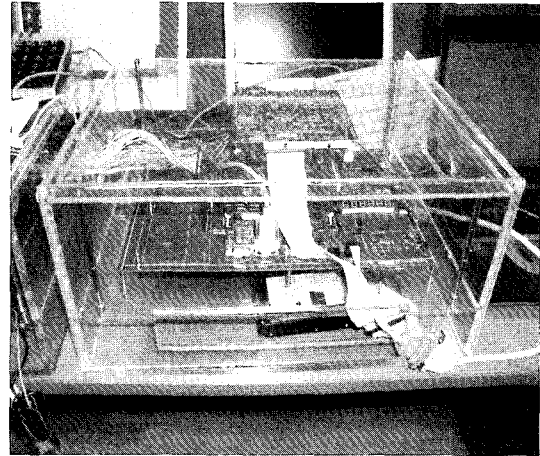


그림 6. 시험 환경
Fig. 6. The test environment.

표 1. DPRAM 방식 성능 측정 결과
Table 1. The result of performance based on DPRAM.

Data Size (Bytes)	횟수	결과
60000	33	459Mbps
30000	66	448Mbps
6000	330	436Mbps
600	3300	240Mbps

Window 응용프로그램에서 확인한다. 위의 전 과정을 두 보드에 동시에 진행시켜서 데이터의 업로드 및 다운로드를 시험하였다.

단계별로 실험을 진행할 때마다 타이머를 제어하여 한 단계가 진행되는 시간을 측정하였으며, 전 과정을 진행한 후에 전체 시간을 측정할 수 있으므로 안정성 시험과 속도 측정이 동시에 가능하다.

[표 1]과 같이 1,980,000 바이트를 전송하여 시간을 측정하는 경우, 60000바이트를 33번에 걸쳐서 PC의 SDRAM에서 가상모뎀의 DPRAM으로 전송하여 데이터 왕복 전송 소요 시간이 69ms 였다. 따라서 69ms는 1초안에 총 14.5회의 데이터 전송이 가능하므로 459Mbps의 속도를 갖는다.

$$1,980,000\text{Bytes} (60000\text{Bytes} \ 33\text{회}) \times 14.5\text{회} \times 8 \times 2(\text{양방향전송})=459,360,000\text{bps} \quad (2)$$

또한 동일한 데이터 량을 600바이트를 3300번에 걸쳐서 PC의 SDRAM에서 가상모뎀의 DPRAM으로 전송한 경우는 데이터 왕복 전송 소요 시간은 131ms 였다. 따라서 131ms는 1초안에 총 7.58회의 데이터 전송이 가능하므로 240Mbps의 속도를 갖는다.

$$1,980,000\text{Bytes (600Bytes 3300회)} \times 7.58\text{회} \times 8 \\ \times 2(\text{양방향전송})=240,134,400\text{bps} \quad (3)$$

같은 방법으로 30000바이트, 6000바이트도 측정 할 수 있다.

성능 측정 결과에서 확인하는 바와 같이 SDRAM 방식의 가상모뎀 전송속도보다 DPRAM 방식의 가상모뎀 전송속도가 2배 이상 빠른 것을 알 수 있다. 즉 가상모뎀과 PC 간의 고속통신이 최소 240Mbps에서 459Mbps 까지 가능하므로, 실시간으로 대용량의 데이터를 고속으로 가상모뎀에 전송할 수 있음을 확인할 수 있다.

IV. 결 론

SDRAM 방식의 가상모뎀에서는 ARM922T, AHB-PCI 브릿지 DMA, DMA1 로직간에 버스를 공유하여 버스 상에서의 경합을 해결하기 위해 Arbiter가 필요하므로, 이를 해결하는 과정에서 버스의 성능을 최대한 활용할 수가 없다.

따라서 TX_Block, RX_Block 을 설계하여 AHB-PCI 브릿지가 DPRAM에 데이터를 저장하고, 다시 TX_Block이 데이터를 읽어서 다른 연동 보드로 보내는 구조를 제안하고 설계 및 검증하였다. 이 구조에서는 SDRAM 방식의 가상모뎀보다도 성능이 두 배 이상 향상됨을 알 수 있다.

본 논문에서는 고속 전송 구조에 대한 연구를 ARM 프로세서와 연동할 수 있도록 VHDL로 모델링 하여 FPGA로 검증하였다. ARM 프로세서와 연동하기 위하여 시스템을 구성하고 성능 및 안정성을 시험한 결과에 따르면, PC와 ARM922T 프로세서가 내장된 Excalibur 디바이스에 AHB-PCI 브릿지 및 DPRAM 방식을 통해 업로드 및 다운로드를 동시에 실행 할 경우, 250Mbps 이상의 성능을 갖는다는 것을 얻을 수 있다.

참 고 문 헌

- [1] Rajsuman, Rochit, *System On a Chip Design and Test*, Artech House, 2002.
- [2] PLD applications, "AHB-PCI Bridge IP Core Reference Manual", pp27-32, Sep.2006.
- [3] 휴인스 기술연구소, "ARM922T Core를 이용한 SoC 설계 및 응용", 홍릉과학출판사, pp.393-449, May. 2005.
- [4] Altera corporation, "Excalibur Hardware

Reference Manual", pp.14-22, Nov. 2002.

- [5] ARM, "ARM922T Technical Reference Manual", pp.2-2, 2001.
- [6] Altera corporation, "Excalibur Device Overview", pp.5-7, Nov. 2002.

— 저 자 소 개 —



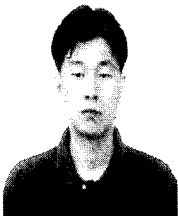
송 태 훈(정회원)
 1985년 충북대학교 컴퓨터공학과
 학사 졸업.
 1990년 삼보컴퓨터 연구원
 2003년 한국산업기술대학원
 석사 졸업
 현재 경희대학교 전자공학과
 박사과정

현재 (주)휴인스 대표이사
 <주관심분야 : SoC 설계 및 IP검증, ARM,
 임베디드시스템, 유비쿼터스센서네트워크>



정 연 모(정회원)
 1980년 경북대학교 졸업.
 1982년 KAIST 석사 졸업.
 1987년 경제기획원 전산처리관.
 1992년 미시간주립대학교
 박사 졸업.
 현재 경희대학교 전자정보대학
 교수

<주관심분야 : SoC 설계, 임베디드 시스템,
 RTOS>



송 문 빈(정회원)
 1998년 한밭대학교 전자공학과
 학사 졸업.
 2002년 경희대학교 전자공학과
 석사 졸업.
 현재 경희대학교 전자공학과
 박사과정

<주관심분야 : SoC 설계, RTOS>