

논문 2007-44SD-7-3

SOI형 대칭 DG MOSFET의 문턱전압 도출에 대한 간편한 해석적 모델

(A simple analytical model for deriving the threshold voltage of a SOI type symmetric DG-MOSFET)

이정호*, 서정하**

(Jung-Ho Lee and Chung-Ha Suh)

요약

본 논문에서는 완전 공핍된 SOI형 대칭 이중게이트 MOSFET의 문턱 전압에 대한 간단한 해석적 모델을 제시하고자 실리콘 몸체 내의 전위 분포를 근사적으로 채널에 수직인 방향의 좌표에 대해 4차 다항식으로 가정하였다. 이로써 2차원 포아송 방정식을 풀어 표면 전위의 표현식을 도출하고, 이 결과로부터 드레인 전압 변화에 의한 문턱 전압의 roll-off를 비교적 정확하게 기술할 수 있는 문턱 전압의 표현식을 closed-form의 간단한 표현식으로 도출하였다. 도출된 표현식으로 모의 실험을 수행한 결과 0.01 [μm]의 실리콘 채널 길이 범위까지 채널 길이에 지수적으로 감소하는 것을 보이는 비교적 정확한 결과를 얻을 수 있음을 확인하였다.

Abstract

For a fully depleted SOI type symmetric double gate MOSFET, a simple expression for the threshold voltage has been derived in a closed-form. To solve analytically the 2D Poisson's equation in a silicon body, the two-dimensional potential distribution is assumed approximately as a polynomial of fourth-order of x, vertical coordinate perpendicular to the silicon channel. From the derived expression for the surface potential, the threshold voltage can be obtained as a simple closed-form. Simulation result shows that the threshold voltage is exponentially dependent on channel length for the range of channel length up to 0.01 [μm].

Keywords: SOI(Silicon On Insulator), DG MOSFET, threshold voltage analysis, short channel effect

I. 서론

트랜지스터의 채널 길이가 감소함에 따라 발생하는 단채널 효과(Short Channel Effect : SCE)는 소자의 누설전류 증가, 드레인 전압 증가에 의한 문턱전압의 감소, 문턱전압 직전의 기울기 저하 등을 발생시킨다.^[1-4] VLSI 내의 탑재되는 소자들의 스케일 다운에서 문제

가 되고 있는 SCE를 줄이는 통상적인 방법으로 기판의 도핑 농도를 높이거나 이 경우 수송자의 이동도 저하, 낮은 드레인 전압에서 절연과파가 발생하는 등 소자의 특성 저하가 야기되어 기판의 도핑 농도를 높이지 않고도 SCE를 줄일 수 있는 SOI(Silicon On Insulator)형 이중 게이트(Double Gate : DG) MOSFET이 최근 주목받고 있다.^[5,6] 대칭 및 비대칭 DG MOSFET이 기존의 planar형 MOSFET에 비해 스위칭 동작이 향상되고 저전압에서도 전류 수송 능력이 향상되며 누설전류가 감소하는 등 SCE를 감소시켜 소자 특성이 개선되는 것으로 보고 된 바 있으며,^[6,7] SOI형 DG MOSFET에 대한 해석적 모델이 여러 연구자들에 의해 시도되고

* 학생회원, ** 정회원, 홍익대학교 전자전기공학부 (School of Electronic & Electrical Eng., Hongik Univ.)

※ 본 연구는 홍익대학교 2006년도 학술연구진흥과제에 의해 지원되었음.

접수일자: 2007년2월24일, 수정완료일: 2007년6월18일

있다.^[2~4,7] 단채널 소자의 문턱 전압에 대한 해석적 모델로서는 판전하 근사(charge sheet approximation) 및 공핍근사 등의 가정들을 이용하여 실리콘 채널 내에서 2차원 포아송 방정식을 풀이하는 방법이 발표된 바 있다.^[8~9] 그 중 그린 함수(Green's function)를 이용한 모델은 복잡한 수식의 형태로서 closed-form의 문턱 전압이 도출되지 않는 단점을 갖고 있다. closed-form의 문턱 전압이 도출되는 해석적 모델로서는 채널 내의 전위 분포를 채널 수직 방향의 좌표 x 에 대해 2차 다항식으로 표현 가능하다고 가정하여 2차원 포아송 방정식을 풀이하는 방법이 제안되었다.^[10~11] 그러나 채널 내의 전위 분포를 채널에 수직인 방향의 좌표 x 에 대해 2차식으로 단순하게 표현할 수 있다고 가정함으로써 물리적 해석에 불분명한 점을 야기 시키며^[12~13] 특히 서브마이크론 이하의 단 채널 소자에서는 모델의 정확성이 떨어지게 된다.

본 논문에서는 채널 두께가 수백 [μm] 이하로 얇은 SOI형 대칭 DG MOSFET의 채널 내의 전위 분포를 채널에 수직인 방향의 좌표 x 에 대해 4차 다항식으로 표현 가능하다고 가정하여 2차원 포아송 방정식을 풀어 보다 정확한 표면 전위의 표현식을 도출하고 이 결과를 이용하여 closed-form의 간편한 문턱 전압의 표현식을 도출하는 새로운 해석적 모델을 제안하였다.

II. 대칭 DG MOSFET의 문턱전압 모델

그림 1은 본 논문의 해석적 모델을 위한 대칭 DG MOSFET의 단면도이다. x 좌표를 채널 길이의 수직 방향, y 좌표를 채널 길이 방향, L 을 채널 길이, T_{si} 를 채널두께, T_{ox} 를 front 및 back 게이트 oxide 두께 그리

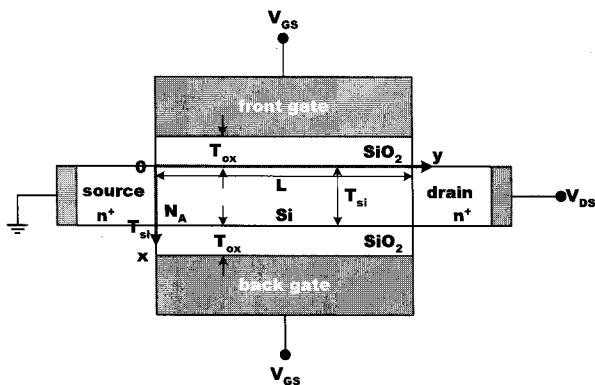


그림 1. 대칭 DG-MOSFET 단면도
Fig. 1. Cross section of the Symmetric DG-MOSFET.

고 N_A 는 실리콘 몸체에서의 균일한 도핑농도이다. T_{si} 가 얇은 thin body 소자인 경우 실리콘 몸체 전체가 공핍되었다고 볼 수 있으므로 채널 내의 2차원 포아송 방정식은 다음과 같이 표현될 수 있다.

$$\frac{\partial^2 \Psi(x, y)}{\partial x^2} + \frac{\partial^2 \Psi(x, y)}{\partial y^2} = \frac{qN_A}{\epsilon_{si}} \quad (1)$$

여기서 $\Psi(x, y)$ 는 실리콘 몸체 내의 2차원 전위 분포이고, q 는 전자의 전하량, ϵ_{si} 는 실리콘의 유전율이다. 식(1)의 경계조건은 다음과 같다.

$$\Psi(0, y) = \Psi(T_{si}, y) \equiv \Psi_s(y) \quad (2)$$

$$\epsilon_{si} \frac{\partial \Psi}{\partial x} \Big|_{x=0^+} = \epsilon_{ox} \frac{\partial \Psi}{\partial x} \Big|_{x=0^-} + Q_n(y) \quad (3)$$

단, $\Psi_s(y)$ 는 표면 전위(surface potential)이고 ϵ_{ox} 는 게이트 oxide의 유전율이다. 식(3)은 판전하 모델을 적용한 결과로 채널 내의 전자들이 Si/SiO₂ 경계면에 $Q_n(y)$ 의 판전하 밀도로 존재한다고 가정하였다. 게이트 전압 V_G 가 문턱 전압 V_T 직전까지는 $Q_n(y) = 0$ 이므로 식(3)은 다음과 같이 근사화 될 수 있다.

$$\epsilon_{si} \frac{\partial \Psi}{\partial x} \Big|_{x=0^+} = \epsilon_{ox} \frac{\partial \Psi}{\partial x} \Big|_{x=0^-} \quad (4)$$

통상 게이트 oxide의 두께 T_{ox} 는 매우 얇으므로 다음을 얻게 된다.

$$\frac{\partial \Psi}{\partial x} \Big|_{x=0^-} = \frac{\Psi_s(y) - (V_G - V_{FB})}{T_{ox}} \quad (5)$$

단, V_{FB} 는 flat band 전압이다. 소자 구조의 대칭성으로

$$\Psi(x, y) = \Psi(T_{si} - x, y) \quad (6)$$

임을 고려하여 식(2)를 만족하는 전위 분포 $\Psi(x, y)$ 를 근사적으로 다음과 같이 채널 수직 방향의 좌표 x 에 대한 4차 다항식으로 제안하자.

$$\Psi(x, y) = \Psi_s(y) + f_1(y)x(x - T_{si}) + f_2(y)x^2(x - T_{si})^2 \quad (7)$$

식(7)을 x 에 대해 미분한 후 $x = 0$ 를 대입하면 다음이 얻어진다.

$$\left. \frac{\partial \Psi}{\partial x} \right|_{x=0^+} = -T_{si} f_1(y) \quad (8)$$

식(5) 및 식(8)을 식(4)에 대입하면 다음이 얻어진다.

$$f_1(y) = \frac{\eta}{T_{si} T_{ox}} [V_G - V_{FB} - \Psi_s(y)] \quad (9)$$

단, η 는 다음으로 정의된 값이다.

$$\eta = \frac{\epsilon_{ox}}{\epsilon_{si}} \quad (10)$$

식(7)을 식(1)에 대입하면 다음을 얻게된다.

$$\begin{aligned} & 2f_1(y) + f_2(y)(12x^2 - 12T_{si}x + 2T_{si}^2) \\ & + \frac{d^2\Psi_s}{dy^2} + \frac{d^2f_1}{dy^2}x(x - T_{si}) \\ & + \frac{d^2f_2}{dy^2}x^2(x - T_{si})^2 = \frac{qN_A}{\epsilon_{si}} \end{aligned} \quad (11)$$

식(11)에 $x = 0$ 를 대입하면 다음을 얻을 수 있다.

$$\frac{d^2\Psi_s}{dy^2} + 2f_1(y) + 2T_{si}^2 f_2(y) = \frac{qN_A}{\epsilon_{si}} \quad (12)$$

식(11)을 x 에 대해 한 번 미분한 후 $x = 0$ 를 대입하면 다음 식이 얻어진다.

$$-T_{si} \frac{d^2f_1}{dy^2} - 12T_{si} f_2(y) = 0 \quad (13)$$

식(9)를 식(13)에 대입하면 $f_2(y)$ 는 다음과 같다.

$$f_2(y) = \frac{\eta}{12T_{si} T_{ox}} \frac{d^2\Psi_s}{dy^2} \quad (14)$$

따라서 식(9) 및 (14)를 식(12)에 대입하면 표면 전위 $\Psi_s(y)$ 에 대한 다음의 미분 방정식을 얻게 된다.

$$\frac{d^2\Psi_s}{dy^2} - \frac{1}{\lambda^2} [\Psi_s(y) - V_G] = 0 \quad (15)$$

단, λ 는

$$\lambda = \sqrt{\frac{T_{si} T_{ox} \left(1 + \frac{\eta T_{si}}{6T_{ox}}\right)}{2\eta}} \quad (16)$$

이고 V_G' 은 다음과 같이 정의된다.

$$V_G' = V_G - V_{FB} - \frac{qN_A T_{si}}{2C_{ox}} \quad (17)$$

여기서 $C_{ox} = \epsilon_{ox}/T_{ox}$ 이다. 경계조건 $\Psi_s(0) = \Psi_{s0}$ 및 $\Psi_s(L) = \Psi_{sL}$ 을 만족하는 식(15)의 해는 다음과 같이 구해진다.

$$\begin{aligned} \Psi_s(y) = & V_G' + \\ & \frac{(\Psi_{s0} - V_G') \sinh\left(\frac{L-y}{\lambda}\right) + (\Psi_{sL} - V_G') \sinh\left(\frac{y}{\lambda}\right)}{\sinh\left(\frac{L}{\lambda}\right)} \end{aligned} \quad (18)$$

$\Psi_s(y)$ 의 최소치 $\Psi_{s,min}$ 을 구하기 위해 $d\Psi_s/dy = 0$ 가 되는 y 좌표를 y_m 이라 하면 다음의 식이 얻어진다.

$$\frac{\Psi_{sL} - V_G'}{\Psi_{s0} - V_G'} = \frac{\cosh\left(\frac{L-y_m}{\lambda}\right)}{\cosh\left(\frac{y_m}{\lambda}\right)} \quad (19)$$

식(19)를 식(18)에 대입하고 hyperbolic sine 가법정리를 이용하면 표면 전위의 최소치는 다음과 같이 표현된다.

$$\Psi_{s,min} = \Psi_s(y_m) = V_G' + \frac{\Psi_{s0} - V_G'}{\cosh\left(\frac{y_m}{\lambda}\right)} \quad (20)$$

식(19)에 $\Psi_{sL} = \Psi_{s0} + V_{DS}$ 를 대입하고 hyperbolic cosine의 가법정리를 이용하면 다음 식을 얻는다.

$$\begin{aligned} \tanh\left(\frac{y_m}{\lambda}\right) &= \coth\left(\frac{L}{\lambda}\right) - \operatorname{csch}\left(\frac{L}{\lambda}\right) \\ &\quad - \frac{V_{DS}}{\Psi_{s0} - V_G'} \operatorname{csch}\left(\frac{L}{\lambda}\right) \\ &= \tanh\left(\frac{L}{2\lambda}\right) - \frac{V_{DS}}{\Psi_{s0} - V_G'} \operatorname{csch}\left(\frac{L}{\lambda}\right) \end{aligned} \quad (21)$$

다음 식

$$\operatorname{sech}\left(\frac{y_m}{\lambda}\right) = \sqrt{1 - \tanh^2\left(\frac{y_m}{\lambda}\right)} \quad (22)$$

및 식(21)을 이용하면 식(20)은 y_m 이 소거된 다음 식으로 표현된다.

$$\Psi_{s,min} = V_G' + (\Psi_{s0} - V_G') \cdot \sqrt{1 - \left[\tanh\left(\frac{L}{2\lambda}\right) - \frac{V_{DS}}{\Psi_{s0} - V_G'} \operatorname{csch}\left(\frac{L}{\lambda}\right) \right]^2} \quad (23)$$

$L \gg \lambda$ 인 경우 식(23)은 다음과 같아진다.

$$\Psi_{s,min} |_{longchannel} = V_G' \quad (24)$$

장 채널 대칭 DG MOSFET의 문턱 전압은 다음과 같이 표현된다고 볼 수 있다.

$$V_T |_{longchannel} = V_{FB} + \frac{qN_A T_{si}}{2C_{ox}} + 2\Phi_B \quad (25)$$

단, Φ_B 는 p형 실리콘 몸체의 페르미 전위로서 다음과 같다.

$$\Phi_B = \frac{kT}{q} \ln \frac{N_A}{n_i} \quad (26)$$

여기서 k 는 볼츠만 상수, T 는 절대온도 그리고 n_i 는 실리콘의 진성 캐리어 밀도이다. 따라서 식(24)에 식(17) 및 식(25)를 고려하면 장 채널 소자를 포함한 단 채널 소자에서 문턱 전압 V_T 는 다음 조건으로부터 구할 수 있을 것이다.

$$\Psi_{s,min} \geq 2\Phi_B \quad (27)$$

식(23)을 부등식(27)에 대입하고

$$X \equiv \Psi_{s0} - V_G' \quad (28)$$

으로 정의하면 다음의 부등식이 얻어진다.

$$\begin{aligned} & X^2 \tanh^2\left(\frac{L}{2\lambda}\right) \\ & - 2X \left[V_{DS} \tanh\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{\lambda}\right) + \Psi_{s0} - 2\Phi_B \right] \\ & + V_{DS}^2 \operatorname{csch}^2\left(\frac{L}{\lambda}\right) + (\Psi_{s0} - 2\Phi_B)^2 \leq 0 \end{aligned} \quad (29)$$

$V_G \geq V_T$ 의 조건식은 부등식(29)의 해가 $X \leq X_T$ 의 형태이며 X_T 는 다음과 같이 얻어진다.

$$\begin{aligned} X_T &= \frac{1}{2} V_{DS} \operatorname{csch}^2\left(\frac{L}{2\lambda}\right) \\ & + (\Psi_{s0} - 2\Phi_B) \operatorname{coth}^2\left(\frac{L}{2\lambda}\right) \\ & + \operatorname{coth}\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{2\lambda}\right) \sqrt{(\Psi_{s0} - 2\Phi_B)(\Psi_{sL} - 2\Phi_B)} \end{aligned} \quad (30)$$

따라서

$$V_T = V_{FB} + \Psi_{s0} + \frac{qN_A T_{si}}{2C_{ox}} - X_T \quad (31)$$

및

$$\Psi_{s0} = V_{bi} \equiv \frac{kT}{q} \ln \frac{N_D N_A}{n_i^2} \quad (32)$$

를 고려하면 최종적으로 다음과 같이 closed-form으로 V_T 가 도출된다.

$$\begin{aligned} V_T &= V_T |_{L \rightarrow \infty} - \frac{1}{2} V_{DS} \operatorname{csch}^2\left(\frac{L}{2\lambda}\right) \\ & - (V_{bi} - 2\Phi_B) \left[\operatorname{coth}^2\left(\frac{L}{2\lambda}\right) - 1 \right] \\ & - \operatorname{coth}\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{2\lambda}\right) \sqrt{(V_{bi} - 2\Phi_B)(\Psi_{sL} - 2\Phi_B)} \end{aligned} \quad (33)$$

단, $\Psi_{sL} = V_{bi} + V_{DS}$ 이다.

III. 모의실험 결과 및 검토

모의실험에서는 $\epsilon_{si} = 11.8\epsilon_0$ [F/cm], $\epsilon_{ox} = 3.9\epsilon_0$ [F/cm], $\epsilon_0 = 8.854 \times 10^{-14}$ [F/cm], $n_i = 1.5 \times 10^{15}$ [cm⁻³], $N_D = 10^{18}$ [cm⁻³], $E_g = 1.1$ [eV]로 사용하였다.

그림 2는 드레인 전압을 0.5 [V]에서 0.5 [V] 간격으로 2.5 [V]까지 변화시키면서 문턱 전압의 채널 길이

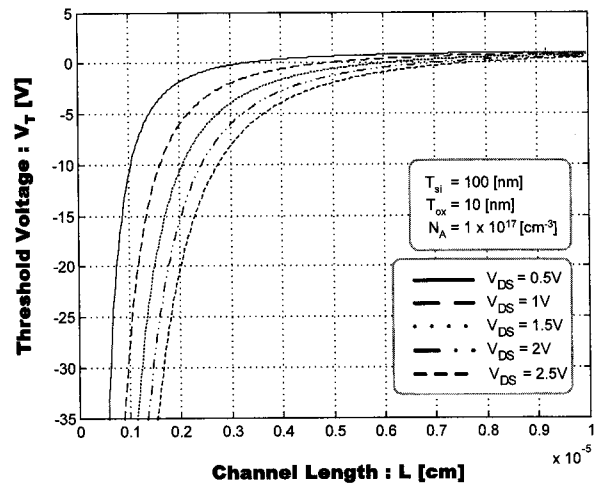


그림 2. 여러 V_{DS} 에 대한 대칭 DG MOSFET의 채널 길이에 따른 문턱 전압의 변화

Fig. 2. Derived relation between V_T and L of a symmetric DG-MOSFET for various values of V_{DS} .

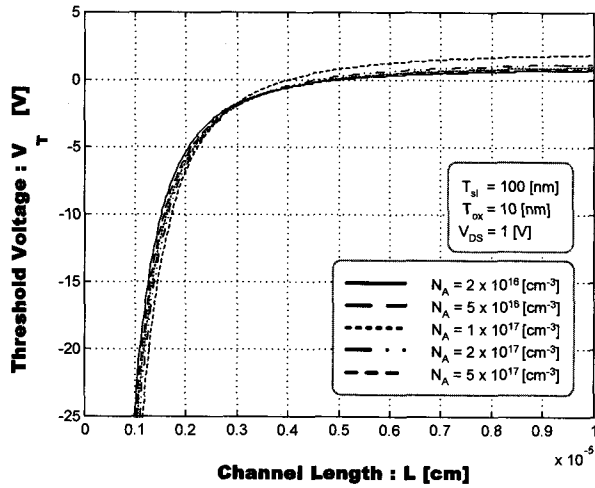


그림 3. 여러 N_A 에 대한 대칭 DG MOSFET의 채널 길이에 따른 문턱 전압의 변화
 Fig. 3. Derived relation between V_T and L of a symmetric DG-MOSFET for various values of N_A at $V_{DS}=0$.

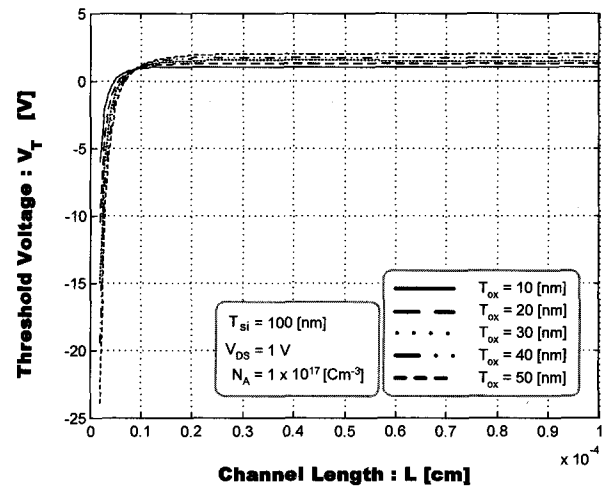


그림 5. 여러 T_{ox} 에 대한 대칭 DG MOSFET의 채널 길이에 따른 문턱 전압의 변화
 Fig. 5. Derived relation between V_T and L of a symmetric DG-MOSFET for various values of T_{ox} .

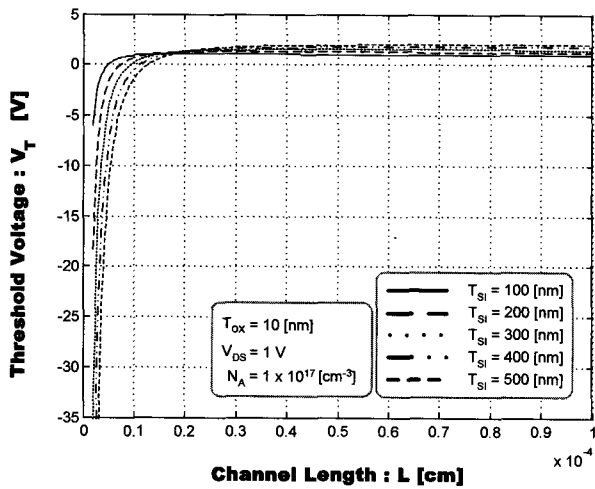


그림 4. 여러 T_{si} 에 대한 대칭 DG MOSFET의 채널 길이에 따른 문턱 전압의 변화
 Fig. 4. Derived relation between V_T and L of a symmetric DG-MOSFET for various values of T_{si} .

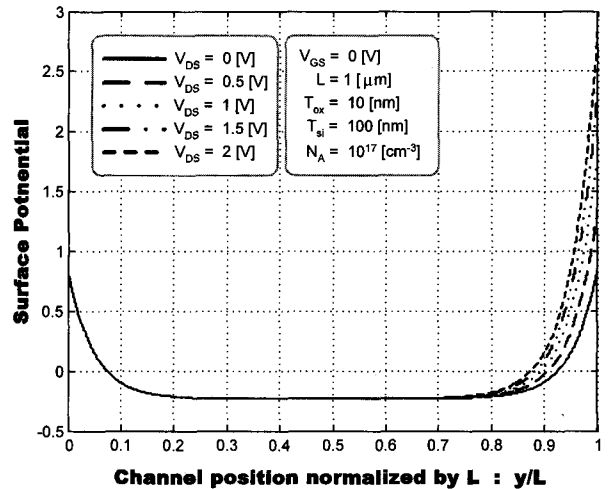


그림 6. 장 채널 대칭 DG-MOSFET의 채널 위치에 따른 표면 전위 변화
 Fig. 6. $\Psi_s(y)$ profile along the channel position of a long channel($L=1[\mu m]$) device for various of drain voltage.

의존성을 나타낸 결과로서 드레인 전압에 따른 문턱 전압의 roll-off를 잘 표현하고 있다. 그림 2는 채널 길이 L 을 $0.01 [\mu m]$ 범위까지 모의 실험하였으며, $T_{ox} = 10 [nm]$, $T_{si} = 100 [nm]$, $N_A = 10^{17} [cm^{-3}]$ 로 두었다.

그림 3은 p형 실리콘 몸체 내의 억셉터 농도를 파라미터로 한 SOI형 대칭 DG MOSFET의 문턱 전압에 대한 모의 실험 결과로 억셉터 농도가 증가하면 단 채널 효과가 감소함을 보이고 있다. 그림 4는 채널 두께 T_{si}

를 파라미터로 한 채널 길이에 따른 문턱 전압의 모의 실험 결과로 T_{si} 가 증가함에 따라 λ 값이 증가하고 이로서 단 채널 효과가 증가되어 식(33)으로부터 V_T 가 감소됨을 보인다. 그림 5는 oxide 두께 T_{ox} 를 파라미터로 한 채널 길이에 따른 문턱 전압의 모의 실험 결과로서 단 채널에서는 T_{ox} 크기가 증가함에 따라 λ 값이 증가하여 식(33)의 단 채널 문턱 전압 V_T 가 감소하며 장 채널에서는 식(25)에서의 C_{ox} 의 증가로 V_T 가 감소하

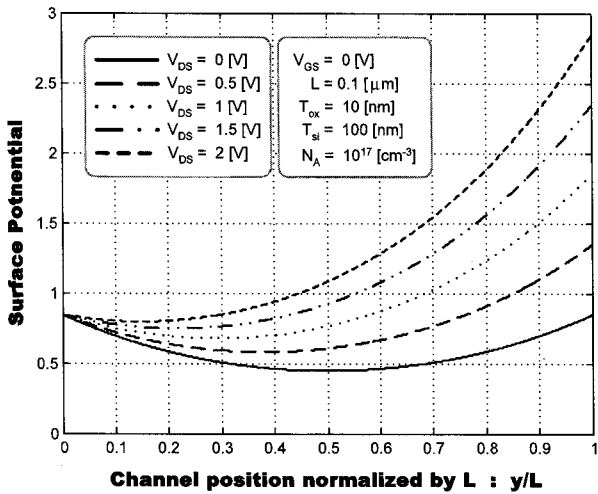


그림 7. 단 채널 대칭 DG-MOSFET의 채널 위치에 따른 표면 전위 변화

Fig. 7. $\Psi_s(y)$ profile along the channel position of a short channel($L=0.1[\mu\text{m}]$) device for various of drain voltage.

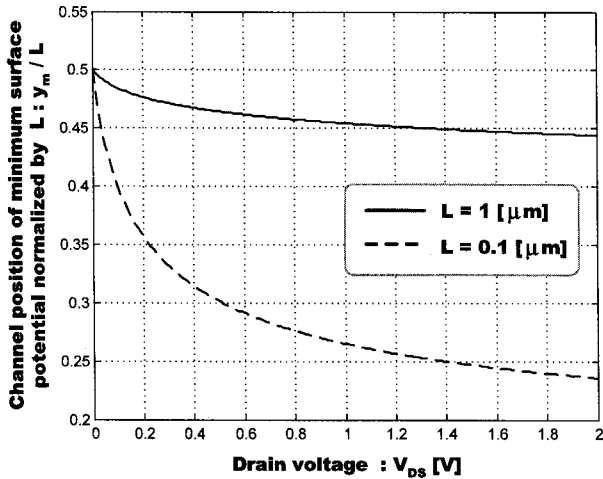


그림 8. 드레인 전압에 따른 장 채널 및 단 채널 대칭 DG-MOSFET의 표면 전위 최소치 y_m 의 변화

Fig. 8. The channel position of minimum surface potential y_m normalized by L .

게 됨을 보이고 있다.

그림 6 및 7은 드레인 전압 V_{DS} 를 0 [V]에서 0.5 [V] 간격으로 2 [V]까지 증가시키면서 장 채널 및 단 채널 대칭 DG MOSFET을 채널의 위치에 따라 표면 전위를 도시한 결과이다.

그림 6에서 $L = 1 [\mu\text{m}]$ 인 장 채널 소자의 표면 전위가 최소가 되는 채널 위치 y_m 이 드레인 전압의 증가에도 채널의 중앙 근방에 머무르는 반면 그림 7의 단 채널 범위에서는 V_{DS} 를 증가시키면 최소 표면 전위의 위

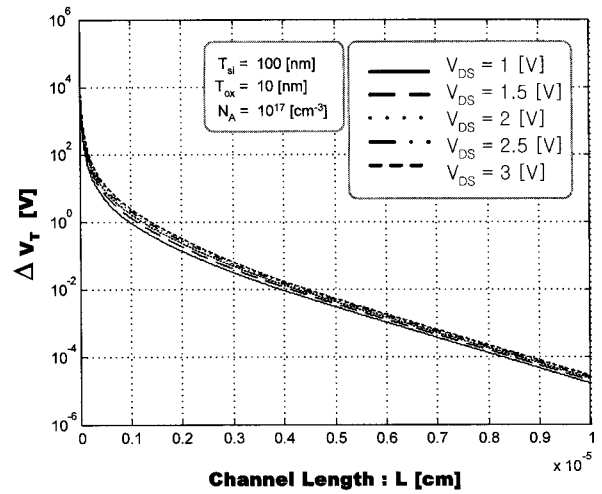


그림 9. 대칭 DG-MOSFET의 드레인 전압에 따른 장 채널 및 단 채널 문턱전압의 차이 ΔV_T 의 변화

Fig. 9. Derived relation between ΔV_T and L of channel of symmetric DG-MOSFET for various values of V_{DS} .

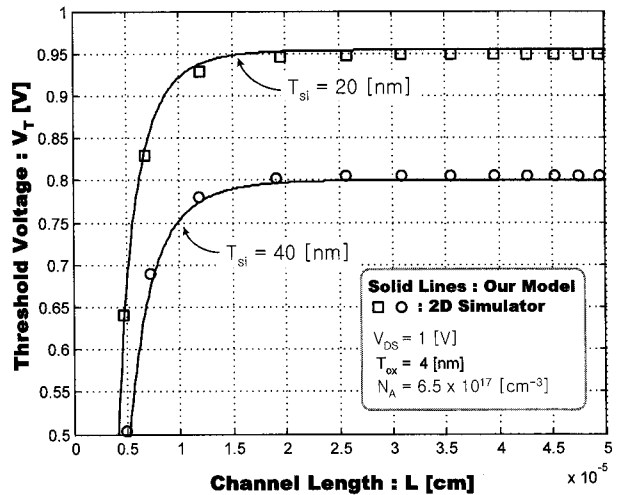


그림 10. 채널 길이에 대한 문턱 전압의 변화.

실선은 본 논문의 해석적 모델의 모의 실험 결과이며 '□' 및 '○'은 2D 시뮬레이터 결과(Ref 14)임

Fig. 10. Derived relation between V_T and L of a symmetric DG-MOSFET. Solid lines are simulation result of analytic model of this paper and '□', '○' are 2D simulator result from Ref 14.

치 y_m 이 채널의 중앙에서 소오스 쪽으로 이동되어짐을 알 수 있다. 이러한 관계는 그림 8에서 더욱 명시적으로 도시되어 있다. 그림 9는 드레인 전압을 1 [V]에서 0.5 [V] 간격으로 3.0 [V]까지 변화시키면서 식(25)의 장 채널 문턱 전압과 식(33)의 단 채널 문턱 전압의 차

이 ΔV_T 를 채널 길이에 따라 도출한 결과로 채널 길이 L 이 0에 가까워지면 문턱 전압 차이 ΔV_T 가 매우 커지며, 채널 길이가 길어지면 ΔV_T 가 0에 가까워지며 채널 길이가 0.01 [μm] 범위까지는 L 의 증가에 대해 지수적으로 감소함을 보이고 있다.

그림 10은 드레인 전압 $V_{DS} = 1$ [V]에서의 대칭 DG MOSFET의 채널 길이에 따른 문턱 전압의 변화를 K. Suzuki 등이 발표한 결과^[14,15]와 비교한 것이다. 동일한 조건에서 비교하기 위해 이미 발표된 연구 결과에서 시뮬레이션에 대입된 파라미터들을 본 논문의 해석적 모델에 그대로 대입하여 모의 실험하였으며 20, 40 [nm]의 채널 길이에 대하여 $N_A = 6.5 \times 10^{17}$ [cm^{-3}] 그리고 $T_{ox} = 4$ [nm]에 대한 결과이다. 이 결과는 본 모델의 결과가 2D numerical 시뮬레이터 결과와 비교적 잘 일치함을 보이고 있다.

IV. 결 론

본 논문에서는 완전 공핍된 SOI형 대칭 DG MOSFET의 문턱전압이 간편한 closed-form으로 도출되는 새로운 해석적 모델을 제안하였다. 새로운 문턱 전압 모델의 해석적 모델은 2차원 포아송 방정식 풀이를 위해 실리콘 몸체 내의 전위 분포를 채널에 수직인 방향 x 에 대해 4차 다항식으로 제안하여 전위 분포 표현식을 도출하고, 이를 이용하여 표면 전위 $\Psi_s(y)$ 의 표현식을 도출하였다. 이 결과로부터 표면 전위의 최소치가 $2\Phi_B$ 되는 게이트 전압을 문턱 전압으로 정의하여 대칭 DG MOSFET의 문턱 전압을 간편한 closed-form으로 도출하는 해석적 모델을 제안하였다. 본 모델로부터 도출된 문턱 전압의 표현식으로 드레인 전압 V_{DS} , 실리콘 몸체의 도핑 농도 N_A , 채널 두께 T_{ox} , 채널 길이 L , 채널의 두께 T_{si} 등에 대한 변화를 모의 실험하였다. $\Psi_s(y)$ 의 모의 실험 결과로부터 대칭 DG MOSFET의 채널 단소화에 따른 문턱 전압의 roll-off 및 채널 위치에 따른 표면 전위 변화, 드레인 전압 변화에 따른 최소 표면 전위의 위치 y_m 변화 등에 대해 매우 합리적인 결과를 보여주었다. 또한 장 채널 문턱 전압과 단 채널 문턱 전압의 차이 ΔV_T 를 채널 길이에 따라 도출한 결과 채널 길이가 0.01 [μm]의 범위까지 채널 길이에 지수적으로 감소함을 보임으로 문턱 전압의

drain induced roll-off를 잘 기술하고 있음을 보이고 있다. 끝으로 도출된 문턱 전압 V_T 표현식과 이미 발표된 연구 결과와 비교해 봄으로서 본 모델의 결과가 2D numerical 시뮬레이터 결과와 비교적 잘 일치함을 확인할 수 있었다.

참 고 문 헌

- [1] S. P. Sinha, A. Zaleski, D. E. Ioannou, "Investigation of carrier generation in fully depleted enhancement and accumulation model SOI MOSFET's," IEEE Trans. Electron Devices, vol. 42, no. 12, pp. 2413 - 2416, Dec. 1994.
- [2] Ni. Pei, Weiping A. V. Kammula, B. A. Minch, E. C. Kan, "A physical compact model of DG MOSFET for mixed-signal circuit applications-part I : model description," IEEE Trans. Electron Devices, vol. 51, no. 12, pp. 2135 - 2143, Dec. 2004.
- [3] Weimin Zhang, Fossum, J. G, Mathew, L, Yang Du, "Physical insights regarding design and performance of independent-gate FinFETs," IEEE Trans. Electron Devices, vol. 52, no. 10, pp. 2198 - 2206, Oct. 2005.
- [4] K. K. Young, "Short-channel effect in fully depleted SOI MOSFETs," IEEE Trans. Electron Devices, vol. 36, no. 2, pp. 399 - 402, Feb. 1989.
- [5] Y. Omura, "A simple model for short-channel effects of a buried-channel MOSFET on the buried insulator," IEEE Trans. Electron Devices, vol. 29, no. 11, pp. 1749 - 1755, Nov. 1982.
- [6] A. Dasgupta, S. K. Lahiri, "A two-dimensional analytical model of threshold voltages of short-channel MOSFETs with Gaussian-doped channels," IEEE Trans. Electron Devices, vol. 35, no. 3, pp. 390 - 392, Mar. 1988.
- [7] Yu Tian, Ru Huang, Xing Zhang, Yangyuan Wang, "A novel nanoscaled device concept: quasi-SOI MOSFET to eliminate the potential weaknesses of UTB SOI MOSFET," IEEE Trans. Electron Devices, vol. 52, no. 4, pp. 561-568, Apr. 2005.
- [8] T. J. Cunningham, R. C. Gee, E. R. Fossum, S. M. Baier, "Deep cryogenic noise and electrical characterization of the complementary heterojunction field-effect transistor (CHFET)," IEEE Trans. Electron Device Letters, vol. 41, no. 6, pp. 888 - 894, Nov. 1994.
- [9] K. W. Terrill, C. U. Hu, P. K. Ko, "An Analytical Model for the Channel Electric Field

- in MOSFET's with Graded-Drain Structures," IEEE Trans. Electron Device Letters, vol. 5, no. 11, pp. 440 - 442, Nov. 1984.
- [10] Ge. Lixin, J. G. Fossum, "Analytical modeling of quantization and volume inversion in thin Si-film DG MOSFETs," IEEE Trans. Electron Devices, vol. 49, no. 2, pp. 287 - 294, Feb. 2002.
- [11] K. N. Ratnakumer, J. D. Meindle, "Short-channel MOST threshold Voltage Model," IEEE J. of Solid-state Circuits, vol. SC-17, pp. 937-947, Oct. 1982.
- [12] A. Ortiz-Conde, F. J. Garcia-Sanchez, S. Malobabic, "Analytic solution of the channel potential in undoped symmetric dual-gate MOSFETs," IEEE Trans. Electron Devices, vol. 52, no. 7, pp. 1669 - 1672, Jul. 2005.
- [13] A. Svizhenko, M. P. Anantram, T. R. Govindan, B. Biegel, "Two-Dimensional Quantum Mechanical Modeling of Nanotransistors," J. Appl. Phys., vol. 91, no. 4, pp. 2343 - 2354, Nov. 2002.
- [14] K. Suzuki, Y. Tosaka, T. Sugii, "Analytical Threshold Voltage Model for Short Channel Double-Gate SOI MOSFET's," IEEE Trans. Electron Devices, vol. 43, no. 7, pp. 1166 - 1168, Jul. 1996.
- [15] S. Satoh, H. Oka, N. Noriaki, "Bipolar circuit simulation system using two-dimensional simulator," Fujitsu Sci. Tech. J., vol. 24, pp. 456 -463, 1988.

 저 자 소 개



이 정 호(학생회원)
 2002년 홍익대학교 대학원
 전자공학과 석사 졸업.
 2007년 현재 홍익대학교 대학원
 전자공학과 박사과정.
 <주관심분야: 고속정보소자>



서 정 하(정회원)
 대한전자공학회 논문지
 제41권 SD편 제3호 참조