

논문 2007-44SD-7-9

# 멀티레이ンを 지원하는 모바일 카메라용 직렬 인터페이스 프로세서 설계

(Mobile Camera Processor Design with Multi-lane Serial Interface)

현 유 진\*, 권 순\*, 이 중 훈\*, 정 우 영\*

(Eugin Hyun, Soon Kwon, Jonghun Lee, and Woo-Young Jung)

## 요 약

본 논문에서는 차세대 모바일 단말기의 카메라를 위한 MIPI CSI-2 / D-PHY 프로세서를 설계하였다. 설계된 프로세서는 멀티레이ンを 효과적으로 지원하기 위해 제안된 레인관리계층을 가지고 있다. 이 레인관리계층의 구조는 레인별로 존재하는 메모리를 하나로 통합하여, 송수신단이 지원하는 레인의 개수가 다른 경우에도 유연하게 관리되는 구조이다. 또한 패킷의 보전성을 확보하기 위해 CRC 코드를 사용하는데, 이를 실시간 생성을 위해 바이트 단위로 병렬 처리하는 CRC 생성기를 사용하였다. 마지막으로 데이터 레인으로부터 수신된 패킷들의 동기화 처리를 위한 동기 코드 검출기와 바이트 클럭 생성기도 설계되었다. 또한 설계된 프로세서는 테스트 벤치를 통해 RTL 검증되었고 동작함을 확인 할 수 있었다.

## Abstract

In this paper, we design a mobile camera processor to support the MIPI CSI-2 and DPHY specification. The lane management sub-layer of CIS2 handles multi-lane configuration. Thus conceptually, the transmitter and receiver have each independent buffer on multi lanes. In the proposed architecture, the independent buffers are merged into a single common buffer. The single buffer architecture can flexibly manage data on multi lanes though the number of supported lanes are mismatched in a camera processor transmitter and a host processor. For a key issue for the data synchronization problem, the synchronization start codes are added as the starting for image data. We design synchronization logic to synchronize the received clock and to generate the byte clock. We present the verification results under proposed test bench. And we show the waves of simulation and logic synthesis results of the designed processor.

**Keywords :** MIPI, CSI-2, D-PHY, Mobile Camera

## I. 서 론

멀티 네트워크화에 따른 다양한 무선통신기술의 개발과 디스플레이, 카메라, DMB, PMP, 게임등 각종 멀티미디어 기능들을 융합하는 기술의 발전은 단말기의 고기능화, 다양화, 첨단화를 요구하고 있다.<sup>[1-5]</sup> 그러나 무선통신 및 융합기술 진화의 현실적인 제약조건인 전력소비, 복잡성(표준과 호환성 유지), 크기(부품의 면적)의 문제는 관련 부품의 모듈화, 복잡화를 유도하고 있다.<sup>[1-4]</sup> 예를 들면, 오늘날 모바일 단말의 디스플레이 화

면 성능과 전송되는 영상은 높은 화질이 요구됨으로 인해, 이를 위해 호스트 프로세서와 주변 장치들 간에 높은 데이터 전송 속도가 요구된다. 그러나 기존의 병렬 인터페이스는 확장성이 어렵고, 많은 연결선이 존재하여 단말기 기구 내에 실장하는데 제한이 있고, 또한 많은 전력을 소모하는 단점이 있다.<sup>[1-5]</sup> 이러한 호스트 프로세서와 주변 장치간의 고기능, 저전력, 속도 등을 해결하기 위해 모바일 단말기 플랫폼의 표준화 작업이 MDDI(Mobile Display Digital Interface)를 통해 이루어졌다.<sup>[4]</sup> MDDI는 퀄컴과 삼성이 제안한 CDMA 단말기의 디스플레이와 카메라를 위한 인터페이스 표준안이다.<sup>[4]</sup> 하지만 MDDI의 경우 그 응용이 디스플레이와 카메라

\* 정희원, 대구경북과학기술연구원 IT 연구부  
(DGIST, Department of IT)

접수일자: 2007년4월23일, 수정완료일: 2007년6월18일

라에 한정될 뿐 아니라, 퀄컴이 주도하는 CDMA 단말에만 적용됨에 따라 다른 단말 및 부품 업체들이 참여하고 있지 않다.

이에 반해 2004년에 노키아, ARM, ST, TI에 의해 설립된 MIPI(Mobile Industry Processor Interface) 단체는 현재 100여개 업체들이 참여하여 카메라와 디스플레이 뿐 아니라 모바일 단말기의 전반적인 플랫폼에 관한 논의를 하고 있다<sup>[6]</sup>. 그 중 2005년 말에 버전 1.0을 발표한 CSI-2(Camera Serial Interface 2) 규격은, MIPI에서 제공하는 규격 중 카메라 디바이스와 호스트 프로세서 간의 데이터 전송 및 제어 인터페이스를 제공하고 있다. 또한 2007년 말에 버전 1.0 스펙을 발표 예정인 MIPI D-PHY는, DSI(Display Serial Interface), UniPro(Unified Protocol) 등 MIPI에서 제공하는 각종 프로토콜 표준 계층을 위한 물리 계층으로 CSI-2 역시 D-PHY 표준 스펙을 이용하고 있다.

그림 1은 CSI-2 및 D-PHY 인터페이스를 가지는 모바일 단말 구조를 나타내고 있다. CSI-2 및 D-PHY 인터페이스는 클럭 및 데이터 전송을 위해 단방향의 차동 직렬 신호(LVDS ; Low Voltage Differential Signal)를 사용한다. 일반적으로 데이터 레인은 1개가 지원되며 높은 클럭 주파수의 사용을 피해야하는 경우엔 2, 3, 혹은 4개의 멀티 레인을 사용할 수 있고, 이로 인해 거의 선형적으로 증가하는 대역폭을 얻을 수 있다. 또한 카메라와 프로세서간의 제어 인터페이스를 위해 표준 I2C(Inter-IC Communication) 규격을 따르도록 MIPI 규격은 제시하고 있다. CSI-2와 D-PHY 규격은 카메라 센서와 호스트 프로세서 간의 직렬 인터페이스 표준안으로 저전력, 높은 속도, 저가격 및 확장성, 낮은 EMI, 또한 신호 라인의 대폭 감소에 따른 단말기 구성의 단순화를 목적으로 한다.

본 논문에서는 MIPI CSI-2 및 D-PHY 표준안을 따르는 송수신 프로세서를 설계하였다. 멀티레인을 지원하는 CSI-2는 각 라인별로 상호 독립적인 D-PHY를 가지게 된다. 본 논문에서는 멀티라인관리를 위해 레인의 개수만큼 존재하는 버퍼를 하나로 통합하여, 지원하는 레인의 개수에 따라 버퍼를 유연하게 사용할 수 있는 CSI-2의 멀티라인관리계층을 제안한다.

CSI-2의 하위프로토콜계층은 이미지 데이터를 패킷화 시키는 과정에서 보전성을 확보하기 위해 16비트 CRC 코드를 첨부한다. 8비트 데이터를 직렬 입력하여 CRC 코드를 생성하는데 이 경우 데이터를 실시간으로 처리하는데 어려움이 있어, 본 논문에서는 입력 데이터

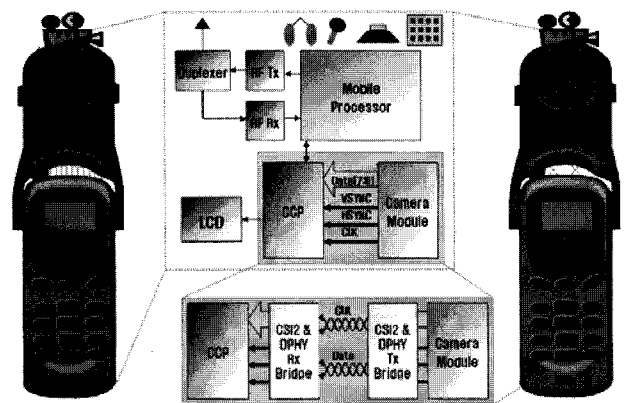


그림 1. CSI-2 및 D-PHY 인터페이스를 가지는 모바일 단말 구조

Fig. 1. The mobile handset with CSI-2 and D-PHY interface.

를 8비트 단위로 병렬 처리하는 CRC 생성기를 사용하였다.

수신단 D-PHY에서는 데이터 레인을 통해 검출된 동기 코드에 의해, 클럭 레인으로부터 수신한 클럭 동기를 맞추고 또한 바이트 클럭을 생성하게 된다. 이때 데이터는 DDR 클럭으로 전송되기 때문에 바이트 클럭을 정확하게 검출하기 위해서는, 클럭의 상승에지와 하강에지 모두에서 데이터를 검출하여야 한다. 이를 위해 동기 코드 검출기(Synchronization Code Detector)와 바이트 클럭 생성기를 설계하였다.

이렇게 설계되어진 CSI-2 및 D-PHY 송수신 프로세서는 이미지 센서, 호스트 프로세서, 송수신단 이미지 메모리, 비교기, 인터페이스 모니터로 구성된 테스트 벤치를 통해 RTL 검증되었다.

본 논문 II장에서는 MIPI CSI-2 및 D-PHY의 프로토콜에 대해 설명하고 III장에서는 설계된 CSI-2 및 D-PHY 송수신 프로세서의 구조 및 검증 환경에 대해 소개한다. IV장에서는 시뮬레이션 결과를 보여주고 V장에서 결론을 맺는다.

## II. CSI-2 및 D-PHY 개요

### 1. CSI-2

CSI-2는 그림 2와 같이 라인관리계층 (Lane Management Layer), 하위레벨프로토콜계층(Low Level Protocol Layer), 패킷포맷계층(Packing Format Layer)로 구성된 계층 구조를 가진다.

송수신단의 패킷포맷계층은 카메라로부터 수신한 YUV, RGB, RAW등의 6비트/픽셀에서 24비트/픽셀까

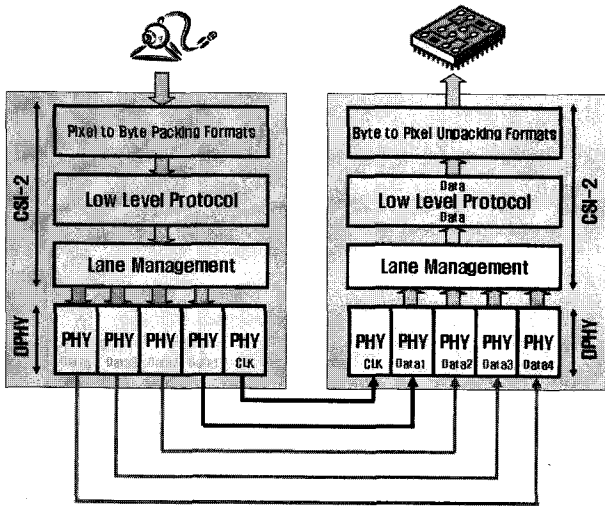


그림 2. CSI-2 및 D-PHY의 계층 구조  
Fig. 2. Layering diagram.

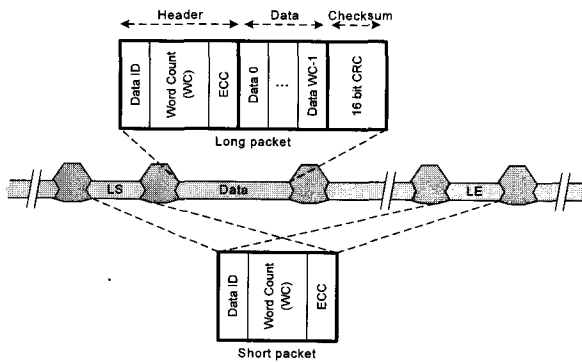


그림 3. CSI-2의 패킷 구조  
Fig. 3. The packet flow through the layers.

지 다양한 포맷의 이미지를 바이트 포맷으로 변환하여 하위레벨프로토콜계층으로 전송하는 역할을 담당한다. 수신측의 이 계층은 하위레벨프로토콜계층으로부터 받은 바이트 단위의 데이터를 다시 카메라 디바이스에 맞는 픽셀 데이터로 변환하는 역할을 담당한다.

하위레벨프로토콜계층의 송신단은 비트 단위의 패킷 데이터를 전송하기 위한 패킷을 생성한다. 패킷은 롱패킷(Long packet)과 쇼트패킷(Short packet)으로 나누어지며 패킷 구조는 그림 2에 나와 있다. 롱패킷은 크게 헤더, 데이터, 그리고 체크섬(Checksum)으로 나누어진다. 데이터는 상위 계층으로부터 받은 바이트 단위의 이미지 정보를 나타내며, 체크섬은 데이터의 신뢰성을 확보하기 위한 CRC(Cyclic Redundancy Checking) 코드이다. 헤더는 데이터 ID, WC(Word Count), ECC(Error Correction Code)로 구성된다. 데이터 ID는 YUV, RGB 등 이미지의 포맷을 나타내며, WC는 패킷 내 데이터의 크기, 그리고 ECC는 헤더의 무결성을 확보하기 위한 1

비트 에러보정 및 2비트 에러검출이 가능한 해밍(Hamming)코드이다. 쇼트패킷은 롱패킷의 헤더와 같은 구조로, 다만 WC 대신 프레임 번호와 라인 번호가 대체된다. 즉, 쇼트패킷은 프레임의 시작과 끝, 그리고 라인의 시작과 끝을 알리기 위한 패킷으로 그림 3은 LS(Line Start)와 LE(Line End)를 나타내는 예제이다. 이 쇼트패킷은 하위프로토콜계층이 전송하는 이미지 크기를 계산하여 자체 생성하여야 한다.

멀티레인을 지원하는 경우 각 레인별로 상호 독립적인 D-PHY 로직과 회로를 가지며, 송신단은 레인 각각을 대상으로 패킷을 분배하고, 수신단에서는 각각의 레인으로 수신된 데이터를 수집하고 이를 다시 합쳐서 완전한 패킷으로 재구성해야 한다.

## 2. D-PHY

송신단 D-PHY는 CSI-2로부터 요청받은 바이트 단위의 패킷을 직렬화하여 외부로 전송하고, 수신단은 외부 인터페이스로부터 수신한 직렬 패킷을 바이트화하여 CSI-2로 전송한다. 클럭과 데이터는 두개의 신호선을 이용하여 HS 모드(High speed mode)일 때는 LVDS로 전송되며, 하나의 패킷을 전송한 후에는 전송레인은 LP 모드(Low power mode)로 유지된다. 송신단 D-PHY는 신호선을 LP모드로 유지하다가 전송할 패킷이 있는 경우 천이모드(Transition mode)를 걸쳐 HS모드에 진입시키고 패킷 전송이 다 끝나면 다시 LP 모드

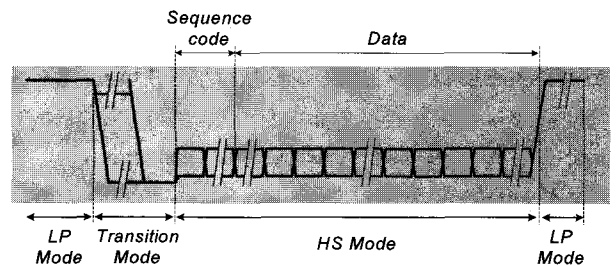


그림 4. 고속 데이터 전송 신호 타이밍  
Fig. 4. High speed data transmission in bursts.

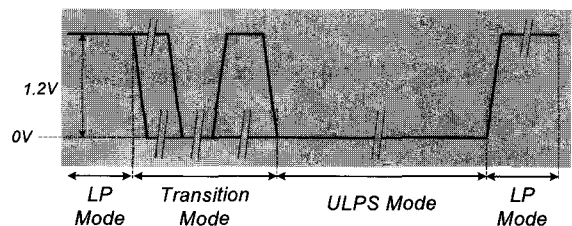


그림 5. LP 모드와 ULPS 모드의 신호 타이밍  
Fig. 5. Lane state transition in ULPS mode.

로 복귀시킨다. D-PHY는 패킷을 전송할 때 8비트의 동기 코드를 붙여 전송함으로써 보내고자 하는 패킷의 전송 시작을 알리도록 한다. 따라서 수신단은 LP 모드에서 천이 모드로 바뀌는 프로토콜을 검출하고 또 동기 코드를 정확하게 검출하여야 한다.

그림 5는 한 쌍의 신호선이 ULPS(Ultra Low Power State)로 들어가는 타이밍을 보여주고 있으며, ULPS에서 두 신호선은 모두 그라운드에 머물게 된다. 즉 D-PHY에서는 데이터 전송을 하는 경우에는 HS 모드, 나머지 구간에선 LP 모드, 그리고 장기간 전송이 멈추는 경우에는 ULPS를 지원하도록 하는 PM(Power Management)를 통해 모바일 단말의 저전력 이슈를 해결하게 한다.

### III. 실험 결과

#### 1. 설계

본 논문에서는 MIPI CSI-2와 D-PHY 로직 부분을 지원하는 프로세서를 설계 하였다.

가칭 AMCP(Advanced Mobile Camera Processor)라고 명칭 된 프로세서의 블록 다이어그램은 그림 6과 같다. AMCP는 모두 7개의 블록인 CSI-2 레인관리계층(CM), 하위레벨프로토콜계층(CP), 패킷포맷계층(CF), 라인버퍼(LB), 물리계층(DP), 그리고 I2C 슬레이브 유닛(I2CS)과 컨피규레이션 레지스터로 구성되어 있다.

또한 AMCP는 모두 3개의 외부 인터페이스를 가진

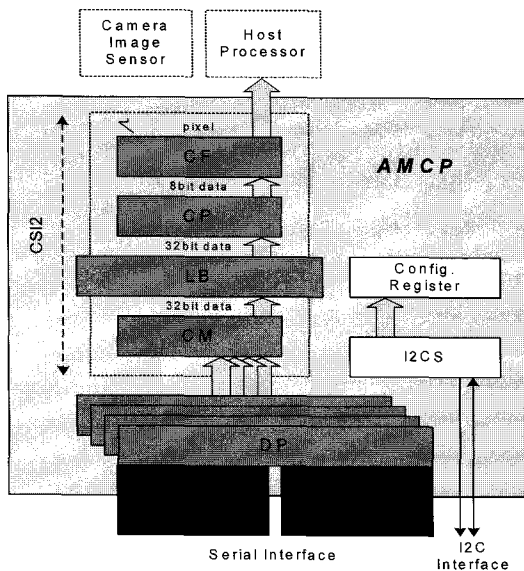


그림 6. 설계된 프로세서 블록 다이어그램  
Fig. 6. Top block of the designed processor.

다. 카메라 디바이스가 HSYNC, VSYNC, 그리고 데이터 8비트를 AMCP로 전송하는 인터페이스, D-PHY 직렬 인터페이스, 그리고 마지막으로 수신한 이미지 데이터를 호스트 프로세서로 전송하는 인터페이스이다.

#### 가. 레인관리계층(CM)과 라인버퍼(LP)

설계된 CSI-2 모듈의 레인관리계층은 멀티레인을 지원하기 위해 7과 같이 각 레인별로 버퍼를 가지고 있어야 한다. 즉 상위 계층인 코어(core)로부터 전송되는 8비트 데이터를 스위칭하여 순서대로 버퍼에 저장하게 되고, 저장된 데이터는 각 물리계층에 의해 전송되는 구조이다. 이런 개념적 버퍼 구조는 아주 간단한 방법으로, 송신단과 수신단이 지원하는 레인의 개수가 같은 경우에는 아무런 문제가 없다. 그러나 그림에서 보는 것과 같이 송신단과 수신단이 지원하는 레인의 개수가 다른 경우에는 송신단에서 보내는 패킷을 전송 도중에 잃어버리게 된다. 이 그림에서는 송신단은 4개의 레인을 지원하지만 수신단에서는 2개의 레인만 지원하는 경우이다. 즉, 이런 구조는 설계시 지원하는 레인의 개수가 고정적으로 정해진다.

따라서 본 논문에서는 송수신단이 지원하는 레인의 개수가 다른 경우에도, 데이터의 손실 없이 전송되는 아주 유연한 구조를 가지는 레인관리계층을 제안한다. 제안된 구조는 레인의 개수만큼 존재하는 버퍼의 구조를 하나로 통합하여, 레인관리계층이 지원하는 레인의 개수에 따라 버퍼를 유동적으로 사용할 수 있는 방법으로 그림 8과 같이 제안한다.

제안된 방법에서는 CP 유닛에서 생성된 패킷이 8비트 단위로 전송이 되면, 쓰기-바이트-버퍼(Wt Byte Buffer)를 통해 32비트로 라인 버퍼에 저장된다. CM 유닛은 라인 버퍼로부터 32비트 데이터를 읽기-바이트-버퍼(Rd Byte Buffer)에 저장을 하게 된다.

만약 지원하는 레인이 4개이면, 32비트의 데이터는 바이트 단위로 각 D-PHY로 전송될 것이다. 그러나 지원되는 레인이 2개이면 읽기-바이트-버퍼0과 1에 저장되어 있는 데이터가 먼저 D-PHY0과 1을 통해 전송이 되고, 다음 단계에 읽기-바이트-버퍼2와 3에 있는 데이터가 D-PHY0과 1을 통해 전송이 된다. 마지막으로 지원하는 레인이 1개이면 읽기-바이트-버퍼0부터 3까지의 바이트 데이터가 네 단계에 걸쳐 D-PHY0을 통해 전송된다. 이러한 바이트 버퍼에 저장된 데이터와 D-PHY와의 연결은 라우팅 테이블(Routing Table)을 통해 이루어진다.

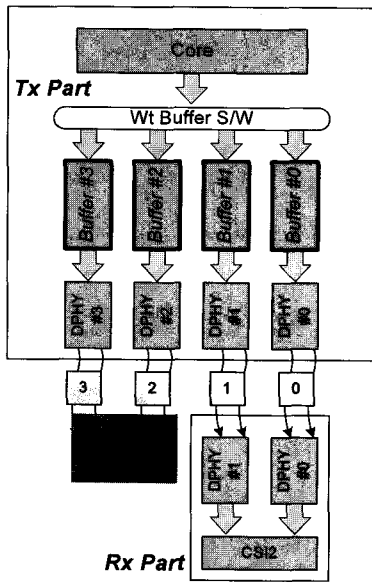


그림 7. 개념적 멀티레이너 지원 구조  
 Fig. 7. Conceptual overview of the lane management sub-layer.

여기서 라인 버퍼는 이미지 라인 크기만큼 저장할 수 있으며, 2개가 있어 파이프라인으로 읽기 쓰기를 할 수 있다. 또한 쓰기-라인-버퍼-스위치(Wt Line Buffer S/W)를 통해 데이터를 쓸 버퍼를 선택하고, 읽기-라인-버퍼-스위치(Rd Line Buffer S/W)를 통해 읽을 버퍼를 선택하게 된다. 또한 컨트롤 유닛은 스위치 선택, 버퍼에 데이터를 저장하거나 읽을 때 필요한 주소 관리, 그리고 Write Enable 혹은 Read Enable을 발생, 그리고 라우팅 테이블 관리를 하게 된다.

시스템이 초기화가 되면 호스트 프로세서는 I2C를 통해 카메라 이미지 프로세서의 컨피규레이션 레지스터에 각종 정보를 세팅 시킨다. 이때 전송할 레인의 개수 역시 호스트 프로세서에 의해 지정된다. 그림 7과 같은 개념적인 구조의 경우, 설계시 지원하는 레인의 개수가 고정적으로 정해져 버리기 때문에 이런 과정이 불필요하다. 하지만 본 논문의 멀티레이너구조를 사용하면 호스트 프로세서에 의해 사용할 레인의 개수가 어떤 값으로 선택이 되든지 데이터 전송을 올바르게 일어 날 수 있다.

나. 하위 프로토콜 계층 (CP)

CP 유닛의 송신단은 CF 유닛으로 부터 전송받는 바이트 단위의 이미지 데이터를 헤드와 CRC 코드를 붙여 패킷으로 생성하여 그림 8의 라인 버퍼에 저장하게 된다. 헤드의 데이터ID와 WC는, 시스템 초기화때 호스트 프로세서가 I2C를 통해 저장한 컨피규레이션 레지스터

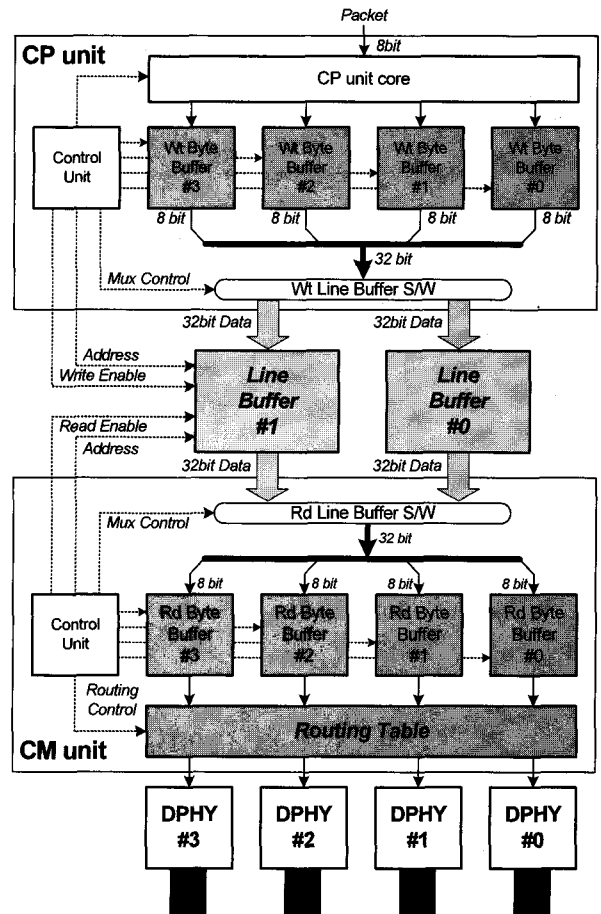


그림 8. 제안된 멀티레이너 지원을 위한 구조  
 Fig. 8. Design of the proposed lane management function.

의 정보를 이용한다. 그리고 ECC는 MIPI CSI-2 스펙에 명시된 해밍 코드를 생성 및 검출하도록 설계되었다.

8비트 데이터를 입력하여 16비트 CRC 코드를 생성하는데 총 8 클럭 사이클이 걸리게 되는데, 이 경우 상위 레이어로부터 연속적으로 전송되는 8비트 이미지 데이터를 실시간으로 처리하는데 어려움이 있다. 따라서 본 논문에서는 입력 데이터 8비트를 병렬로 처리하는 CRC 생성기를 사용하였다. 패킷 생성 초기에 레지스터는 FFFFh로 초기화 되고, 그 다음부터 입력 데이터와 전 상태에서 생성된 CRC 코드와의 논리 조합으로 다음 상태의 CRC 코드를 생성한다. 이는 CP 유닛에서 사용하는 바이트 클럭과 동기되어 실시간으로 CRC를 생성할 수 있어 설계가 용이하다.

CP 유닛의 수신단은 CM 유닛을 통해 수신한 패킷을 해독하고 ECC 코드를 검출하여 1비트 에러가 검출되면 헤드를 복구하고, 2비트 이상의 에러가 발생하면 이를 알리도록 설계되었다.

다. 패킷포맷계층 (CF)

카메라로부터 전송되어지는 다양한 비트 폭을 가지는 YUV, RGB, RAW등의 이미지 데이터를 바이트 단위로 매핑하거나, 바이트 단위의 데이터를 실제 카메라가 지원하는 이미지 포맷으로 변환하여 주어야 한다. 설계된 CF 유닛은 다양한 이미지 포맷 중, 가장 보편적으로 사용하는 YUV422, RGB565, RAW8, RGB888를 지원하도록 설계 하였다.

라. 물리 계층 (DP)

D-PHY 송신단은 데이터 전송을 위한 LP 모드와 HS 모드, 그리고 최저전력 모드를 위한 ULPS 모드를 지원하기 위한 컨트롤 블록을 둔다. 수신단은 레인이 어떤 모드 상태인지를 확인하고 해당 프로토콜에 따라 동작하도록 설계 하였다.

특히, HS 모드에서 클럭 레인을 통해 수신한 클럭과 데이터 레인을 통해 검출된 동기 코드에 의해 바이트 클럭을 생성하게 된다. D-PHY에서 DDR 클럭으로 데이터가 전송되기 때문에 바이트 클럭을 정확하게 검출하기 위해서는, 클럭의 상승에지와 하강에지 모두에서 데이터를 검출하여야 한다. 그림 9는 설계된 D-PHY의 블록다이어그램이다. 동기 코드 검출기(Sequence Code Detector)는 HS 모드 초기엔 동기 코드를 검출하고 바이트 클럭 동기가 맞춘 후 데이터의 직병렬 변환을 하게 된다.

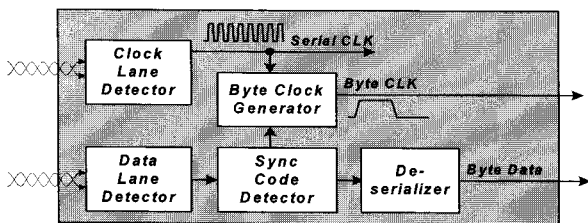


그림 9. 설계된 D-PHY 수신단 블록다이어그램  
Fig. 9. The block diagram of the designed D-PHY rx side.

2. 검증 환경

설계된 AMCP의 각 블록은 Verilog HDL을 이용하여 코딩되었다. 그림 10은 설계된 AMCP를 검증하기 위한 테스트 환경이다. 테스트 환경은 이미지 센서, 호스트 프로세서, 송수신단 이미지 메모리, 비교기 (Comparator), 인터페이스 모니터(Interface Monitor)로 구성되어 있으며, 이들은 시스템 C(System C)를 이용하여 클럭 단위로 동작하는 행위 모델(Behavioral

Model)로 코딩되었다. 이미지 센서 모델은 송신 이미지 메모리에 저장된 이미지 정보를 모바일 카메라 프로토콜에 맞도록 AMCP에 보내어주는 기능을 담당한다. 또한 호스트 프로세서는 AMCP로부터 받은 이미지 정보를 수신단 이미지 메모리에 저장을 하고, 또한 I2C의 마스터 역할을 담당한다. 인터페이스 모니터는 CSI-2 및 D-PHY 직렬 전송에서 발생하는 클럭 및 데이터 레인의 프로토콜을 체크하여 에러 발생시 이를 알리는 로그 파일을 생성한다. 또한 비교기를 통해 원래 송신 이미지 메모리의 데이터와 수신단의 데이터를 비교하게 된다.

테스트 벡터의 요구에 의해 호스트 프로세서는 I2C를 통해 컨피규레이션 레지스터를 세팅하고, 모든 로직은 초기화 된다. 그 후 테스트 벡터는 이미지 센서 모델에 이미지 전송을 명령하게 되고 AMCP를 통해 호스트 프로세서로 전송이 되고, 마지막으로 두 버퍼의 데이터는 비교되게 된다.

CIS2 및 D-PHY 컨트롤러의 기본적인 검증 리스트를 아래에 나타내고 있다. 테스트 벡터에 의한 시뮬레이션을 통해 파형 확인 하고 프로토콜 모니터를 통해 검증을 하여 에러 검출 및 디버깅을 하게 된다.

- CIS2 검증
  - ✓ 다양한 이미지 모드 지원 여부
  - ✓ 패킷(CRC, ECC 등) 생성 및 해독
  - ✓ 멀티 레인 관리
- D-PHY 검증
  - ✓ HS, LP, ULPS 모드 전환 프로토콜
  - ✓ 멀티 레인에서의 D-PHY 동작
  - ✓ 동기 코드 생성 및 검출
  - ✓ 수신한 클럭을 이용한 바이트 클럭 동기화

IV. 시뮬레이션 결과

1. 검증 결과

제안된 AMCP는 그림 10의 검증환경을 통해 RTL 검증이 이루어졌다. 검증 결과 CSI-2 멀티 레인 라우팅 블록, D-PHY 수신단 클럭 동기 부분, 각 기능 블록의 동작 타이밍 조절과 초기화 등을 위한 데이터 패스 및 상태도 추가, 그리고 컨트롤 신호 수정 등에서 오류가 발생하였다. 그 중 CSI-2의 멀티레인 라우팅 부분과 DPHY의 타이밍 부분을 제어하기 위한 상태도에서 가장 많은 오류가 발생함을 확인 할 수 있었다.

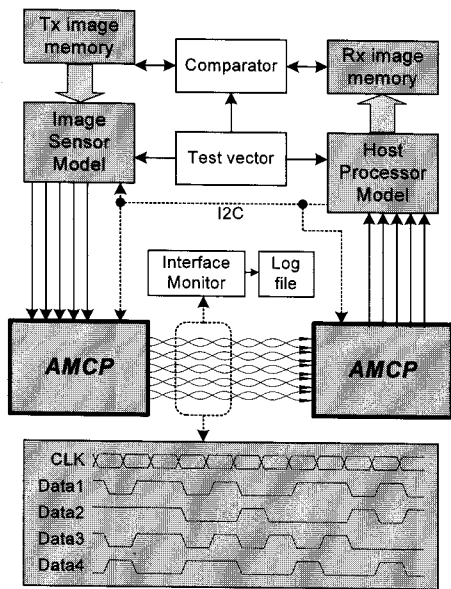


그림 10. 검증 환경  
Fig. 10. Top-level RTL verification environment.

2. 시뮬레이션 파형

그림 11과 12는 모바일 카메라가 CSI-2 및 D-PHY 송신단을 통해 이미지 데이터를 전송하는 경우이다. 시뮬레이션 툴은 Modelsim v6.1로 이루어졌고, 간단한 예제를 위해 가로 세로 4 픽셀을 가지는 RGB565 포맷의 빨간색의 이미지를 전송하도록 하였다.

먼저 그림 11은 4레이ンを 지원하는 경우의 시뮬레이션 결과이다. 먼저 그림 11의 (a)에서 카메라 이미지 센서가 클럭(CLK4TxCIS)과, 수직동기신호(VSYNC4TxCIS)를 AMCP 송신단으로 보내면, AMCP는 (b)에서 보는 것과 같이 클럭 레인(HS\_CLK\_OUT)과 4개의 데이터 레인(HS\_DATA\_OUT\_Lane)을 통해 직렬로 프레임 시작을 알리는 슛패킷을 전송한다. 이 패킷을 수신한 프로세서 수신단은 패킷을 해독한 후 바로 수직동기신호(VSYNC4RxCIS)를 호스트 프로세서로 보내게 된다. 다음으로 카메라는 (c)와 같이 수평동기신호(HSYNC4TxCIS)와 데이터 신호선(TxImgData)를 통해 이미지 데이터를 보내면, 4개의 데이터 레인을 통해 룡패킷으로 이미지 데이터가 (d)와 같이 전송된다. 또한 직렬 레인으로부터 데이터를 받은 수신단은 수평동기신호(HSYNC4RxCIS)와 데이터(RxImgData)를 호스트 프로세서로 보낸다. 2개의 라인 데이터를 계속 전송 한 후, 한 프레임의 마지막 데이터가 (e)와 같이 카메라 이미지 센서로부터 전송되면, 송신단 프로세서는 데이터 룡패킷을 (f)와 같이 보내고, 곧 바로 (g)와 같이 프레임의 끝을 알리는 슛패킷을 보내게 된다. 카메라 이미지

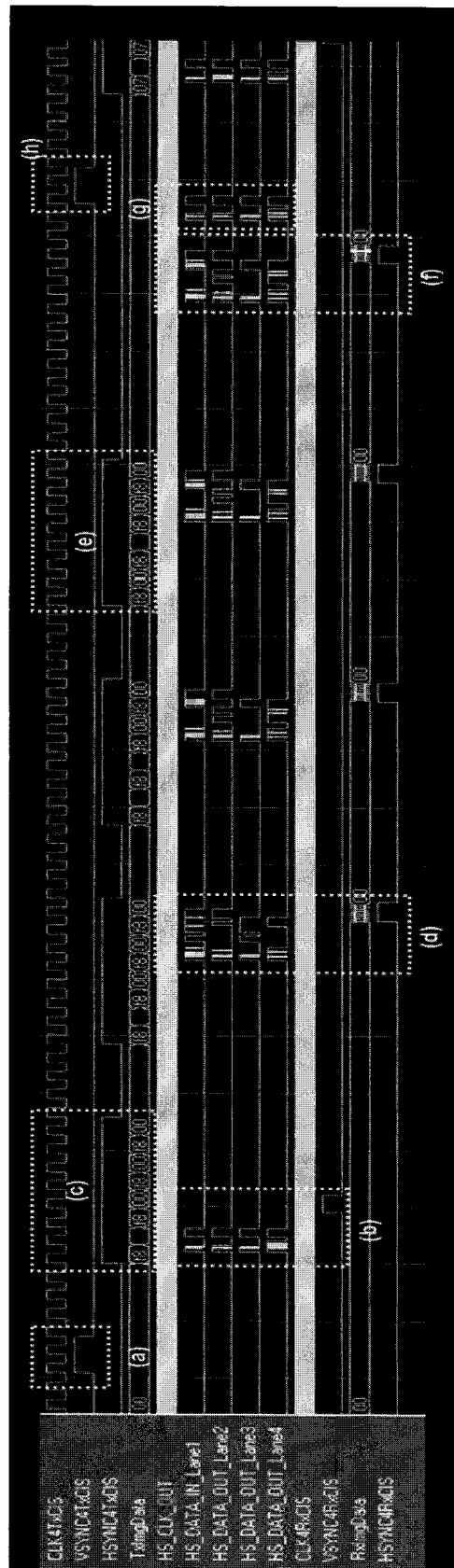


그림 11. 4레이ンを 지원하는 경우의 시뮬레이션 파형  
Fig. 11. The wave of simulation results showing multi lanes transmission.

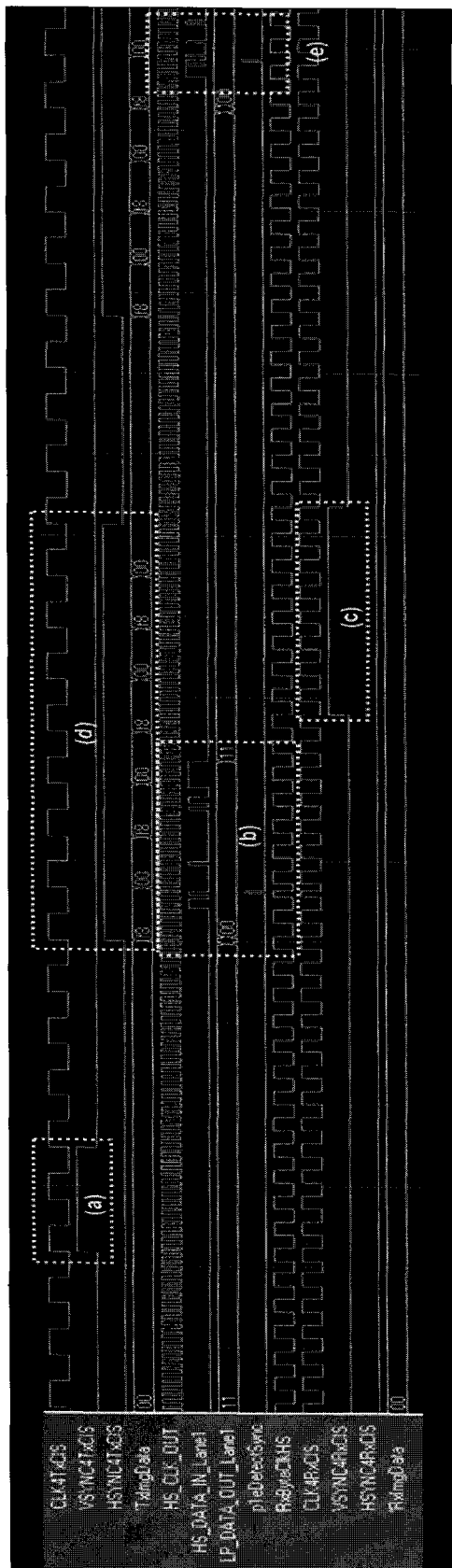


그림 12. 동기 코드 검출 및 바이트 클럭 동기 검출을 보여주는 파형  
 Fig. 12. The wave of simulation results showing synchronization detection.

센서는 다음 프레임 시작을 알리기 위해 (h)와 같이 다시 수직동기신호를 보내고 계속 데이터는 직렬 인터페이스를 통해 전송된다.

그림 12는 동기 코드 검출 및 바이트 클럭 동기 검출을 보여주는 파형으로 1개의 레인을 사용한 예제이다. 그림 11에서 같이 마찬가지로 카메라 이미지 센서는 수직동기 신호를 (a)와 같이 보내고, 프로세서 송신단은 데이터 레인을 통해 직렬로 송패킷을 (b)와 같이 보내게 된다. 이때 프로세서 수신단은 패킷을 통해 전송된 동기 코드를 검출하고(p1eDetectSync 신호가 1이 되는 부분을 나타냄), 바이트 클럭(RxByteClkHS)의 동기를 다시 맞추는 걸 확인 할 수 있다. 카메라로부터 전송된 데이터 역시, 직렬 패킷으로 전송되고, 수신단은 동기 코드를 검출하여 헤드와 데이터, 그리고 CRC를 전송받음을 (d)와 (e)를 통해 확인 할 수 있다.

### 3. 로직 합성

설계된 CSI-2 및 D-PHY 프로세서는 Xilinx SPARTAN XC3S200 FPGA 칩을 이용하여 구현되었다. 라인 버퍼는 Xilinx 칩에서 제공하는 듀얼 포트 메모리를 Xilinx CORE Generator v7.1를 통해 생성하여 라이브러리로 사용하였다. 또한 LVDS 블록은 Xilinx 칩 내부에 실장되어 있는 'LVDS\_25'라는 라이브러리를 이용하여 합성하였다. 합성 결과 속도는 80MHz로 D-PHY 스펙을 만족하였다. 또한 디바이스 내에서 사용된 면적은 라인버퍼를 제외하면 수신단은 6,000 게이트이며 송신단은 2,500 게이트로 향후 카메라 이미지 센서와 함께 온 칩 되는 경우 많은 면적을 차지하지 않음을 알 수 있다.

## V. 결 론

본 논문에서는 MIPI CSI-2 및 D-PHY 프로세서인 AMCP를 설계하였다. MIPI CSI-2는 멀티레인을 지원할 수 있고 이 경우 각 라인별로 상호 독립적인 D-PHY를 가지게 된다. 본 논문에서는 레인의 개수만큼 존재하는 버퍼의 구조를 하나로 통합하여, 지원하는 레인의 개수에 따라 버퍼를 유연하게 사용할 수 있는 CSI-2의 멀티레인관리계층을 제안하였다. CSI-2의 하위프로토콜계층은 생성된 패킷 전송의 보전성을 확보하기 위해 CRC 코드를 사용하는 데, 이를 실시간 생성을 위해 8비트 단위로 병렬로 처리하는 CRC 생성기를 사용하였다. 또한 전송되는 데이터의 동기 코드를 검출하



고 이를 이용한 바이트 클럭 동기를 위한 부분을 설계 하였다.

설계되어진 프로세서는 이미지 센서, 호스트 프로세서, 송수신단 메모리, 비교기, 인터페이스 모니터로 구성된 테스트 벤치를 통해 RTL 검증되었다.

설계된 CSI-2 및 D-PHY 모듈은 브리지 형태로 제공되어 기존의 카메라 센서와 호스트 프로세서와 오픈 칩 형태로 사용할 수 있을 뿐 아니라, 온 칩화 시킬 수 있는 IP 형태로도 사용 가능하다.

참 고 문 헌

[1] 전주성, “이동통신 단말기술 개발 동향과 발전 방향”, 전자부품연구원 전자정보센터 보고서, 2005,8.

[2] (주)폴리소프트, “음/복합 단말기 관련 제품 및 시장의 최근 동향”, 전자부품연구원 전자정보센터 보고서, 2006,7.

[3] (주)폴리소프트, “카메라 모듈 관련 국내 기술 및 제품의 최근 동향”, 전자부품연구원 전자정보센터 보고서, 2006,7.

[4] Charng L. Lee, Kuang-Ting Hsiao, and Min-Chung Chou, “A Low Power Mobile Camera Processor Design with SubLVDS Interface”, VSLI Design, Automation and Test, 2006 International Symposium, April. 2006, pp. 1-4

[5] 이재영, 김민식, 이경남, “핵심부품의 고집적화에 글로벌 모바일 시장구조 변화 방향”, 정보통신정책연구원 보고서, 2005,6.1997.

[6] www.mipi.org

저 자 소 개



현 유 진(정회원)  
 1999년 2월 영남대학교  
 전자공학과 학사  
 2001년 8월 영남대학교  
 전자공학과 석사  
 2005년 8월 영남대학교  
 전자공학과 박사  
 2005년 6월~현재 대구경북과학기술연구원  
 (DGIST) 선임연구원  
 <주관심분야 : 모바일 프로세서, 레이더 신호처리, 디지털시스템, SoC>



권 순(정회원)  
 2003년 2월 연세대학교  
 전자공학과 학사  
 2006년 2월 서울대학교  
 전자공학과 석사  
 2006년 2월~현재 대구경북과학기술연구원(DGIST) 연구원  
 <주관심분야 : 모바일 프로세서, 영상 신호처리, 디지털 시스템, SoC>



이 중 훈(정회원)  
 1996년 2월 성균관대학교  
 전자공학과 학사  
 1998년 2월 성균관대학교 전기  
 전자및컴퓨터공학과 석사  
 2002년 2월 성균관대학교 전기  
 전자및컴퓨터공학과 박사  
 2002년 1월~2005년 7월 삼성전자 통신연구소  
 책임연구원  
 2005년 7월~현재 대구경북과학기술연구원  
 (DGIST) 선임연구원  
 <주관심분야 : 실내외 정밀 측위, Optical interconnection, UWB, 모뎀>



정 우 영(정회원)  
 1984년 2월 서울대학교  
 전자공학과 학사  
 1986년 2월 한국과학기술원  
 전기및전자공학과 석사  
 1991년 8월 한국과학기술원  
 전기및전자공학과 박사  
 1991년 8월~1999년 9월 삼성전자 수석연구원  
 1999년 9월~2003년 5월 코어세스 연구소장  
 2004년 3월~2004년 12월 숭실대학교 객원교수  
 2004년12월~현재 대구경북과학기술연구원  
 (DGIST) 책임연구원  
 <주관심분야 : 실내외 정밀 측위, UWB, 모뎀>