

고조파 제거 회로를 갖는 전력 증폭기 설계에 관한 연구

Realization of Power Amplifier Using a Harmonic Rejection Circuit

송병진 · 김재현 · 고민호 · 박효달

Byoung-Jin Song · Jae-Hyun Kim · Min-Ho Go · Hyo-Dal Park

요 약

본 논문에서는 마이크로스트립 구조의 고조파 제거 회로를 이용하여 900 MHz 1 W 전력 증폭기 설계에 관하여 연구하였다. 기존의 전력 증폭기들에는 고조파 제거를 위하여 여러 단의 집중 정수 소자를 이용한 필터를 사용함으로써 회로의 크기가 커지고, 사용되는 마이크로스트립 선로의 경우 주파수의 반복적인 특성만을 나타냄으로써, 비선형 회로들의 출력에 존재하는 모든 고조파 성분들을 제거하지 못하는 단점을 개선한 것이다. 설계된 전력 증폭기는 구동 증폭단, 전력 증폭단 그리고 고조파 제거단으로 각각 구성하였고, 에폭시 기판에 하이브리드 형식으로 구현하였다. 구현된 전력 증폭기는 고조파 제거 회로를 부가하지 않았을 경우와 비교해서 24 dBc의 2차 고조파, 30 dBc의 3차 고조파의 감쇄 특성을 보였으며, 전력 증폭기와 안테나 사이의 출력단 필터를 대신할 수 있을 것으로 판단된다.

Abstract

In this paper, I study on the realization of 900 MHz 1 W power amplifier using a harmonic rejection circuit. The proposed harmonic rejection circuit has improved the harmonic rejection characteristic and overcoming the problems related with frequency reproducibility on the microstrip line. The proposed power amplifier, fabricated by the type of hybrid with the epoxy PCB, was composed of driver stage and power amplifier stage with harmonic rejection circuit. The fabricated power amplifier shows -24 dBc and -30 dBc of harmonic rejection characteristic at 2nd and 3rd harmonic compared with that is not used, respectively and it could be replace the filter located between an output stage and an antenna.

Key words : Power Amplifier, Microstrip, Harmonic Rejection, Hybrid, Linearity

I. 서 론

RF 무선 통신 기술은 전 세계적으로 정보 통신과 이동 통신 분야의 급격한 발전과 더불어 사용자의 요구 및 주파수 자원의 효율성에 따라 다양한 서비스와 시스템이 개발되고 있다. 무선 시스템은 변조 신호 송신을 위해 안테나를 이용하며, 대기 중에 방사하기 위해서 필요한 만큼의 전력을 공급해 주는

전력 증폭기가 사용된다. 전력 증폭기는 최소한의 전력으로 입력 전력 및 외부 환경의 영향을 받지 않고 시스템이 요구하는 선형성을 만족시켜야 하나, 최대 전력을 추출하기 위해 능동 소자인 트랜지스터를 비선형 특성이 강한 포화 영역에서 동작시키기 때문에 증폭기의 이득과 위상의 왜곡을 초래한다. 이러한 왜곡은 다중 채널 입력 시 혼변조 신호(intermodulation signal)들을 발생시키고, 이러한 혼변조

「본 연구는 (재)인천광역시정보산업진흥원 지원 "RFID 기반 항공물류용 OS임베디드 탑재 복합단말기시험 및 서비스 기술개발사업"으로 수행되었음.

인하대학교 전자공학과(Department of Electronic Engineering, Inha University)

· 논문 번호 : 20070329-039

· 수정완료일자 : 2007년 5월 16일

신호들은 혼신(cross talk) 또는 잡음(noise)으로 작용하여 통화 품질을 저하시키는 요인이 되기 때문에 고조파를 송신 신호로부터 제거할 수 있는 선형 전력 증폭기 및 고조파 제거 장치에 관한 요구가 증가되고 있다^{[1],[2]}.

본 논문에서는 기존의 전송 선로 반복적 특성 때문에 기본 공진 주파수는 통과시켜서 부하로 전달하고 동시에 원하지 않는 모든 고조파 성분을 제거시키는 고조파 제거 회로를 구현하는 것이 제한되었던 점을 개선하여, 병렬로 연결된 개방 회로를 갖는 전송 선로와 단락 회로를 갖는 전송 선로의 길이를 비대칭적으로 구성하여 비선형 회로의 출력에 존재하는 신호 성분들에서 고조파 성분들을 제거하는 회로를 구현하고, 이를 RFID 주파수 대역^{[3],[4]}인 900 MHz 대역에서 동작하는 전력 증폭기에 적용하여 1 W의 출력과 향상된 효율을 얻을 수 있도록 설계하였다.

II. 고조파 제거 회로

2-1 기존의 $\lambda/4$ 스트립 선로를 이용한 고조파 제거

기존에는 고조파 성분을 제거하기 위해서 길이가 $\lambda/4$ 인 개방 부하를 갖는 전송 선로나 길이가 $\lambda/4$ 인 단락 부하를 갖는 전송 선로를 사용하였다^[5].

그림 1은 입력과 출력이 병렬로 연결되어 있는 길이가 $\lambda/4$ 인 개방 부하를 갖는 전송 선로를 나타내었다.

그림 2는 1 GHz의 $\lambda/4$ 길이를 갖는 병렬형 개방 스텐브의 주파수를 나타낸 것으로 원하는 기본 공진 주파수와 홀수차 고조파 성분들을 제거시키고 짝수차 고조파 성분들은 통과시키는 전달 특성을 가지고 있다.

그림 3은 입력과 출력이 병렬로 연결되어 있는 길

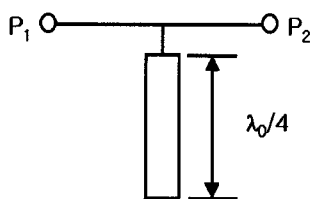


그림 1. $\lambda/4$ 병렬 개방 스텐브의 구성도
Fig. 1. The basic schematic of $\lambda/4$ shunt open stub.

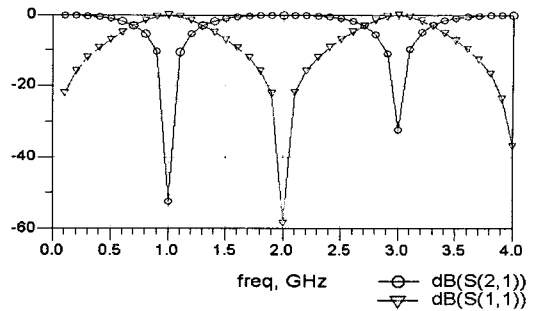


그림 2. 1 GHz의 $\lambda/4$ 길이를 갖는 병렬형 개방 스텐브의 주파수에 따른 특성
Fig. 2. The characteristic of parallel open stub having $\lambda/4$ length of 1 GHz.

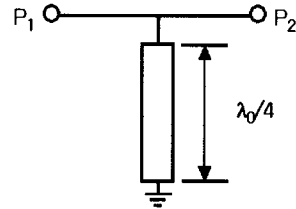


그림 3. $\lambda/4$ 병렬 단락 스텐브의 구성도
Fig. 3. The basic schematic of $\lambda/4$ short shunt stub.

이가 $\lambda/4$ 인 단락 회로를 갖는 전송 선로이며, 그림 4는 1 GHz의 $\lambda/4$ 길이를 갖는 병렬형 단락 스텐브의 주파수에 따른 특성을 나타낸 것으로 원하는 기본 공진 주파수와 홀수차 고조파 성분들은 통과시키고 짝수차 고조파 성분들은 제거시키는 전달 특성을 나타낸다.

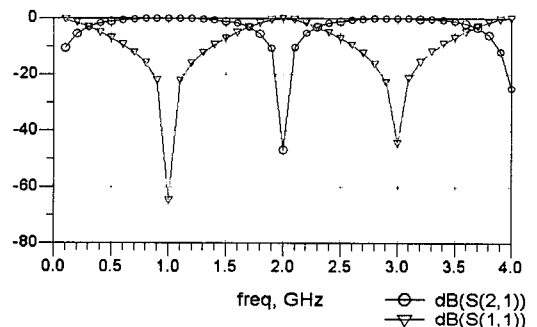


그림 4. 1 GHz의 $\lambda/4$ 길이를 갖는 병렬형 단락 스텐브의 주파수에 따른 특성
Fig. 4. The characteristic of parallel short stub having $\lambda/4$ length of 1 GHz.

그림 2와 그림 4처럼 초고주파 및 밀리미터 대역에서는 마이크로스트립 및 도파관과 같은 분포 소자 특성을 갖는 전송 선로로 고조파 제거 회로를 구현하지만, 전송 선로가 주파수에 반복적인 특성을 갖기 때문에 원하는 기본 공진 주파수는 통과시키고, 반면에 비선형 회로의 출력에 존재하는 홀수차 및 짝수차 고조파 성분들을 제거하지 못하는 단점을 갖는다.

2-2 제안하는 새로운 형태의 고조파 제거 회로

그림 5는 논문에서 제안하는 고조파 제거 회로의 기본 구성을 나타낸 것으로 기본 공진 주파수(f_0)에서 개방 부하를 갖는 $\lambda/8$ -마이크로스트립 선로와 단락 부하를 갖는 $\lambda/8$ -마이크로스트립 선로를 병렬로 구성하여 전체적으로 마이크로스트립 선로의 길이가 기본 공진 주파수(f_0)에서 $\lambda/4$ 길이를 갖도록 구성하였다.

고조파 제거 회로의 첫째단의 동작 원리는 기본 공진 주파수(f_0)에서는 두 마이크로스트립 선로의 전체 길이가 $\lambda/4$ 이므로 병렬 공진(parallel resonance) 특성을 나타내며, 2차 공진 주파수($2f_0$)에서는 개방 부하를 갖는 $\lambda/8$ -마이크로스트립 선로가 $\lambda/4$ 로 동작하기 때문에 직렬 공진(serial resonance) 특성을 나타낸다.

첫째 단의 $\lambda/8$ -개방 회로를 갖는 전송 선로는 전송선 길이가 $\lambda/4$ 보다 적기 때문에 인덕티브 성분을 나타내고, $\lambda/8$ -단락 회로를 갖는 전송 선로는 전송선 길이가 캐패시턴스 성분을 갖는다. 이때 두 전송선의 길이의 합이 $\lambda/4$ 이면 두 전송선로 성분이 합쳐져서 나타나는 리액턴스 또는 서셉턴스 값의 크기는 같지만, 허수 성분은 반대 부호가 되기 때문에 기본 공진 주파수에서는 병렬 공진 특성을 갖는다. 즉,

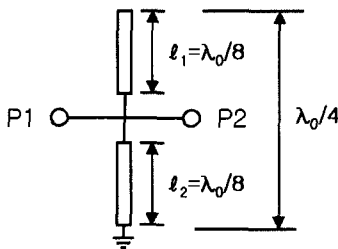
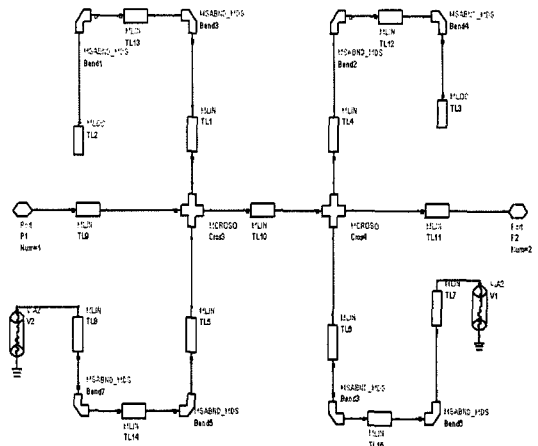


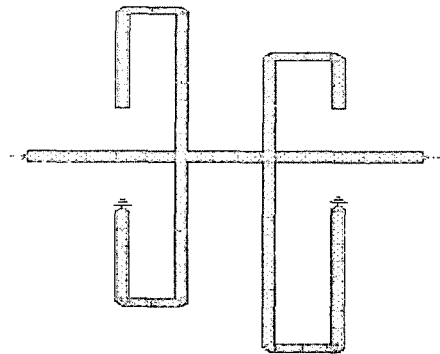
그림 5. 제안된 고조파 제거 회로 구성
Fig. 5. The proposed harmonic rejection circuit.

원하는 기본 공진 주파수와 홀수차 고조파 성분은 통과시키고 짝수차 고조파 성분들을 제거하는 특성을 갖는다.

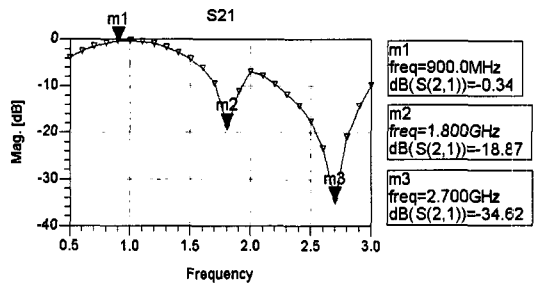
둘째 단은 첫째단과 같은 원리로 $\lambda/12$ -개방 회로를



(a) ADS 설계회로
(a) Designed the circuit by ADS



(b) 레이아웃
(b) Layout



(c) 모의 실험 결과
(c) Simulation result

그림 6. 제안된 고조파 제거 회로의 설계회로
Fig. 6. The proposed harmonic rejection circuit.

갖는 전송 선로와 $\lambda/6$ -단락 회로를 갖는 전송 선로가 병렬로 구성되어 있기 때문에 두 전송선의 길이의 합이 $\lambda/4$ 이므로 기본 공진 주파수에서는 병렬 공진 특성을 갖는다. 결국, 기본 공진 주파수 성분은 통과시키고 개방 회로를 갖는 전송 선로에 의해서 단지 3차 고조파 성분만 제거시키는 전달 특성을 갖게 된다.

그림 6은 본 논문에서 적용 가능하도록 제안한 고조파 제거 회로의 설계 회로와 모의 실험 결과를 나타내었다.

그림 6(b)의 모의 실험 결과에서 보듯이 원하는 기본 공진 주파수는 통과시키는 반면에 짝수차 및 홀수차 고조파 성분들은 제거시키는 특성을 나타내고 있다.

III. 설계 및 모의 실험

3-1 전력 증폭기 설계

제안된 전력 증폭기는 구동 증폭단, 전력 증폭단 및 고조파 제거단으로 구성하였으며, 모의 실험 및 최적화 결과를 토대로 910 MHz 대역에서 동작하는 전력 증폭기를 설계하였다. 제안된 회로를 설계하기 위해서 마이크로웨이브 대역의 회로 설계에 적합한 Agilent Technology사의 ADS2004를 사용하였으며, 정확한 모의 실험을 위하여 PCB 재질 정보 및 사용 소자의 정확한 모델링 파라미터를 입력하였다. 또한 수동 소자는 모의 실험과의 오차를 적게 하기 위하여 ADS2004 라이브러리에 있는 무라다사의 커패시터와 도코사의 인덕터를 사용하였다. 그리고 회로 내에 사용되는 모든 스트립 라인의 길이를 고려하여 모의 실험을 수행하였다.

그림 7은 구동 증폭단, 전력 증폭단 및 고조파 제거 회로로 구성된 전력 증폭기의 구성도이며, 전체 회로도도 그림 8에 나타내었다.

구동 증폭단은 단일 전원으로 동작하며 높은 선형

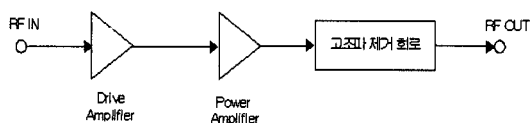


그림 7. 제안된 전력 증폭기 구성도
Fig. 7. Configuration of proposed power amplifier.

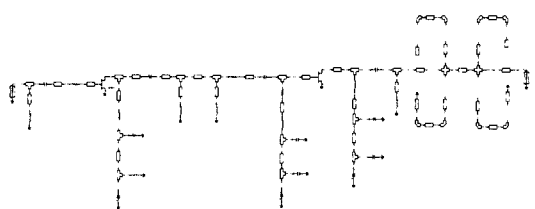


그림 8. 제안된 전력 증폭기 전체 회로
Fig. 8. The overall schematic of proposed PA.

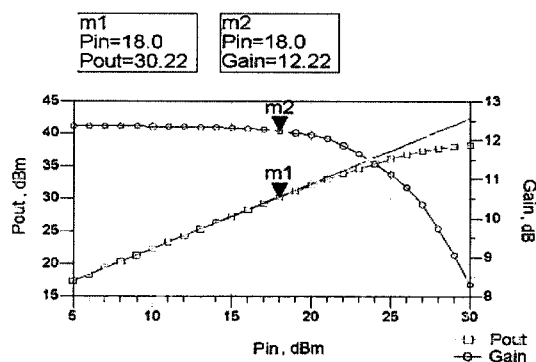


그림 9. 입력 레벨에 따른 이득 및 출력 레벨
Fig. 9. The output power level according to input power level.

이득을 얻을 수 있는 InGaP/GaAs HBT를 사용하여 설계하였으며, -4 dBm의 전력을 인가하였을 때 18 dBm의 출력 전력과 20 dB의 이득 특성을 나타내었다. 전력 증폭단에는 선형성 및 효율성이 우수한 VDMOS 계열의 Polyfet사에서 제공하는 SP201 트랜지스터를 전력 소자로 사용하였으며, 30 dBm의 출력 전력 및 10 dB의 전압 이득을 얻도록 설계하였다

그림 9는 전력 증폭단의 출력에 대하여 임피던스 정합한 이후에 얻은 결과로써 입력 레벨에 따른 출력 레벨 및 이득 곡선을 나타낸다.

전력 증폭단의 입력으로 18 dBm의 전력이 인가되었을 때, 30 dBm의 출력 및 12 dB의 이득 특성을 나타내었다.

고조파와 스퓨리어스는 자기 회로 내에서 잡음을 발생할 수 있는 요소이며, 다른 대역에서 사용되는 제품에 치명적인 영향을 줄 수도 있는 요소이다. 그림 10은 이러한 영향을 고려하기 위하여 고조파 및 스퓨리어스 특성을 측정하는 것으로, 18 dBm의 입력 전력을 인가하였을 때, 제 2 고조파 출력은 1.82 GHz

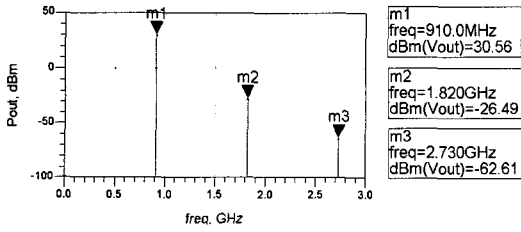


그림 10. 고조파 제거 회로를 이용한 전력 증폭기의 출력 고조파 성분

Fig. 10. Output harmonic components of power amplifier using harmonic rejection circuit.

에서 -0.9 dBm, 제 3 고조파 출력은 2.73 GHz에서 -21.6 dBm을 각각 나타냈다.

IV. 제작 및 측정

본 논문에서 제안한 전력 증폭기를 제작하기 위하여 제 모의 실험 회로를 바탕으로 PCB 회로를 구성하였다. 전체 전력 증폭 회로는 구동단, 전력 증폭단 및 고조파 제거부로 나누어 제작 및 측정하였으며, 최종적으로 통합된 회로를 구현하였다.

4-1 제작

PCB 제작을 위해 Agilent Technologies사의 ADS-2004(Advanced Design System)와 Mentor Graphics사의 PADS를 결합하여 레이아웃을 수행하였다. 회로내의 소자와 전송 선로간의 커플링을 방지하기 위하여 소자의 배치를 고려하였으며, 전력 증폭 소자의 열로 인하여 성능 저하를 막기 위하여 PCB 양면을 그라운드 사용하여 방열되는 면적을 넓히도록 하였다.

그림 11은 유전율 4.4, 두께 0.8 mm인 에폭시 기판에 구현한 전력 증폭기의 실제 사진이다. 집중 정수 소자는 2012 칩 타입 소자를 사용하였다. 제작된

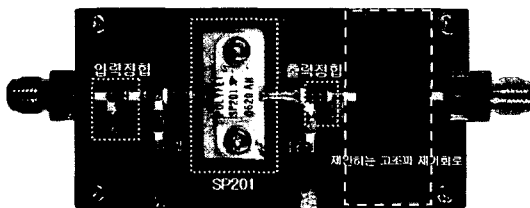


그림 11. 제작된 전체 전력 증폭기의 사진
Fig. 11. The picture of fabricated power amplifier.

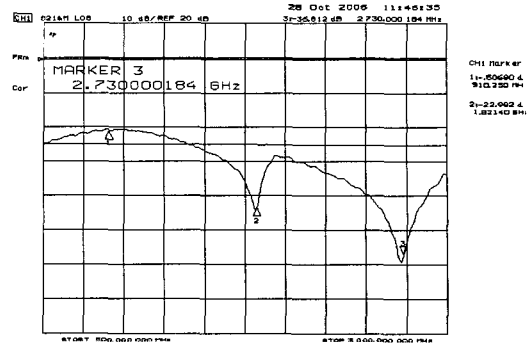


그림 12. 측정된 고조파 제거 회로의 주파수 특성
Fig. 12. The measured harmonic rejection characteristic.

전력 증폭기의 크기는 65×35 mm이며, 그라운드에 방열판을 부착하였다.

4-2 측정 결과

그림 12는 고조파 제거 회로의 주파수에 따른 특성으로, 1.82 GHz와 2.73 GHz에서 각각 -24 dB 및 -36 dB의 특성을 나타내었다.

설계된 전력 증폭단은 18 dBm의 입력 전력을 인가 받아 30 dBm의 출력을 갖도록 설계되었으며, 출력 및 이득 특성을 측정하기 위하여 신호 발생기를 전력 증폭단의 입력에 연결하여 18 dBm의 전력을 인가하였다. 40 dB의 감쇄기를 출력단에 연결하여 이득 및 반사 특성을 확인하였으며, 그림 13은 주파수 분석기로 측정된 출력이 27.05 dBm/2 tone의 특성

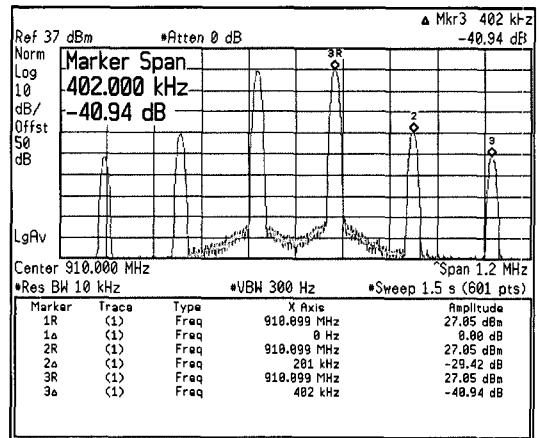


그림 13. 측정된 전력 증폭기의 2-tone 레벨
Fig. 13. The measured 2-tone signal level of PA.

을 보여주고 있다. 이는 ISO/ IEC-18000-6에 규정하는 채널간 대역폭 200 kHz로 측정하였다.

출력이 27.05 dBm/2 tone일 때 기본 주파수와 2차 IMD 주파수의 차이는 29.42 dBc이고, 기본 주파수와 3차 IMD 주파수의 차이는 40.94 dBc의 차이를 보이고 있다. 실제 감쇄기의 감쇄 특성은 41.7 dB였으며, 케이블의 손실은 약 1.2 dB였다. 게이트와 드레인에는 각각 3.3 V, 24 V의 고정 전압을 인가하였을 때, 8 dB의 이득을 얻었으며, 모의 실험과 유사한 결과값을 나타내었다.

그림 14는 고조파 제거 회로를 부가하지 않았을 때의 전력 증폭기의 출력이 30 dBm/2tone일 때, 2차 고조파와 3차 고조파의 레벨을 나타낸다. 이 때 제 2차 고조파의 레벨은 0.8 dBm이며, 제3차 고조파의 레벨은 -2.7 dBm으로써 각각 기본 주파수와 29.2 dBc, 33.05 dBc의 IMD 특성을 보였다.

그림 15는 고조파 제거 회로를 부가하였을 때의 2차 고조파와 3차 고조파의 레벨을 나타낸다. 제2차 고조파의 레벨은 -24 dBm이며, 제3차 고조파의 레벨은 -35 dBm으로써 각각 기본 주파수와 54.09 dBc, 65.25 dBc의 IMD 특성을 보이며, 고조파 제거 회로를 부가하지 않았을 경우와 비교해서 2차 고조파는 24 dBc, 3차 고조파는 30.3 dBc 만큼 감쇄 특성이 개선되었음을 확인하였다.

표 1은 모의 실험 결과값과 제작품의 측정값을 비교 정리한 것이다. 30 dBm의 기본 주파수 출력시 2차 고조파와 3차 고조파의 크기는 각각 -24 dBm 및 -35 dBm으로써 고조파 제거 회로를 부가하지

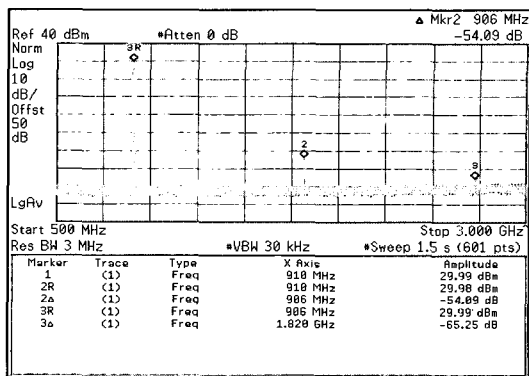


그림 15. 전체 전력 증폭기의 감쇄된 고조파 성분
Fig. 15. The reduced harmonic of power amplifier using harmonic rejection circuit.

표 1. 전력 증폭기의 설계치 및 측정치 비교
Table 1. Simulation result and comparison performance of power amplifier.

| 구성단 | 특성 | 설계치 | 결과치 |
|---------|-------------------------|---------------------|---------------------|
| 전력 증폭단 | 이득 | 10 dB | 8 dB |
| | 출력 | 30 dBm | 30 dB |
| | IMD | 35 dBc | 30 dBc |
| 구동 증폭단 | 이득 | 20 dB | 20 dB |
| | 출력 | 18 dBm | 18 dBm |
| 고조파 제거단 | S_{21} (2차/3차) | -19 dB/ -34 dB | -24 dB/ -36 dB |
| | 고조파 전력 레벨 (2차/3차) | -26 dBm/ -62 dBm | -54 dBm/ -65 dBm |

않았을 경우보다 24 dBc 및 30 dBc의 제거 성능이 향상되었으며, 모의 실험과 근사한 결과를 얻었다.

V. 결 론

본 논문에서는 마이크로스트립 구조의 고조파 제거 회로를 이용하여 900 MHz 1 W 전력 증폭기 설계에 관한 연구이다. 마이크로스트립 선로로 구현된 고조파 제거 회로를 이용한 전력 증폭기는, 2차 고조파와 3차 고조파에서 각각 24 dBc, 30 dBc의 향상된 고조파 제거 특성을 나타내었다. 제작된 전력 증폭기의 측정 결과가 모의 실험의 결과와 비교했을 때 다소 오차가 발생하였으며, 이는 입출력 임피던스 정합시 발생한 오차와 그라운드 연결의 결함으로

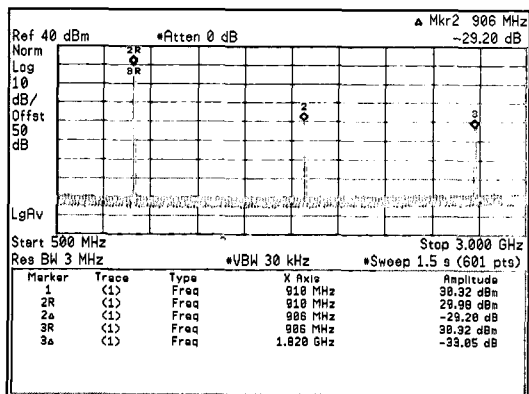


그림 14. 전력 증폭기의 고조파 성분
Fig. 14. The harmonic components of power amplifier.

나타난 것으로 여겨진다. 본 논문에서 제안한 고조파 제거 회로는 제거시키고자 하는 고조파 차수에 따라서 유연한 고조파 제거 회로를 구성할 수 있는 장점이 있다. 따라서 전력 증폭기뿐만 아니라 비선형 특성을 갖는 회로들의 출력에 전송 선로로 구현함으로써 원하는 신호 성분은 통과시키고 원하지 않는 모든 고조파 성분들을 제거하는 고조파 제거 회로로써 활용될 수 있을 것으로 사료된다.

참 고 문 헌

[1] Tom Cameron, *UHF RFID Industry Growth Powered by RF Technology*, Reprinted with permission of Microwave Journal, 2005 Horizon House

Publications, Inc.

[2] G. D Vendelin, A. M. Pavio, and U. Rohde, *Micro-wave Circuit Design Using Linear and Nonlinear Techniques*, John Wiley and Sons, 1990.
 [3] ISO/IEC, "Radio-frequency identification for item management-parameters for air interface communications at 860 MHz to 960 MHz", *Joint Technical Committee ISO/IEC/JTC*, Jul. 2005.
 [4] *900 MHz RFID System Requirement Document system and RF part*.
 [5] J. S. Wight, "Equivalent circuits of microstrip impedance discontinuities and launchers", *IEEE Trans. Microwave Theory and Tech.*, Jan. 1974.

송 병 진



2005년 2월: 인하대학교 전자공학과 (공학사)
 2007년 2월: 인하대학교 전자공학과 (공학석사)
 [주 관심분야] RF 전력 증폭기, 선형화 회로

고 민 호



1995년 2월: 여수대학교 전자통신공학과 (공학사)
 1997년 2월: 인하대학교 전자공학과 (공학석사)
 2003년~현재: 인하대학교 전자공학과 박사과정
 [주 관심분야] 무선통신 시스템 설계, 초고주파 회로 설계, RFIC 설계, 안테나 설계

김 재 현



2003년 2월: 인천대학교 전자공학과 (공학사)
 2003년~현재: 인하대학교 전자공학과 석사과정
 [주 관심분야] RF 전력 증폭기, MM-IC

박 효 달



1978년 2월: 인하대학교 전자공학과 (공학사)
 1987년 2월: (불)국립항공우주대학 전자공학과 (공학박사)
 1992년~현재: 인하대학교 전자공학과 교수
 [주 관심분야] 항공통신 시스템 설계, 초고주파 회로 설계 전자장 이론, 안테나 공학