

S-RCAT (Spherical Recess Cell Array Transistor) 구조에 따른 FN Stress 특성 열화에 관한 연구

論 文
56-9-16

The Research of FN Stress Property Degradation According to S-RCAT Structure

李東仁* · 李成泳** · 盧用翰†
(Dong-in LEE · Sung-young Lee · Yong-han Roh, Professor)

Abstract - We have demonstrated the experimental results to obtain the immunity of FN (Fowler Nordheim) stress for S-RCAT (Spherical-Recess Cell Array Transistor) which has been employed to meet the requirements of data retention time and propagation delay time for sub-100-nm mobile DRAM (Dynamic Random Access Memory). Despite of the same S-RCAT structure, the immunity of FN stress of S-RCAT depends on the process condition of gate oxidation. The S-RCAT using DPN (decoupled plasma nitridation) process showed the different degradation of device properties after FN stress. This paper gives the mechanism of FN-stress degradation of S-RCAT and introduces the improved process to suppress the FN-stress degradation of mobile DRAM

Key Words : DRAM, S-RCAT, FN STRESS, Degradation, Dual Poly Gate, Oxidation

1. 서 론

동일한 디자인 룰 (design rule)을 사용하는 디램(DRAM)에서도 제품별 요구 특성에 따라 아래 표1과 같이 상이한 공정으로 셀트랜지스터(cell transistor)를 제작하고 있다. DEVICE_A와 DEVICE_B의 가장 큰 공정상 차이점은 DEVICE_B 는 이중폴리게이트(dual-poly gate (DPG)), 적층게이트 유전체(stacked gate dielectric (제1 산화막(G_{ox1})(DIT LEVEL HIGH) + 제2 산화막(G_{ox2})(DIT LEVEL LOW) + Decoupled Plasma Nitride (DPN))), 비대칭채널도핑(Asymmetric Channel(ASC) doping)을 사용하여 그림2와 같이 독특한 구조를 갖게 된다는 것이다. [1]

동일한 디자인 룰 (design rule)을 사용하는 디램(DRAM)에서도 제품별 요구 특성에 따라 아래 표1과 같이 상이한 공정으로 셀트랜지스터(cell transistor)를 제작하고 있다. DEVICE_A와 DEVICE_B의 가장 큰 공정상 차이점은 DEVICE_B 는 이중폴리게이트(dual-poly gate (DPG)), 적층게이트 유전체(stacked gate dielectric (제1 산화막(G_{ox1})(DIT LEVEL HIGH) + 제2 산화막(G_{ox2})(DIT LEVEL LOW) + Decoupled Plasma Nitride (DPN))), 비대칭채널도핑(Asymmetric Channel(ASC) doping)을 사용하여 그림2와 같이 독특한 구조를 갖게 된다는 것이다. [1]

Table 1. DEVICE_A, DEVICE_B Process difference
표 1. DEVICE_A, DEVICE_B 공정 차이

	DEVICE_A	DEVICE_B	비교
게이트 공정	Single Poly Gate	Dual Poly Gate	✓ Poly depletion effect 차이 ✓ Dopant non-uniformity 차이
게이트 유전막	Gox1 + Gox2	Gox1 + Gox2+DPN	✓ 자체 trap 존재 가능성
채널 구조	Symmetric Channel	Asymmetric Channel	✓ 취약부분 E-field 집중

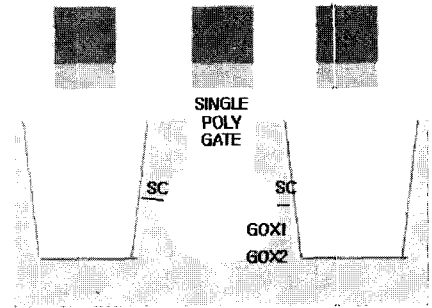


그림 1. DEVICE_A Cell transistor 구조
Fig 1. DEVICE_A Cell transistor structure

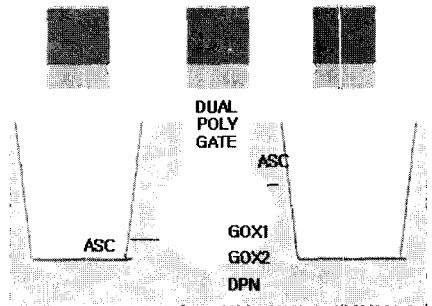


그림 2. DEVICE_B Cell transistor 구조
Fig 2. DEVICE_B Cell transistor structure

† 교신저자, 正會員 : 삼성전자 메모리 사업부
E-mail : Ddong71.lee@samsung.com

* 正會員 : 삼성전자 메모리 사업부

** 正會員 : 성균관대 전기전자컴퓨터공학과 교수

接受日字 : 2007年 7月 19日

最終完了 : 2007年 8月 1日

이러한 상이한 구조를 갖는 S-RCAT 의 경우 동일 FN Stress(DC 6V) 후 DEVICE_A 의 경우 Fig3.과 같이 셀 트랜지스터의 문턱전압 (CVT) 이 증가하는 방향으로 움직였으며, DEVICE_B 의 경우 Fig4.와 같이 CVT 가 감소하는 방향으로 움직였다.

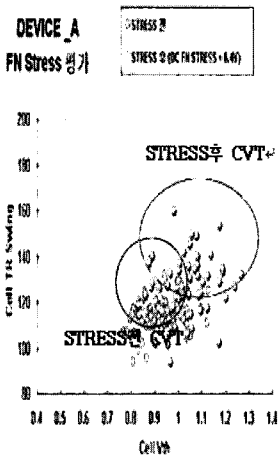


그림 3. DEVICE_A FM Stress (DC=6.4V) 후 CELL VT 변동

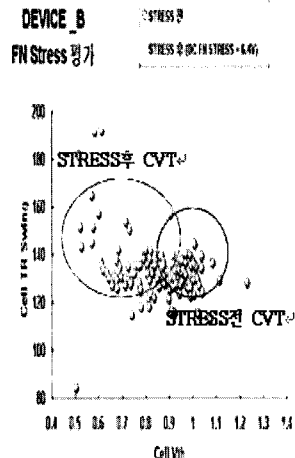


그림 4. DEVICE_B FM Stress (DC=6.4V) 후 CELL VT 변동

DEVICE_A 의 경우 소자 사용시간의 누적에 따라 CVT 증가로 인한 소자의 동작속도 열화가 예상되며,

DEVICE_B의 경우 소자 사용시간의 누적에 따라 CVT 감소로 인한 다이내믹(dynamic retention time 열화) 불량량의 증가가 예상 된다. 이러한 S-RCAT 의 특성 변화를 최소화 하기 위하여 열화 유발 원인 규명을 위한 측정과 개선을 위한 실험을 진행 하였다.

2. 실험 및 시료 제작 공정

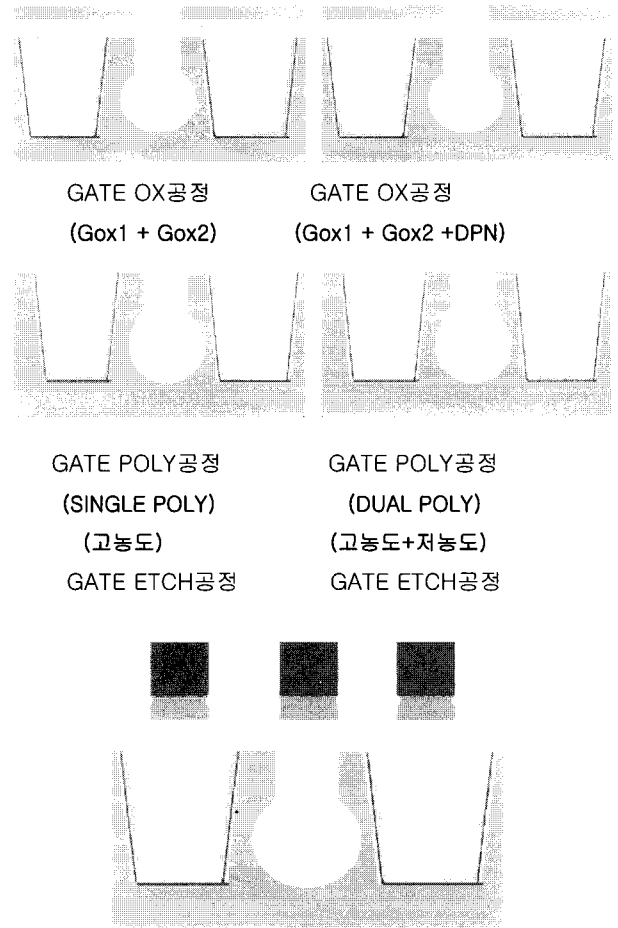
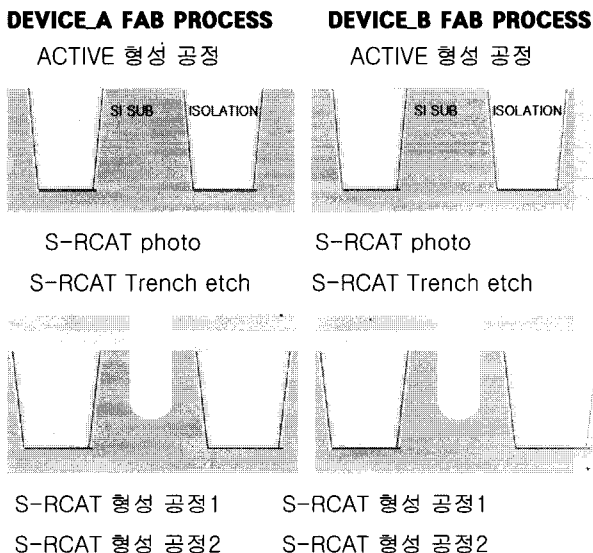


그림 5. DEVICE_A , DEVICE_B의 Fab Process
Fig 5. DEVICE_A, DEVICE_B Fab Process

그림 5는 통상적인 DRAM 제조 공정을 이용하여 제작되는 DEVICE_A와 DEVICE_B S-RCAT의 제작 과정을 개략도로 나타낸 것으로, 대부분의 제조 공정은 동일하나 제품 요구 특성에 따라서 다른 게이트 산화막 성장과 게이트폴리 침적 공정을 통하여 각각 제작되었음을 나타내고 있다.[2] DEVICE_B의 개선 조건은 산화막 형성 과정에서 Gox1 형성 방법을 Gox2 형성방법으로 모두 변경한 것을 제외하고 그림 5에 나타난 기존의 DEVICE_B 제조 공정과 동일한 공정을 이용하여 제작하였다.

3. 결과 및 고찰

DEVICE_A와 DEVICE_B의 주요 차이점이 DEVICE_A는 Single Poly Gate(SPG) 막질을 사용 하고 DEVICE_B는 Dual Poly Gate (DPG) 막질을 상용 하는 것이 주요한 차이점이나 디램 셀 소자 특성에는 영향이 미미하나 DPG를 사용 함에 따라 Pmos 부분의 Gate poly의 boron 침투를 효과적으로 제어하기 위하여 게이트 유전막에 DPN를 추가로 진

행하게 된다.

위와 같은 이유로 DEVICE_A와 DEVICE_B는 서로 다른 게이트 유전막을 사용하기 때문에 물리적인 유전막의 두께가 동일하더라도 정전용량에 의한 산화막 두께 (capacitively equivalent oxide thickness(CET))가 다른 점을 고려하면, 동일한 게이트 전압 (5.5V)의 FN stress가 인가되더라도 소자가 경험하는 전기장의 차이를 예상할 수 있다.

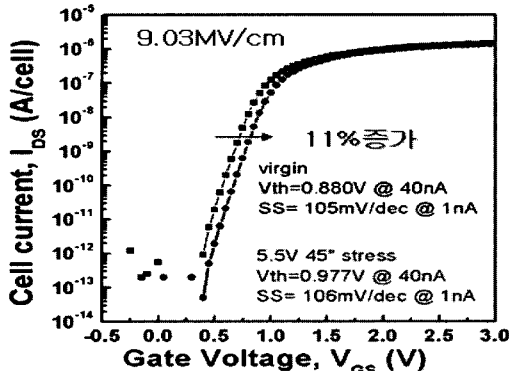


그림 6. DEVICE_A FN stress(5.5V)후 CVT 변화
Fig 6. DEVICE_A after FN stress (5. 5V) CVT change

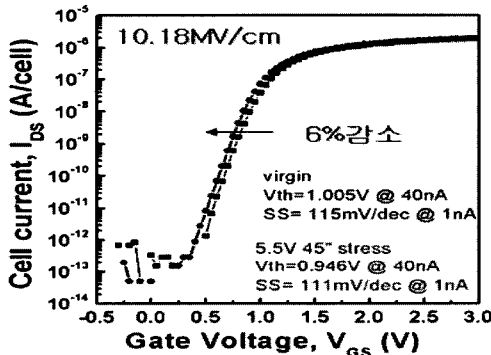


그림 7. DEVICE_B FN stress(5.5V)후 CVT 변화
Fig 7. DEVICE_B after FN stress (5. 5V) CVT change

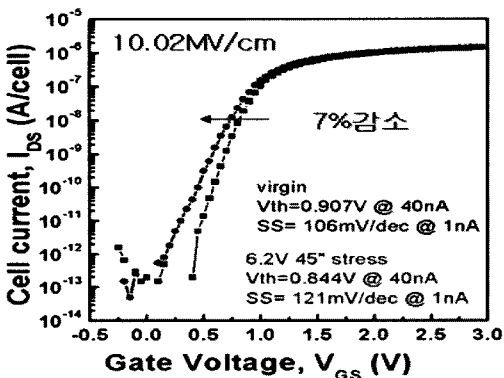


그림 8. DEVICE_A FN stress(6.2V)후 CVT 변화
Fig 8. DEVICE_A after FN stress (6.2V) CVT change

Fig 6,7.의 특성 차이는 전기장의 차이에서 비롯된 것이라 판단된다. DEVICE_A도 10MV/cm의 전기장으로 FN stress를 인가하면 Fig8.과 같이 DEVICE_B와 동일하게 CVT가 감소되는 현상을 통해서 두 제품간의 FN stress후의 상이한 CVT 변화 거동은 FN stress전기장에 의한 차이에서 비롯되었다는 주장을 뒷받침할 수 있다. FN stress에 의해서 CVT가 감소되는 현상은 Fig 9와 같이 산화막에 걸리는 전기장이 저전계에서 고전계로 바뀌면서 전자가 포획(trap)되다가 정공이 포획되는 것으로 포획방식(trap mode)이 변경되는 것이라 생각된다.[3] DEVICE_B의 경우는 DPN을 사용하기 때문에 게이트 유전막내에 정공을 많이 함유하고 있어서 양의 게이트 전압이 걸리면 유전막내의 정공이 실리콘/산화막(Si/SiO₂)계면으로 이동하며 STL(Structural transition layer)층 내에 새로운 정공 포획을 만든다고 여겨진다. 따라서 계면으로 이동된 정공과 새롭게 생성된 정공 포획에 의해서 CVT가 감소되는 것으로 판단된다.

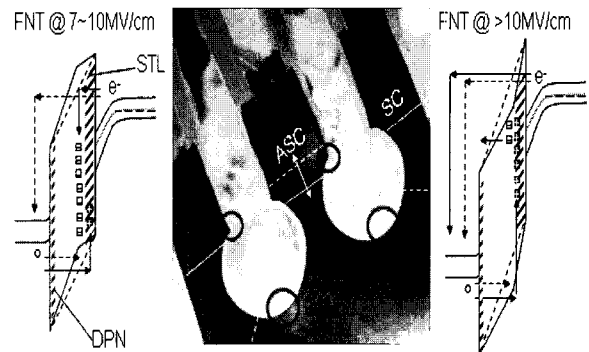


그림 9. DEVICE_A FN stress(6.2V)후 CVT 변화
Fig. 9 CVT degradation mechanism after FN stress

Fig 10은 산화막 자체의 STL층 감소를 위해서 G_{ox1} 대신 G_{ox2}를 적층게이트 유전막에 모두 적용하여 FN stress후 CVT 변화를 확인한 결과를 나타낸다.

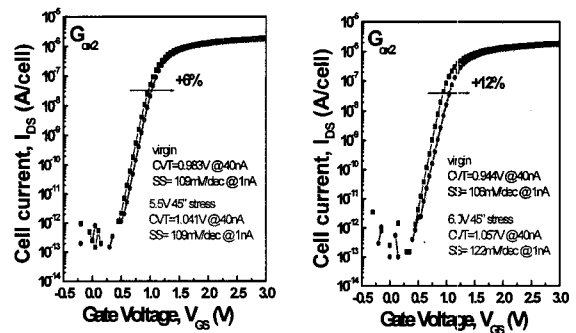


그림 10. Gox2 적용으로 FN stress후 DEVICE_B의 CVT가 감소하지 않고 6~12% 증가함
Fig 10. By Gox2 application after FN stress DEVICE_B CVT does not decrease and does 6~12% increase

5.5V, 6.0V FN stress후에 CVT가 각각 6, 12%씩 증가되었으며, 다이내믹 불량도 발생하지 않았다. 이 결과는 Fig 11.에 나타난 G_{ox1} 을 사용하는 DEVICE_B에서 동일한 FN stress 전압에 의해서 CVT가 각각 7.3, 59% 감소하는 문제를 완전히 개선한 결과이다.

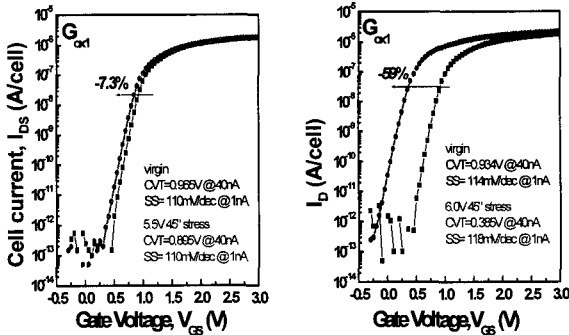


그림 11. G_{ox1} 을 적용한 DEVICE_B는 FN stress후 CVT가 7~59% 감소됨

Fig 11. DEVICE_B that apply G_{ox1} after FN stress CVT 7~59reduce

게이트 산화막의 성장 방식을 변경하여 STL층을 최소화시킨 G_{ox2} 의 적용으로 FN stress후에 CVT가 감소하는 현상을 개선하였으며, 디램의 다이내믹 불량도 개선하였다. [4,5].

Fig 12는 산화막 성장 방식에 따라서 FN stress후 CVT 변화 거동이 달라지는 통계적 자료를 보여주고 있다. 그림 10,11의 개별 소자의 측정 결과와 동일하게 통계적으로도 산화막 공정 조건의 변경에 의해서 FN stress에 의한 CVT 변화는 G_{ox1} 적용 소자의 경우는 감소로, G_{ox2} 적용 소자는 증가로 나타났다. [6].

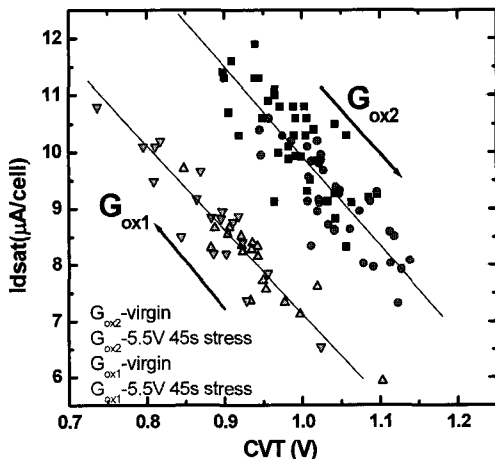


그림 12. 산화막 성장 방법에 따른 FN stress후의 CVT 변화 거동

Fig 12. CVT change behavior after FN stress by oxide film growth method

4. 결 론

DPN을 게이트 유전막으로 사용하는 S-RCAT디램 셀트랜지스터에서 게이트 전압이 양으로 걸리는 FN stress가 가해지면 DPN 내의 정공이 실리콘과 산화막 계면으로 이동되며 CVT를 감소시키는 역할을 한다. 산화막 내의 STL층이 정공의 포획을 증가시켜 산화막내에 양전하를 유도하고 그로 인한 CVT 감소가 초래됨을 확인하였다. FN stress에 의한 CVT 감소 또는 변화를 최소화 시키기 위해서는 STL층의 최소화가 가능한 산화막 형성 공정을 적용해야 하며, 게이트 산화막에 걸리는 전기장을 감소시키는 공정의 개선이 필요함을 확인하였다.

감사의 글

본 연구는 2007년도 삼성전자 메모리 사업부의 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참 고 문 헌

- [1] N.-J. Son, et al, "A Unique Dual-Poly Gate Technology for 1.2-V Mobile DRAM with Simple In situ n+-Doped Polysilicon", IEEE Trans. Electron Devices, vol. 51, pp.1644-1651, Oct. 2004.
- [2] S. G. Park, et al., "The New Technology for DRAM Cell Transistor with S-RCAT and its Size Effect", SSDM, pp. 624-625, 2005.
- [3] T. Brozek, et al., "Generation of hole trap in thin silicon oxide layers under high-field electron injection", Applied Physics Letters, vol. 68, March, pp. 1826-1828, 1996.
- [4] S.Wolf, et al., "Silicon Processing for VLSI era", vol.3, Thin gate oxides, p.423, 1990
- [5] S.Wolf, et al., "Silicon Processing for VLSI era", vol.4, Wet RYO Process, p.111, 1990
- [6] Dieter K Schroder, "Semiconductor Material and Device Characterization" Oxide and Interface charges, p.319, 2006

저 자 소 개



이 동 인(李 東 仁)

1971년 12월 21일생. 1998년 한국항공대
항공전자공학과 졸업. 1998년~현재 삼성
전자 메모리 사업부 DRAM PA 재직.
2006년~현재 성균관대학 전기전자공학
과 석사 과정

Tel : 010-3174-4897
Fax : 031-208-6498
E-mail : Ddong71.lee@samsung.com



이 성 영(李 成 泳)

1990년 고려대 재료공학과 학사. 1992년
동 대학원 재료공학과 석사.
1992년~현재 삼성전자 메모리 사업부
DRAM PA 재직. 2004년 성균관대학교
전자공학과 박사

Tel : 010-3258-7024
Fax : 031-208-6498
E-mail : AFC.LEE@samsung.com



노 용 한(盧 用 翰)

1979년 성균관대 전자공학과 학사. 1994
년 Department of Electrical and Computer
Engineering, University of Houston
Ph.D 1995년~현재 성균관대학교 전기전
자컴퓨터공학과 정교수

Tel : 031-290-7134
Fax : 031-290-7191
E-mail : yhroh@skku.edu