

OFDM 용 무선통신단말기 모뎀의 저소비 전력화를 위한 단일칩용 I-V 컨버터

Low-power Single-Chip Current-to-Voltage Converter for Wireless OFDM Terminal Modem

* 김 성권

* Seong-Kweon Kim

* 전남 목포시 죽교동 571-2 목포해양대학교 해양전자통신공학부

요 약

최근 많은 광대역 유무선 통신 응용분야에서 OFDM(Orthogonal Frequency Division Multiplexing) 방식을 표준기술로 채택하고 있다. OFDM 방식의 고속 무선 데이터 통신을 위한 FFT 프로세서는 일반적으로 DSP(Digital Signal Processing)로 구현되었으나, 큰 전력 소비를 필요로 한다. 따라서, OFDM 통신방식의 단점인 전력문제를 보완하기 위해서 전류모드 FFT LSI가 제안되었고, 저소비전력 전류모드 FFT LSI를 동작시키기 위해서는 전류모드를 전압모드로 바꾸는 VIC(Voltage to Current Converter) 그리고 다시 전류모드를 전압모드로 바꾸어 주는 IVC(Current to Voltage Converter)가 필요하다. 그러나, OP-AMP로 구현되는 종래의 IVC는 회로규모가 크고, 전력소비가 크며, LSI 내에 크고 정확한 높은 저항을 필요로 한다. 또한 전류모드신호처리에서 많이 이용되는 Current Mirror 회로 등의 출력단자로부터 전류신호를 입력받은 경우, 입력단자간의 전위차가 발생하며, DC offset 전류가 발생하는 등의 문제점을 갖는다.

따라서 본 연구에서는 저전력 동작이 가능하고, 향후, single chip 응용이 가능한 IVC를 0.35 μ m 공정에서 설계함으로써, 0.35 μ m 공정에서의 전류모드 FFT LSI의 전압모드 출력이 가능해졌다. 설계된 IVC는 FFT LSI의 출력이 디지털신호로 변환한 ± 1 인 점을 감안하여, 전류모드 FFT LSI의 출력이 13.65 μ A 이상일 때에 3.0V의 전압을 출력하고, FFT LSI의 출력이 0.15 μ A 이하일 때에 0.5V 이하의 전압을 출력하도록 하였으며, IVC의 총 소비전력은 약 1.65mW이하로 평가되었다.

Key Words : OFDM, Current-to-Voltage Converter, FFT, IFFT

1. 서 론

야외에서 또는 고속 이동 중일 때 고속인터넷 접속 서비스가 가능하고 음성이나 정지화상 뿐 아니라 HDTV 등 대용량의 데이터도 전송이 가능한 서비스를 구현하게 할 수 있는 기술로 OFDM (Orthogonal Frequency Division Multiplexing) 기술이 각광을 받고 있다.

OFDM 기술은 직교주파수 분할 다중화 기술이라고 하는 다수의 반송파를 정교하게 분리하여 사용하는 변조방식으로서 전송데이터를 여러 개의 반송파로 분담 전송하여 전체적으로는 광대역(Broadband)이나 각각 나누어진 반송파는 협대역(Narrowband)으로도 유연한 전송이 가능하므로 그동안 무선 및 이동 통신에서 문제시 되어온 산꼭대기나 빌딩 등에 의하여 전파가 반사되어 전송되는 다중경로 간섭을 일으키는 등 나쁜 조건 하에서도 광대역으로 전송이 가능한 장점이 있다.

OFDM은 1960대 미국의 국방부에서 군사용으로 이용되었으며 민간부분에서의 OFDM 실용화의 시초는 지상파 디지털 오디오 방송(DAB)이었다. 영국에서 처음 OFDM에 의

한 방송이 시작되었으며 이어 유럽의 디지털 방송 표준기관인 DVB(Digital Video Broadcasting)에서도 지상파 디지털 방송의 표준으로 채택 하였으며 일본에서도 2003년부터 지상파 방송으로 채택되었다.

방송에서의 실용화를 시초로 그 기술의 유용성이 인식되어 무선 LAN 분야 뿐 아니라 xDSL, 전력선 모뎀에서도 OFDM이 적용되는 계기가 되었으며, 또한 이러한 기술이 한층 더 확산된 배경에는 시대적 요청에 따른 지금과 같은 초고속인터넷통신서비스 환경의 발전과 앞으로 도래하게 될 유비쿼터스 네트워크 통신을 실현하기 위해서도 필수 불가결한 핵심 기술로 자리잡게 되었다. 국내의 경우에는 2004년 4월 2.3GHz 휴대인터넷 프로젝트 그룹(PG302)에서 국내 휴대인터넷 기술규격으로 FDMA(Frequency Division Multiple Access)와 OFDM이 결합된 다중접속방식인 OFDMA 방식을 최종 결정하였다[1].

현재 이렇게 각광받는 OFDM 기술은 하드웨어적으로 DSP (Digital Signal Processing)를 이용한 FFT/IFFT 프로세서가 주된 디바이스이면서 FFT/IFFT가 베이스밴드 신호처리부에서 큰 소비전력을 보이고 있다. 이는 OFDM 통신방식을 무선 이동통신 시스템에 적용할 때, 최대의 단점이 되어 버린다. 따라서 이를 보완하기 위해 전류모드 FFT LSI를 제안하여 왔으며, 전류모드 신호처리에는 전압모드를 전류모드로 바꾸는, 그리고, 다시 전류모드를 전압모드로 바꾸는 기술이 필요하며, 전압모드를 전류모드로 바꾸기 위해서는 Voltage to Current Converter (VIC), 전류모드를 전압모드로 바꾸는 Current to Voltage (IVC) 회로가 필요하다.

접수일자 : 2007년 4월 1일

완료일자 : 2007년 6월 19일

감사의 글 : 이 논문은 2005년도 정부재원(교육인적자원부 학술연구조성사업비)으로 한국학술진흥재단의 지원을 받아 연구되었음.

(KRF-2005-003-D00193).

전류모드 FFT LSI를 동작시키기 위해서는 VIC 및 IVC가 필요하나, 본 연구에서는 IVC 설계에 관하여 논하기로 한다. 종래의 OP-AMP를 사용하여 구현하는 IVC는 OP-AMP 자체만으로도 회로규모가 크고, 전력소비가 크며, 집적화하였을 경우, LSI 내에 크고 높은 저항이 필요하며, 많은 면적을 차지하게 된다. 또한 전류모드신호처리에서 많이 이용되는 Current Mirror 회로로부터 전류를 입력받는 경우, 입력단자간의 전위차가 발생하고, DC offset 전류가 발생하는 등의 문제점을 갖는다.

따라서, 본 연구에서는 저전력 동작이 가능하고, 향후, single chip 동작이 가능한 IVC를 설계하였다. 본 논문은 서론에 이어, 2장에서는 IVC를 필요로 하는 전류모드 FFT LSI의 제작에 관하여, 그리고, 전류모드신호처리에 관하여 설명한다. 3장에서 전류모드 FFT LSI의 동작을 소개하였다. 4장에서 0.35 μ m 공정에서의 전류모드 FFT LSI를 위해 본 논문에서 제안한 저전력 IVC의 시뮬레이션 결과를 분석하였다. 마지막으로 5에서 결론을 내리고 본 논문의 끝을 맺는다.

2. OFDM 시스템 구성

OFDM 시스템은 수신기에서 FFT(Fast Fourier Transform) 신호처리와 송신기에서 IFFT (Inverse Fast Fourier Transform)와 같은 복소수 신호처리를 통해 구현된다[2][3].

그림 1은 일반적인 OFDM 시스템의 송신단과 수신단의 Block Diagram이다. 그림 1의 P/S, S/P, A/D, D/A Block은 각각 parallel-to-serial, serial-to-parallel, analog-to-digital converter, digital-to-analog converter를 나타낸다. OFDM 송신기에서, OFDM 신호는 baseband에서의 IFFT 계산에 의해 생성되고 라디오 주파수대역으로 up-convert 된다. convert된 OFDM 신호는 대전력 증폭기에서 증폭되고 송신된다. OFDM 수신기에 수신된 OFDM 신호는 baseband 신호로 down-convert된다. 수신된 OFDM 신호는 FFT 계산에 의해 송신되었던 본래의 데이터로 복구된다. IFFT나 FFT는 병렬의 입력 신호를 받아야 하기 때문에 직렬신호인 Data를 S/P converter를 거쳐 병렬신호로 바꾸어 주고 그 병렬신호를 IFFT에서 복소수 연산 처리를 하여 나온 결과 값을 p/s를 거쳐 Real part와 Imaginary part의 직렬신호로 변환하고, 위상변조를 하여 송신한다. 수신단에서는 송신단의 역순으로 복조를 하면 원하는 신호를 전달받을 수 있다.

OFDM 시스템을 사용하는 무선 이동 통신 시스템에서, OFDM 신호의 복조를 위해 수신기 모듈에서는 첫 번째로 저전력 baseband 신호 처리를 해야 한다. 일반적으로 FFT LSI는 OFDM 신호를 복조하기 위한 main device이고, 따라서 OFDM 방식의 고속 무선 데이터 통신을 구현하기 위해서는 고성능의 FFT/IFFT 프로세서를 구현해야 한다[4]. 현재 OFDM 통신에서 사용되고 있는 FFT/IFFT 프로세서는 DSP(Digital Signal Processing)를 이용하여 구현되고 있다. 그러나 DSP로 구현된 FFT/IFFT 프로세서는 큰 전력소비를 필요로 하며, FFT/IFFT 프로세서의 전력 소비는 OFDM 시스템을 사용하고 있는 무선 이동 통신 시스템의 단점이다. 따라서 OFDM 시스템의 단점인 전력 문제를 보완하기 위해 전류모드 FFT LSI가 제안되었다[2].

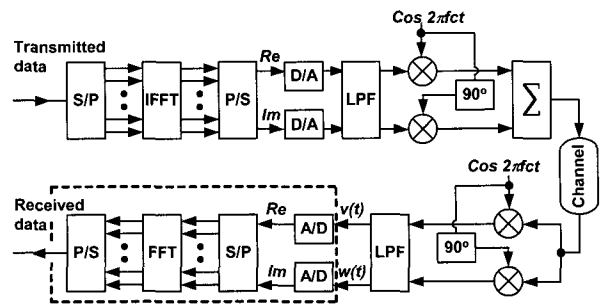


그림 1. OFDM 송수신단의 Block Diagram

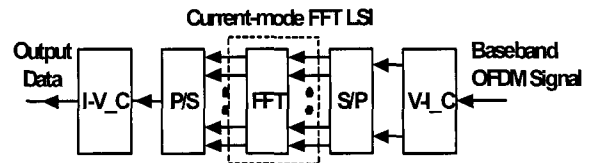


그림 2. 전류모드 FFT LSI의 블록 다이어그램

그림 2는 전류모드 FFT LSI를 적용한 baseband 수신기 모듈을 보여준다. VIC와 IVC는 각각 voltage-to-current converter와 current-to-voltage를 나타낸다. 전류모드 FFT LSI를 적용한 baseband 수신기 모듈은 OFDM 무선 통신 시스템을 위해 저전력 모듈의 전위를 가진다. 전류모드 FFT LSI의 적용에서, VIC는 입력 전압 신호를 전류로 바꾸어 주고 IVC는 전류모드 FFT LSI의 출력전류 신호를 다시 전압모드로 바꾸어 주는 중요한 디바이스이다.

3. 전류모드신호처리

전류모드 신호처리를 위한 회로에는 Current Mirror회로와 그 응용회로인 Current Memory (CM)회로가 있다. 그림 3은 전류 메모리 회로(CM)를 보여준다. CM회로는 Switched Current (SC)회로의 기본적인 회로이다. CM은 전류원, memory MOSFET, 입력 스위치, 출력 스위치, 제어 스위치와 dummy MOSFET의 구성으로 이루어져 있다[5]. CM 동작은 memory MOSFET의 gate-source 사이의 기생 capacitance에 기억된 전하에 의해 전류치를 기억하는 형태로 수행된다.

그림 4는 CM동작의 구성도를 보여준다. 동작은 3개 모드, 즉 sample, hold 그리고 output 모드로 구성되어 있다. sample 기간에는 입력 스위치와 제어 스위치는 ON 되어 있고, 출력 스위치는 OFF 동작을 한다. 입력전류는 제어 스위치를 지나는 전류 흐름으로 memory MOSFET의 gate와 source 사이의 기생 capacitance에 전하를 공급하며, memory MOSFET에 흐르는 전류를 gate의 전압으로 기억하게 된다. hold 기간에는 모든 스위치가 OFF되어 있는 상태로 유지되며, 바이어스 전류만 흘러면서 입력 전류가 기억되는 상태가 된다.

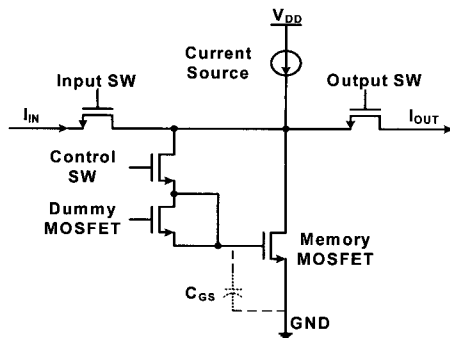


그림 3. CM의 구조

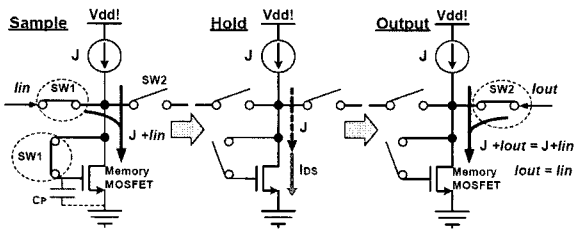


그림 4. CM 동작의 구성도

output 기간에는 출력스위치만 ON되는 상태로, 입력 스위치와 제어 스위치는 OFF상태를 유지한다. 따라서 memory MOSFET의 gate 전압으로 기억된 출력 전류가 입력전류에 대하여 반대 방향으로 흐른다. 전류메모리 회로는 이와 같이 기억소자로서 동작을 하고, Current Mirror 회로는 가산 회로에 응용이 된다. 예를 들어, 전류모드회로에서 가산회로는 multiple wired-or input과 함께 simple current mirror로 설계된다. 전류모드가산회로는 집적화 측면에서, 디지털회로에서의 가산회로에 비하면, 매우 작은 사이즈로 구현 가능하므로 저전력 동작이 가능하고, 연산속도가 매우 빠르다는 장점을 갖는다. 더욱이 전류모드 회로는 동작 주파수에 독립적으로 일정한 전력 소비 특성을 가진다. 전류모드 회로들의 단순한 구조와 짧은 계산 시간을 이용하여 전류모드 FFT LSI는 낮은 소비전력으로 동작이 가능해진다. 그림 5는 SPC(Serial to Parallel Converter)와 PSC(Parallel to Serial Converter)에 전류모드 FFT LSI를 적용한 다이어그램을 나타낸다. SPC와 PSC는 CM 회로와 디지털 제어 신호를 발생시키는 digital block으로 설계된다. VIC에 입력된 아날로그 전압 신호는 아날로그 전류 신호로 변한다. 이것은 SPC block에서 CM 회로로 표본화되고 기억된다. CM이 표본화 된 입력 아날로그 전류신호들로 가득 차 있을 때, 표본화된 전류신호는 지정된 clock time에 전류모드 FFT LSI로 병렬 전송된다. 병렬로 입력된 신호들은 FFT LSI에서 복소수 연산 되고, FFT LSI의 병렬 출력 신호는 PSC block로 병렬 전송된다. PSC block의 동작은 SPC 동작과 반대이다. 즉, PSC의 출력은 디지털 제어 신호로 regular sequence에서 다음 block으로 보내진다. 전류모드 FFT LSI에서, IVC의 역할은 출력 전류 신호를 전압으로 바꾸는 것이다. OP-AMP를 사용하는 기존의 IVC가 전류모드 FFT LSI에서 사용된다면, OP-AMP의 전력손실 때문에 생기는 큰 전력 소비, 전류모드 FFT LSI의 출력부와 IVC의 입력부를 접속하였을 경우 DC 전압의 오프

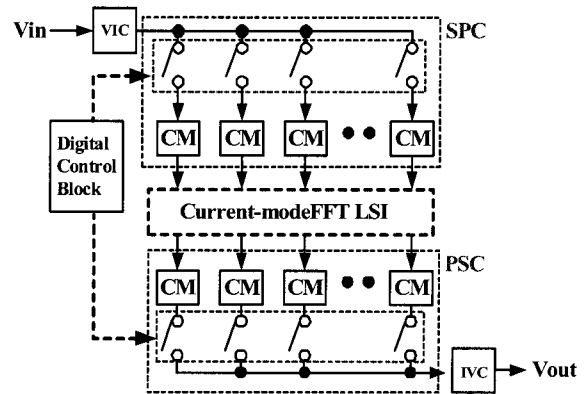


그림 5. SPC와 PSC를 포함하는 전류모드 FFT LSI의 Block Diagram

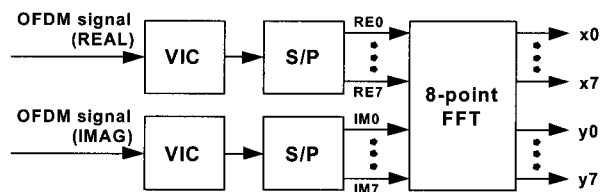


그림 6. Simulation Block Diagram for FFT LSI(without IVC)

셋에 의한 오차로 인하여 전류가 발생하는 문제가 발생한다.

이는 FFT LSI가 올바른 연산을 수행해도 결과적으로 신호처리에 있어서 에러가 발생하게 된다.

더욱이 전류모드 FFT LSI와 저전력 baseband 수신기 모듈을 위한 IVC를 포함하는 single chip을 설계하기 위해, IVC는 작은 chip 사이즈, 낮은 전력 손실, IVC와 전류모드 FFT LSI 사이 최소의 DC offset 전류 등의 조건들로 설계할 필요가 있다.

4. 전류모드 FFT LSI를 위한 저전력 IVC

4.1 전류모드 FFT LSI용 IVC 입력범위 결정

새로 설계할 IVC의 입력 신호가 어느 정도의 범위를 갖고 입력되는지를 확인하기 위해 0.35 μ m 공정에서 설계된 저전력 OFDM 통신용 전류모드 FFT LSI의 전체 블록 중 IVC 블록만을 제외한 시뮬레이션 결과를 분석하였다.

그림 6은 IVC를 제외한 전류모드 FFT LSI의 시뮬레이션 Block Diagram이다. 입력된 OFDM signal은 시뮬레이션 분석을 용이하게 하기 위해 출력이 high나 low에 해당하는 +100 μ A나 -100 μ A의 전류를 갖게 하는 입력으로 수식 1에 의해 도출된 값에 해당하는 전압을 입력하였다. VIC 블록은 입력받은 전압에 해당하는 전류를 S/P 블록으로 전송하고, S/P 블록은 10ns동안 전류를 입력받아 기억하고 있다가 전체 16개 신호의 입력을 모두

$$\begin{matrix} 8 \times 8 \\ \text{FFT} \\ \text{Matrix} \end{matrix} \begin{bmatrix} RE\ 0 + IM\ 0\ j \\ RE\ 1 + IM\ 1\ j \\ RE\ 2 + IM\ 2\ j \\ RE\ 3 + IM\ 3\ j \\ RE\ 4 + IM\ 4\ j \\ RE\ 5 + IM\ 5\ j \\ RE\ 6 + IM\ 6\ j \\ RE\ 7 + IM\ 7\ j \end{bmatrix} = \begin{bmatrix} x_0 + y_1\ j \\ x_1 + y_1\ j \\ x_2 + y_2\ j \\ x_3 + y_3\ j \\ x_4 + y_4\ j \\ x_5 + y_5\ j \\ x_6 + y_6\ j \\ x_7 + y_7\ j \end{bmatrix} \quad (1)$$

$$\begin{bmatrix} RE\ 0 + IM\ 0\ j \\ RE\ 1 + IM\ 1\ j \\ RE\ 2 + IM\ 2\ j \\ RE\ 3 + IM\ 3\ j \\ RE\ 4 + IM\ 4\ j \\ RE\ 5 + IM\ 5\ j \\ RE\ 6 + IM\ 6\ j \\ RE\ 7 + IM\ 7\ j \end{bmatrix} = \begin{matrix} 8 \times 8 \\ \text{FFT} \\ \text{Matrix} \end{matrix} \begin{bmatrix} +1 + 1\ j \\ -1 - 1\ j \\ +1 + 1\ j \\ -1 + 1\ j \\ +1 + 1\ j \\ +1 + 1\ j \\ -1 - 1\ j \\ -1 - 1\ j \end{bmatrix}$$

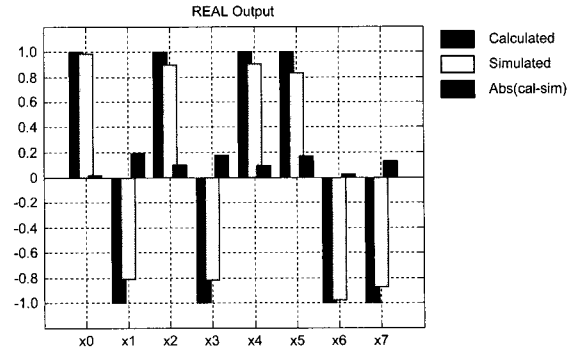


그림 9. 실수부의 이상적인 출력과 시뮬레이션 결과와의 비교

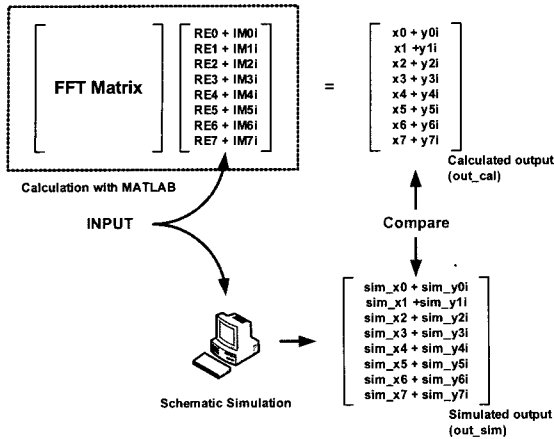


그림 7. Simulation for FFT LSI(without IVC)

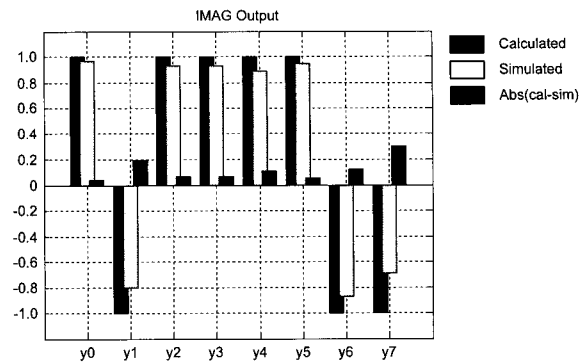


그림 10. 허수부의 이상적인 출력과 시뮬레이션 결과와의 비교

표 1. FFT LSI(without IVC)의 출력 전류

Pin	출력전류값	Pin	출력전류값
x0	98.51 μA	y0	96.23 μA
x1	- 80.86 μA	y1	- 80.61 μA
x2	89.55 μA	y2	93.04 μA
x3	- 81.75 μA	y3	93.01 μA
x4	90.33 μA	y4	89.10 μA
x5	82.91 μA	y5	94.45 μA
x6	- 97.60 μA	y6	- 87.59 μA
x7	- 87.15 μA	y7	- 69.45 μA

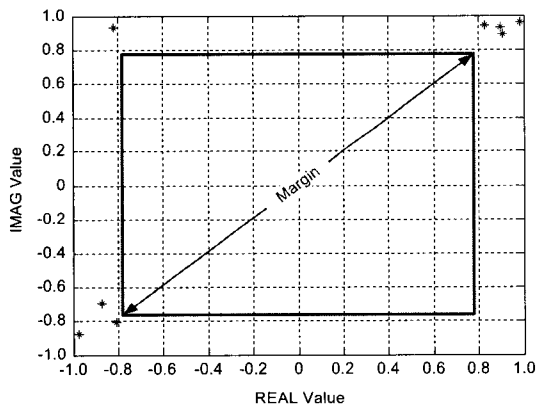


그림 8. FFT 블록의 출력 신호

마치면, 기억중인 전류를 10ns동안 FFT 블록으로 전송하게 된다. FFT 블록은 입력받은 전류값으로 FFT 연산을 수행한다. 이 과정에서 100 μA 의 전류는 연산에서 1에 해당한다.

그림 7에서 보는 것과 같이 computer simulation을 통하여 FFT LSI의 input signal을 도출한 후, 이를 대입하여 전류모드 FFT LSI를 simulation한 것과 실제 schematic을 설계하여 simulation한 결과를 비교하였다. 표 1은 IVC 블록을 제외한 전류모드 FFT LSI의 simulation 결과를 나타낸 표이다. simulation 결과 -1과 1의 오차에 따른 범위는 -69.45 μA 이하, +82.91 μA 이상이다. 즉 설계될 IVC는 적어도 이 범위를 충족하는 동작구간을 가져야 한다. 그림 8은 표 1을 바탕으로 FFT 블록의 출력 신호의 배치를 나타낸 그림이다. 이 그림을 보면, FFT 블록의 출력 신호는 -1과 1 사이의 중간 margin이 충분히 넓은 것을 확인할 수 있다. 그러므로 (+)와 (-)의 판별만이 가능한 IVC라면, 전체 전류모드 FFT LSI의 성능이 향상될 것이다. 그림 9와 그림 10은 FFT 블록의 실수부 출력과 허수부 출력 각각의 이상적인 출력과 시뮬레이션을 통해 얻은 출력과의 차이를 나타낸다. IVC의 입력이 되는 FFT 블록의 출력범위가 -100 μA 에서 +100 μA 이며 -1과 1의 오차에 따른 범위는 -69.45 μA 이하, +82.91 μA 이상임을 알 수 있다.

4.2 IVC 설계와 Simulation 결과

본 장에서는 표 1과 같은 FFT 블록의 출력 전류가 0 μA 일 때를 기준으로 high와 low를 판별하여, 그에 해당하는 전압

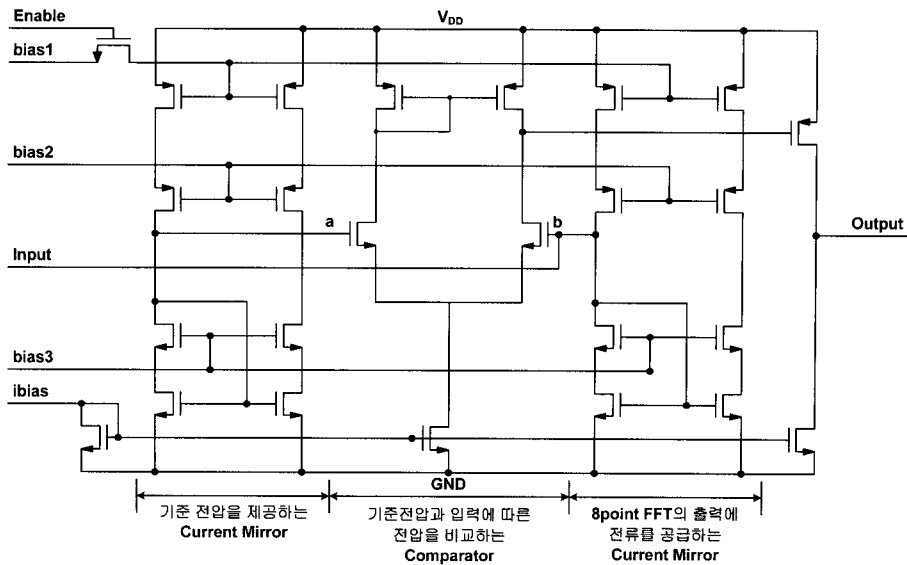


그림 11. 제안된 IVC 회로도

을 출력하는 IVC의 동작특성을 확인하였다. 그림 11은 설계된 IVC의 회로도이다. IVC는 FFT 블록의 출력이 $0\mu A$ 일 때, node의 전압을 감지하여, 그 때의 전압을 기준전압으로 갖는다. 그리고 FFT 블록의 출력 전류에 따른 전압을 기준전압과 비교하는 비교기 동작을 수행한다. 비교기는 한쪽 입력인 a node에 연결된 기준전압과 b node에 연결된 FFT 블록의 출력 전류에 따른 전압을 감지하여 서로 비교한다. FFT 블록의 출력 전류에 따른 전압이 기준전압보다 클 경우에는 동작전압인 3.3V가 출력되고, 기준전압보다 작을 경우에는 0V가 출력되도록 설계하였다. 설계 시 각 MOS의 width는 I-V 특성에서 선형구간이 최대한 좁아지도록 정하였다. 이는 1과 -1을 제외한 중간값이 존재하지 않게 하기 위함이다. 그림 12는 입력 전류를 FFT 블록의 출력범위인 $-100\mu A \sim +100\mu A$ 의 범위에서 변화시키면서, IVC의 출력 전압의 변화를 확인한 시뮬레이션의 결과 그래프이다. 설계된 IVC는 FFT 블록의 출력이 $13.65\mu A$ 이상일 때에 3V 이상의 전압이 출력되고, FFT Block의 출력이 $0.15\mu A$ 이하일 때에 0.5V 이하의 전압이 출력됨을 확인하였다. 그림 11의 회로도에서 각 node에 흐르는 전류의 합은 약 $500\mu A$, IVC의 동작전압이 3.3V이다. 그러므로 설계된 IVC의 총 소모 전력은 약 1.65mW이다.

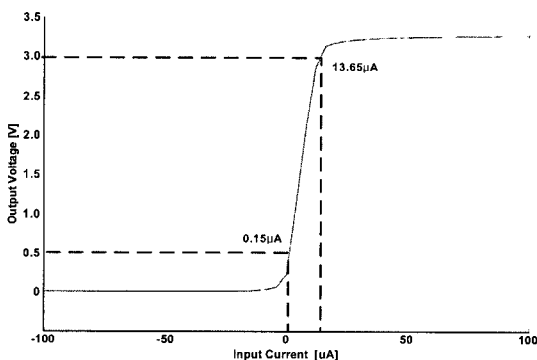


그림 12. IVC의 시뮬레이션 결과

그림 13은 $0.35\mu m$ 공정에서 새롭게 설계된 IVC를 적용한

전류모드 FFT LSI의 시뮬레이션 Block Diagram이다. FFT LSI의 최종 출력이 되는 IVC의 출력전압을 표 2에 나타내었다. 표 2의 시뮬레이션 결과를 확인한 결과, 새롭게 제안된 IVC를 전류모드 FFT LSI에 적용했을 때, 신호가 high일 때에 3.3V의 전압을 출력하고, 신호가 low일 때에 0V의 전압을 출력한다.

Model transistor는 Austria Mikro Systeme(AMS)에서 제작된 $0.35\mu m$ CMOS process BSIM3이며, simulation tool로는 Cadence Analog Artist spectreS가 사용되었다.

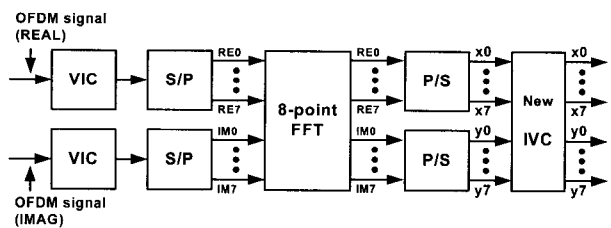


그림 13. Simulation Block Diagram for FFT LSI (with IVC)

표 2. FFT LSI(with new IVC)의 출력 전압

Pin	출력전류값	Pin	출력전류값
x0	0.00 V	y0	0.00 V
x1	3.29 V	y1	3.30 V
x2	0.00 V	y2	0.00 V
x3	3.29 V	y3	0.00 V
x4	0.00 V	y4	0.00 V
x5	0.00 V	y5	0.00 V
x6	3.30 V	y6	3.30 V
x7	3.30 V	y7	3.29 V

5. 결 론

제안된 전류모드 FFT LSI를 $0.35\mu m$ 공정에서 구현하기 위해서는 VIC뿐만 아니라 IVC도 필요로 한다. 종래의

OP-AMP를 사용하는 IVC는 회로규모가 크고, 전력소비가 크며, 집적화를 가정하였을 경우, LSI 내에 크고 정확한 높은 저항이 필요하게 되어 칩면적도 크게 구현되게 된다. 또한 전류모드신호처리에서 많이 이용되는 Current Mirror 회로 등의 고출력 임피던스 회로와 접속시킨 경우, 입력단자간의 전위차가 발생하고, DC offset 전류가 발생하는 등의 문제점을 갖는다. 그러므로 기존의 OP-AMP를 사용하는 IVC의 문제점을 해결하고, 전류모드 아날로그 신호 처리를 위한 새로운 IVC를 제시하였다.

설계된 IVC는 FFT Block의 출력이 13.65 μ A 이상일 때에 3V 이상의 전압을 출력하고, FFT Block의 출력이 0.15 μ A 이하일 때에 0.5V 이하의 전압을 출력한다. 그리고 IVC의 총 소모 전력은 1.65mW이었다.

설계한 IVC를 전류모드 FFT LSI에 적용한 시뮬레이션 결과를 확인한 결과, 설계된 IVC는 신호가 high일 때 3.3V, low일 때 0V의 전압을 출력한다. 0.35 μ m 공정에서의 저전력 IVC를 설계함으로써, 0.35 μ m 공정에서의 전류모드 FFT LSI의 설계가 가능해졌다. 설계된 IVC를 이용한 저전력 OFDM 통신용 전류모드 FFT LSI는 무선통신의 발전에 기여할 것으로 전망된다.

참 고 문 헌

[1] TTAS.KO-06.0064R1, 2.3GHz 휴대인터넷 표준(물리계층), 한국정보통신기술협회, Dec. 2004.
 [2] Seong-Kweon Kim, "Design of Voltage to Current Converter for Low-Power OFDM Application"
 [3] Richard Van Nee and Ramjee Prasad, "OFDM for Wireless Multimedia Communication", Boston, London Artech House Publishers, 2002.
 [4] 오정렬, "저 면적 및 저 전력 복소 곱셈기를 갖는 파이프라인 방식의 FFT 프로세서 설계에 관한 연구", 박사학위논문, 전북대학교 대학원, 2005.
 [5] J. W. Cooley, J. W. Tukey, "An Algorithm for the Machine Calculation of Complex Fourier Series", Math. Comp, Vol.19, pp.297-301, April 1965.

[6] P. H. Moose, "A Technique for Orthogonal Frequency Division Multiplexing Frequency Offset Correction", IEEE Trans. Commun., vol. 42, no. 10, pp. 2908-2914, October 1994.
 [7] S.K Kim, J.S. Cha, H. Nakase and K. Tsubouchi, "Novel FFT Lsi for Orthogonal Frequency Division Multiplexing Using Current Mode Circuit", Jpn. J. Appl. Phys. vol.40, pp. 2859-2865, April 2001. [Extended Abstracts of the 2000 Int. Conf. on Solid State Devices and Materials, Sendai, 2000, pp. 384-385]

저 자 소 개



김성권 (Seong-Kweon Kim)

1996년 : 인하대학교 졸업.

1996~1999년 : 삼성전자 시스템 LSI사업부 주임연구원.

2002년 : 일본 東北대학교 대학원 전자공학과 졸업(박사).

2002~2003년 : 일본東北대학교 전기통신연구소 조수.

2003~2004년 : 일본東北대학교 전기통신연구소 Research Fellow.

2004년 9월~현재: 국립목포해양대학교 해양전자통신공학부 교수.

관심분야 : 무선통신시스템설계 및, 무선통신용 LSI 설계 고주파회로설계, 대기행렬이론을 이용한 시뮬레이션기법

Phone : 061) 240-7263

Fax : 061) 240-7283

E-mail : skkim12632@mmu.ac.kr