넓은 전압 범위와 개선된 파워-업 특성을 가지는 밴드갭 기준전압 발생기의 스타트-업 회로

성관영* · 김종희* · 김태호* · 카오투안 부* · 이재형* · 임규호* · 박무훈* · 하판봉* · 김영희*

Start-up circuit with wide supply swing voltage range and modified power-up characteristic for bandgap reference voltage generator.

Kwang-Young Sung* · Jong-Hee Kim* · Tae-Ho Kim* · Cao Tuan Vu* · Jae-Hyung Lee* · Gyu-Ho Lim* · Mu-Hun Park* · Pan-Bong Ha* · Young-Hee Kim*

요 약

본 논문에서는 넓은 동작전압 범위와 저소비 전력 그리고 개선된 파워-업 특성을 가지는 캐스코드 전류 거울형 CMOS 밴드갭 기준전압 발생기의 스타트-업 회로를 제안하였다. 새롭게 제안된 스타트-업 회로는 기존의 스타트-업 회로에 비해 안정적인 파워-업 특성을 가지며 공급전압(VDDA)이 높아지더라도 밴드갭 기준전압 발생기 회로의 동작에 영향을 미치지 않는 것을 모의실험을 통하여 확인하였고 0.18㎛ tripple- well CMOS 공정을 이용하여 테스트 칩을 제작하고 측정하였다. 측정된 기준전압 Vref는 평균값이 738㎷이고 3σ는 29.88㎷이다.

ABSTRACT

A start-up circuit of the bandgap reference voltage generator of cascode current mirror type with wide operating voltage range and enhanced power-up characteristics is proposed in the paper. It is confirmed by simulation that the newly proposed start-up circuit does not affect the operation of the bandgap reference voltage generator even though the supply voltage(VDDA) is higher and has more stable power-up characteristic than the conventional start-up circuit. Test chips are designed and fabricated with 0.18㎛ tripple well CMOS process and their test has been completed. The mean value of measured the reference voltage(Vref) is 738㎷ and The three sigma value(3σ) is 29.88 ㎷.

키워드

Bandgap reference voltage generator, Start-up, Wide voltage range, Low-power

Ⅰ. 서 론

밴드갭 기준전압 발생기(Bandgap reference voltage generator, BGR)는 고해상도의 비교기, A/D, D/A 데이터 변환기를 포함하는 아날로그 회로 뿐만 아니라 메모리 회로의 기준전압 공급하는 회로로 사용된다. 밴드갭 기준전압 발생기는 PVT (Process-Voltage-Temperature)의 변화에도 안정된 기준전압을 공급하는 것이 요구된다 [1].

* 창원대학교

접수일자 : 2007. 6. 13

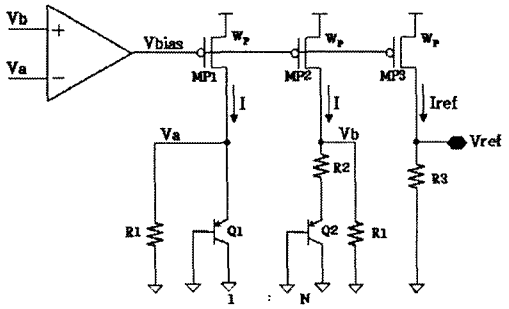


그림 1. PVT 변동에 둔감한 BGR 회로도.
Fig. 1. BGR circuit insensitive to the variation of PVT.

PVT 변동에 둔감하고 저전압 동작에 유리한 BGR 회로는 그림 1에서 보는 바와 같이 온도 변화에 대해 일정한 기준전류(Iref)를 만들고, 이 전류가 Vref에 연결된 저항(R3)으로 흐름으로써 PVT 변동에 둔감한 정전압을 만들어준다[1].

$$Iref = \frac{V_{EB}}{R1} + \frac{V_T \ln N}{R2} \quad (1)$$

$$V_{ref} = R3 \cdot \left(\frac{V_{EB}}{R1} + \frac{V_T \ln N}{R2} \right) \quad (2)$$

식 (1)에서 보는 바와 같이 Iref는 온도에 대해서 증가하는 VT(Thermal Voltage)와 반대로 온도에 대해서 감소하는 VEB(Emitter-Base Voltage)를 결합하여 만들어진다. 그래서 Iref는 온도에 대해서 항상 일정한 전류 값을 가진다. R3를 통해 흐르는 Iref에 의해 Vref는 식(2)와 같다.

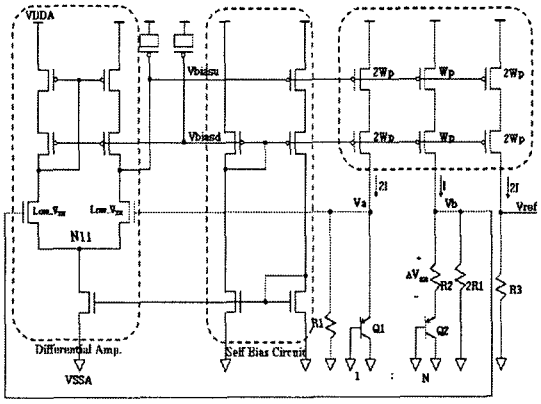


그림 2. 밴드갭 기준전압 발생기의 회로도.
Fig. 2. Bandgap reference voltage generator circuit.

그림 1의 회로에서는 BJT가 차지하는 면적이 크고, 아날로그 공급전압인 VDDA 변동에 민감한 단점이 있다. 이러한 단점을 해결한 그림 2의 BGR 회로는 전류거울 비를 1:2로 하여 BJT가 차지하는 면적을 줄였고 wide swing을 갖는 캐스코드 전류거울(cascode current mirror)을 사용하여 VDDA에 대한 민감도를 줄였다[2]. 파워-업 시 그림 2의 Vbiasu, Vbiasd 전압이 파워 공급 전압인 VDDA를 따라 올라가는 경우 PMOS 전류 거울에서 전류가 흐르지 않아 정상적인 Vref 전압을 공급할 수 없다. 이 문제를 해결하기 위해 그림 3의 스타트-업 회로가 사용되었으며[2], 그림 3의 방전 트랜지스터(discharging transistor)인 MN3와 MN4는 Vbiasu와 Vbiasd 전압이 정상적인 바이어스 전압이 아닌 경우 ON되어 Vbiasu와 Vbiasd의 전압을 떨어뜨린다. 만약 Vbaisu와 Vbiasd 전압이 정상 전압으로 떨어지면 MN3와 MN4는 OFF상태에 있으며, 그림 2의 BGR 회로 동작에 영향을 미치지 않는다.

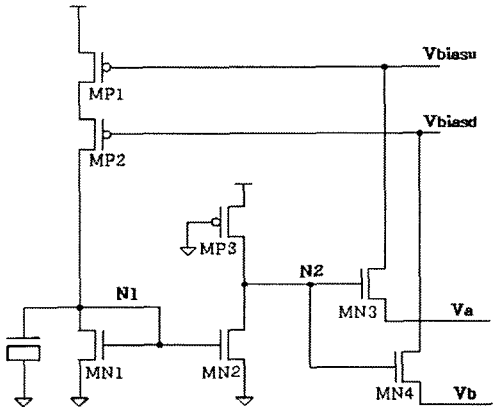


그림 3. 기존의 스타트 업 회로.
Fig. 3. Conventional start-up circuit.

그러나 기존의 스타트-업 회로를 사용하는 경우 공급전압이 올라감에 따라 그림 3의 MP3 트랜지스터의 소스(Source)-게이트(Gate) 전압차가 커져 MP3에 흐르는 전류가 증가하여 N2의 전압이 MN3, MN4가 ON될 때까지 상승하게 되어 Vbiasu, Vbiasd 전압을 목표 전압보다 낮게 바이어싱 하므로 기준전압이 상승하게 되는 문제를 야기 할 수 있다. 또 VDDA가 상승함에 따라 그림 3의 MP3를 통해 흐르는 전류가 증가하기 때문에 BGR 전체 회로에서 소모하는 전류의 양이 증가하는 문제도 같이 발생한다. 그리고 MN3, MN4의 소스 단이 Va, Vb에 연결되는 기존의 스타트-업 회로에서는 파워-업(Power-up)

시 낮은 바이어스 전류가 흐르는 경우 Va, Vb의 전압이 거의 VSSA에 가까운 전압이 걸린다. 그래서 MN3와 MN4는 ON되어 BGR 회로에 영향을 미쳐 정상적인 기준 전압을 공급하지 못하는 문제가 있다.

본 논문에서는 높은 VDDA 전압에서 Vref가 상승하고 전류 소모가 증가하는 문제를 해결하기 위해 그림 3의 MP3 트랜지스터의 소스-게이트의 전압차이를 VDDA가 아닌 ΔV의 전압으로 일정하게 유지시켜 주는 회로를 제안하였다. 그리고 스타트-업 문제를 해결하기 위하여 MN3, MN4의 소스 전압을 바이폴라 접합 트랜지스터와 저항으로 연결되는 Va, Vb 전압 대신 PMOS 캐스코드 전류 거울의 전류가 흐르는 다이오드 형태로 연결된 NMOS 트랜지스터의 드레인(Drain)-게이트(Gate) 전압에 연결하여 스타트-업 문제를 해결하였다. 새롭게 제안된 BGR 회로는 0.18㎛ CMOS 공정을 이용하여 설계되었고, 측정된 Vref는 732±29.88㎷이다.

Ⅱ. 회로 설계

그림 4는 VDDA에 대한 기존 BGR의 모의실험 결과를 보여준다. VDDA 전압이 증가함에 따라 Vref 전압이 증가하는 것을 볼 수 있다. VDDA가 증가함에 따라 Vref가 증가하는 문제점을 해결하기 위해 그림 5에서 보는 바와 같이 MP11, MP12 및 MN11 트랜지스터를 추가하였다. 이로 인해 MP10 트랜지스터의 게이트 전압은 VSSA가 아닌 VDDA-ΔV로 되어 결과적으로 그림 5의 MP10의 소스-게이트의 전압차를 공급전압의 증가와는 상관없이 항상 ΔV로 일정하게 유지하도록 하였다. 이렇게 하므로 정상 상태에서 MN6와 MN7의 트랜지스터는 OFF 상태에 있어 기준 전압은 높은 VDDA에서도 일정하게 유지 된다. 그래서 그림 6에서 보는 바와 같이 Vref는 일정하게 유지된다.

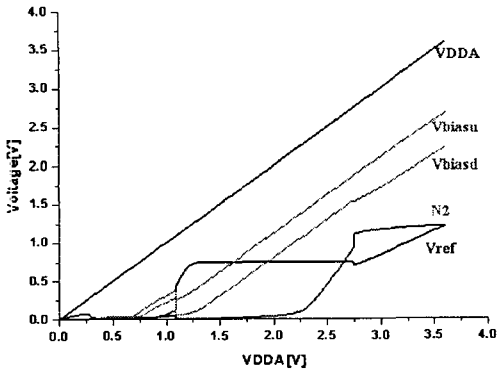


그림 4. 기존 BGR의 공급전압(VDDA) 변화에 따른 모의실험 결과.
Fig. 4. Simulation result of the conventional BGR as a function of the supply voltage(VDDA).

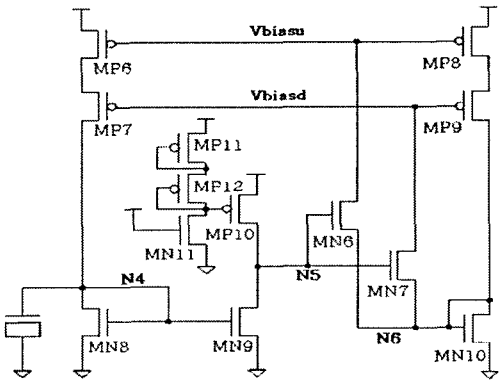


그림 5. 제안된 스타트-업 회로.
Fig. 5. Proposed start-up circuit.

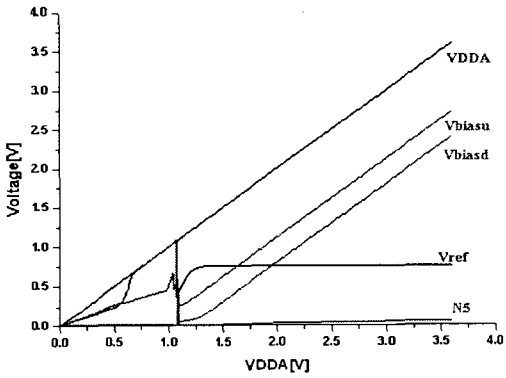


그림 6. 제안된 스타트-업 회로의 공급전압 변화에 따른 모의실험 결과.
Fig. 6. Simulation results of the proposed BGR to the supply voltage.

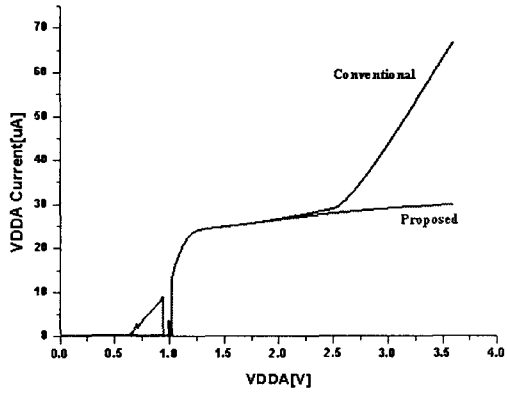


그림 7. 기존의 스타트-업 회로와 제안된 스타트-업 회로의 전류 소모 비교.

Fig. 7. Comparison of current consumption between the conventional start-up circuit and the proposed of counterpart.

그림 7은 기존의 스타트-업 회로를 사용한 경우와 새롭게 제안된 스타트-업 회로를 사용한 경우의 BGR 회로의 전류 소모를 비교한 그래프이다. 기존의 스타트-업 회로를 사용할 경우 약 2.5V 이상이 되는 공급전압부터는 동작 전류(operating current)가 증가함을 알 수 있다. 하지만 새롭게 제안된 스타트-업을 사용한 BGR 회로의 전류 소모의 경우 현저하게 줄어들었음을 확인할 수 있다. 그림 6과 그림 7의 결과를 통해 새롭게 제안된 스타트-업을 사용한 BGR 회로의 경우 넓은 동작전압 범위와 저소비 전력의 특성을 갖는 것을 알 수 있다.

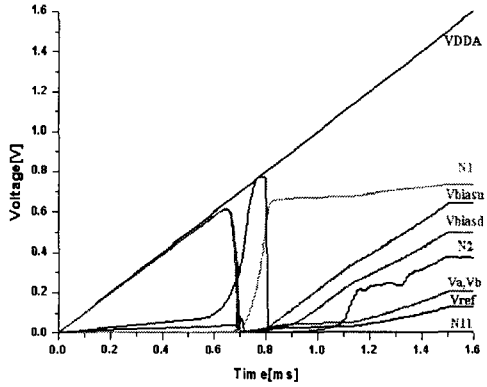


그림 8. 기존 스타트-업 회로를 사용한 BGR의 파워-업 모의실험 결과.

Fig. 8. The power-up simulation results of the BGR circuit with conventional start-up circuit.

그림 8은 기존 스타트-업 회로를 사용한 BGR의 파워-업 모의실험 결과를 보여준다. 그림 3의 MN3, MN4가 파워-업 된 이후에도 ON되어 있으므로 BGR 회로의 동작에 영향을 미쳐 정상적인 기준 전압을 공급하지 못한다. 이 문제를 해결하기 위해 그림 6의 새롭게 제안된 스타트-업 회로에서는 Va, Vb에 연결된 MN6, MN7의 소스단을 다이오드 형태의 NMOS 트랜지스터인 MN10의 드레인-게이트 노드에 연결하였다.

그림 5의 새롭게 제안된 스타트-업 회로에서 MN6, MN7의 소스 전압을 NMOS 다이오드 전압인 VGS.MN10이 되게 하므로 파워-업 초기에는 MN6, MN7을 ON 상태에 있다. 파워-업이 되면서 PMOS 전류 거울인 MP6, MP7이 ON되어 N5 전압을 VSSA로 떨어뜨리므로 MN6, MN7은 OFF되면서 스타트-업 회로는 더 이상 BGR의 동작에 영향을 미치지 않게 되고, Vref는 negative feedback에 의해 식 (2)에 해당되는 기준 전압을 공급한다.

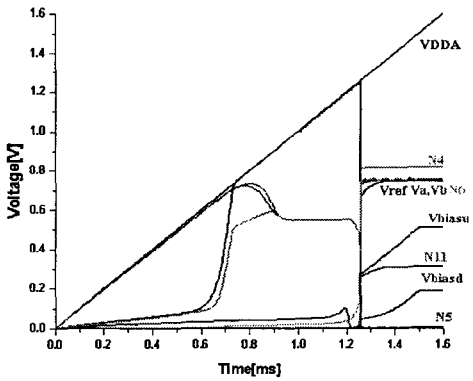


그림 9. 스타트 업 회로를 사용한 BGR의 파워-업 모의실험 결과.

Fig. 9. The power-up simulation results of the BGR circuit with proposed start-up circuit.

새롭게 제안된 스타트-업 회로에서 방전 트랜지스터의 소스 노드 전압이 기존의 스타트-업에서 보다 파워-업 시 더 높기 때문에 ON에서 OFF되기가 더 쉬우므로 그림 5의 제안된 회로가 성공적으로 스타트-업 기능을 수행한다.

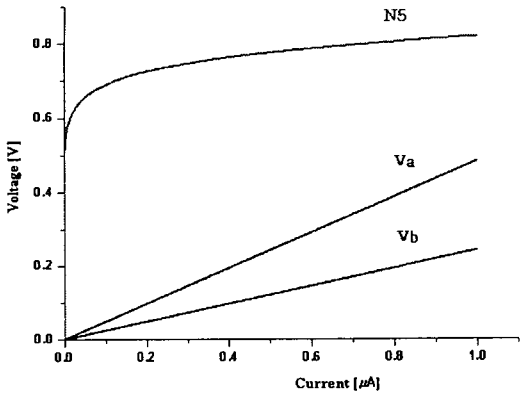


그림 10. BJT 및 MOS 트랜지스터에 흐르는 전류에 대한 전압의 변화.
Fg. 10. The Voltage change about current of BJT and MOS Transistor.

표 1은 스타트-업 회로의 공정, 온도 조건별 파워-업 모의실험 결과를 보여준다. 기존의 스타트-업 회로는 다수의 조건에서 파워-업이 실패하는 경우가 발생하는 반면, 새롭게 제안된 스타트-업 회로를 사용하는 경우에는 모든 모의실험 조건에서 파워-업이 정상적으로 이루어지는 것을 볼 수 있다.

표 1. 모의실험 조건별 BGR의 파워-업 결과.
Table 1. The power-up simulation results based on various process and temperature conditions.

Simulation Condition		Conventional	Proposed
Model Parameter (NMOS/PMOS).	Temp.		
Typical/Typical	-25℃	×	O
Typical/Typical	25℃	O	O
Typical/Typical	85℃	O	O
Fast/Fast	-25℃	×	O
Fast/Fast	25℃	O	O
Fast/Fast	85℃	O	O
Slow/Slow	-25℃	×	O
Slow/Slow	25℃	×	O
Slow/Slow	85℃	O	O
Fast/Slow	-25℃	×	O
Fast/Slow	25℃	O	O
Fast/Slow	85℃	O	O
Slow/Fast	-25℃	×	O
Slow/Fast	25℃	×	O
Slow/Fast	85℃	×	O

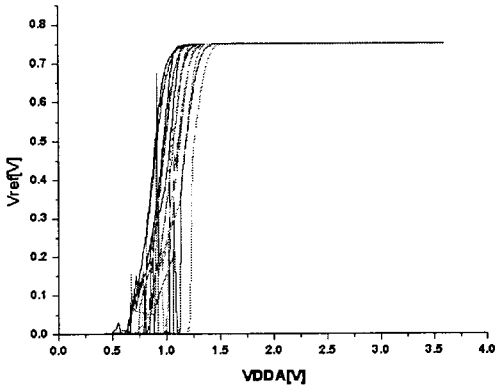


그림 11. BGR의 전압변화에 대한 Vref 모의실험.
Fig. 11. The simulation results of Vref vs. VDDA.

그림 11과 그림 12는 공급전압과 온도의 변화에 따른 출력전압 Vref의 변화를 모의 실험한 결과를 각각 나타낸 그래프이다. 모의실험 결과 제안된 BGR 회로는 1.5V 이하의 공급전압에서 정상동작 하였으며 VDDA에 대한 Vref의 변화율은 0.047㎷/V였으며, 온도에 대한 변화율은 27.1ppm/℃이다.

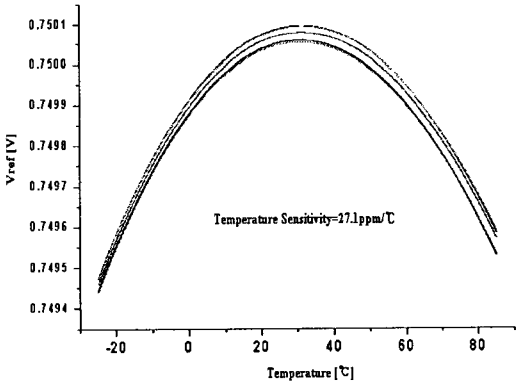


그림 12. BGR의 온도변화에 대한 모의실험.
Fig. 12. The simulation results of Vref vs. Temperature.

그림 13은 0.18㎛ CMOS 공정에서 제안된 스타트-업 회로를 이용한 BGR의 레이아웃 도면을 나타낸다. BGR의 레이아웃(Layout) 면적은 80㎛×335㎛이다.

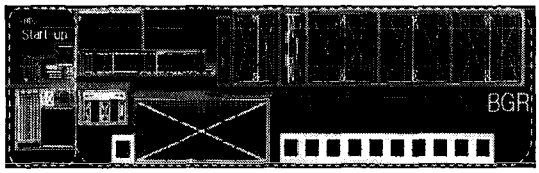


그림 13. 제안된 스타트-업 회로를 적용한 BGR 회로의 레이아웃 도면.
Fig. 13. The layout plot of the BGR circuit with proposed start-up circuit.

Ⅲ. 측정 결과

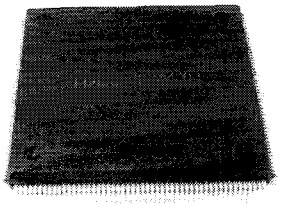


그림 14. 제안된 스타트-업 회로를 적용한 BGR 회로의 칩 사진.
Fig. 14. The photograph of the fabricated chip of the BGR with proposed start-up circuit.

그림 14는 제안된 스타트-업 회로를 사용한 BGR 칩 사진을 보여준다. 그리고 그림 15는 VDDA에 대한 Vref 측정 전압 파형을 보여주며, VDDA가 1.5V에서부터 3V까지의 공급전압 범위에 대해 정상적인 기준 전압 파형을 볼 수 있다. 그리고 Vref의 전원전압 민감도(Supply Voltage Sensitivity)는 1.94㎷/V로 측정되었다.

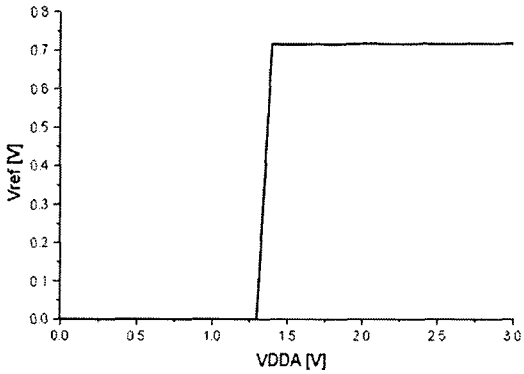


그림 15. VDDA에 대한 Vref 측정 그래프.
Fig. 15. The tested result of Vref vs. VDDA.

또한 그림 16은 41개의 테스트 칩을 측정하여 Vref의 빈도(Frequency)를 나타낸 그래프를 보여준다. 모든 테스트 칩은 정상적으로 파워-업 되었으며, Vref의 평균 전압은 0.732V이고, 3σ는 29.88㎷이다.

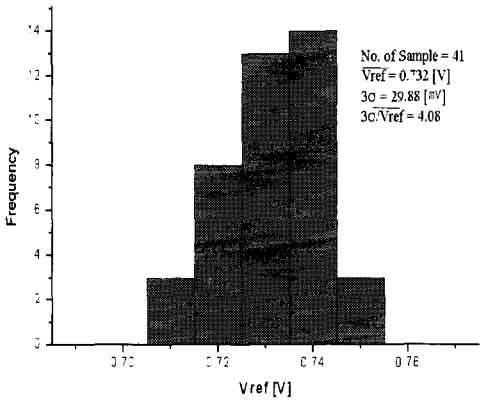


그림 16. 41개 테스트 칩에 대한 Vref 측정결과에 대한 분포.
Fig. 16. The distribution of Vref over 41 fabricated chips.

Ⅳ. 결 론

밴드갭 기준전압 발생기의 동작 전압 범위를 넓히고 또 저소비 전력을 구현하고 기존의 회로 보다 안정적인 파워-업 특성을 갖는 스타트-업 회로를 설계하였다. 제안된 회로는 VDDA가 증가함에 따라 Vref가 증가하는 문제점을 해결하기 위해 공급전압의 증가와는 상관없이 정상상태에서 스타트-업 회로가 ON되지 않도록 하는 회로를 추가하여 높은 VDDA에서도 Vref가 일정하게 유지되도록 하였다. 그리고 제안된 스타트-업 회로는 PMOS 캐스코드 전류 거울의 전류가 흐르는 다이오드 형태의 NMOS 트랜지스터를 추가하여 방전 트랜지스터의 소스 노드에 연결하므로 파워-업 시 방전 트랜지스터를 쉽게 OFF시켜 BGR의 동작에 영향을 미치지 않도록 하여 정상적인 스타트-업 기능을 수행하였다. 0.18㎛ Triple-Well 공정을 이용하여 제작된 Vref의 평균 전압은 0.732V, 3σ는 29.88㎷이고 전원 전압 민감도는 1.94㎷/V로 측정되었다. 제안된 스타트-업 회로를 사용한 BGR 회로는 넓은 동작 전압 범위와 저소비 전력 특성을 가지고 파워-업 특성이 개선되었음을 확인하였다.

감사의 글

This work was sponsored by MIC/ IITA/ ETRI SoC Industry Promotion Center, Human Resource Development Project for IT SoC Architect and this work sponsored by the MOCIE(Ministry of Commerce, Industry and Energy), KOREA under the IDEC Support Program (MPW, CAD).

참고문헌

[1] H. Banba et al., "A CMOS Bandgap Reference Circuit with Sub-1-V Operation", IEEE Journal of Solid-State Circuits, Vol.34, No.5, pp.670-674, May 1999.

[2] Y. H. Kim et al., "A CMOS bandgap reference voltage generator with reduced voltage variation and BJT area", Current Applied Physics, Vol.7, issue 1, pp.92-95, Jan. 2007.

[3] A. Boni., "Op-Amps and Start-up Circuits for CMOS Bandgap References with Near 1-V Supply", IEEE Journal of Solid-State Circuits, Vol.37, No.10, pp.1339-1343, Oct. 2002.

[4] A. Staveren et al., "The Design of Low-Noise Bandgap References", IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications, Vol.43, No.4, pp.290-300, April 1996.

저자소개

성 관 영(Kwan-Young Sung)

2006.3 ~현재 창원대학교 전자공학과 공학박사과정

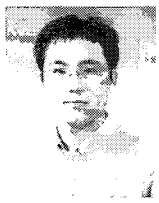
※관심분야 : LCD 구동 칩 설계

김 종 희(Hee-Jong Kim)

2006.2 창원대학교 전자공학과 공학사

2006.3~현재 창원대학교 전자공학과 공학석사과정

※관심분야 : LCD 구동 칩 설계



김 태 호(Ho-Tea Kim)

2006.2 창원대학교 전자공학과 공학사

2006.3~현재 창원대학교 전자공학과 공학석사과정

※관심분야 : X-ray Image Sensor 설계, SoC설계

카오 투안 부(Cao Tuan Vu)

2006.3~현재 창원대학교 전자공학과 공학박사과정

※관심분야 : LCD 구동 칩 설계

이 재 형(Hyung-Jae Lee)

2007.2 창원대학교 전자공학과 공학석사

2007.3~현재 창원대학교 전자공학과 공학박사과정

※관심분야 : 저전력 EEPROM 설계, SoC 설계

임 규 호(Gyu-Ho Lim)

2002.2 창원대 전자공학과 공학사

2004.2 창원대학교 전자공학과 공학석사

2004.3~현재 창원대학교 전자공학과 공학박사과정

※관심분야 : LCD 구동 칩 설계, 1T-RAM 설계, CMOS Image Sensor 설계

하 판 봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과 공학사
1983.2 서울대학교 전자공학과 공학석사
1993.2 서울대학교 전자공학과 공학박사
1987.3～현재 창원대학교 전자공학과 교수
※관심분야 : 임베디드 시스템, SoC 설계

박 무 훈(Mu-Hun Park)

1991.2 경북대학교 전자공학과 공학사
1993.3 동북대학교 전기통신공학 연구과 공학석사
1996.3 동북대학교 전기통신공학연구과 공학박사
1998.8～현재 창원대학교 전자공학과 교수
※관심분야 : 초음파 신호처리, 영상신호처리, 가상현실, SoC 설계

김 영 희(Young-Hee Kim)

1989.2 경북대학교 전자공학과 공학사
1997.2 포항공대 전자전기공학과 공학석사
2000.8 포항공대 전자전기공학과 공학박사
1989.1～2001.2 현대전자 메모리연구소 책임연구원
2001.3～현재 창원대학교 전자공학과 교수
※관심분야 : 저전압/저전력/고속 메모리 설계, LCD 구동 칩 설계, CMOS 이미지 센서 설계, RFID 태그 칩 설계