

2비트 시그마-델타 변조를 이용한 새로운 폴라 트랜스미터

Novel Polar Transmitter with 2-Bit Sigma-Delta Modulation

임지연 · 전상훈* · 김경학 · 홍성철** · 김동욱

Jiyoun Lim · Sanghoon Cheon* · Kyeong-Hak Kim · Songcheol Hong** · Dong-Wook Kim

요 약

본 논문에서는 2비트 시그마-델타 변조기를 도입한 새로운 구조의 폴라 트랜스미터에 대해 논의한다. 제안된 구조에서는 2비트 시그마-델타 변조 방식을 도입하여 양자화 잡음을 낮추도록 하였다. 전력 증폭기는 2비트 디지털 처리된 진폭 신호를 받아들이기 위하여 2진법의 형태로 분할되도록 고안되었다. 새로운 구조의 폴라 트랜스미터를 EDGE 시스템에 적용하여 시뮬레이션 한 결과, 전체 전송 대역에서 스펙트럼 특성이 개선되는 것을 확인할 수 있었다. 2비트 변조기에 세밀한 양자화 방식을 적용함으로써 오버 샘플링 비가 2배 이상 증가한 정도의 잡음 감소 특성을 얻을 수 있었고 오버 샘플링 비를 증가시키지 않고도, 트랜스미터 출력 신호의 주파수 잡음을 10 dB 이상 낮출 수 있었다. 또한, 전력 증폭기를 2진법으로 분할한 결과 다이내믹 영역이 5 dB 정도까지 증가하는 효과를 얻었다.

Abstract

This paper presents a novel polar transmitter architecture with a 2-bit sigma-delta modulator. In the proposed architecture, the 2-bit sigma-delta modulator is introduced to suppress quantization noise of conventional sigma-delta modulator. The power amplifier configuration is also modified in a binary form to accommodate the 2-bit digitized envelope signal. The Ptolemy simulation results of the proposed structure show that the spectral property is greatly improved in full transmit band of EDGE system. The fine quantization scheme of the 2-bit modulator lowers the noise level by 10 dB without increasing the over-sampling ratio, which may be obtained if the over-sampling ratio increases twofold. Dynamic range is also enhanced up to 5 dB owing to the new form of the power amplifier in the transmitter.

Key words : Polar Transmitter, Sigma-Delta Modulator, Envelope Elimination and Restoration, Power Amplifier

I. 서 론

트랜스미터는 차세대 무선 통신에 있어서 핵심적인 부품으로서, 트랜스미터의 중요한 두 가지 성능인 선형성과 효율은 전력 증폭기에 의해 결정된다. 최근 무선 통신에서 요구하는 선형성 및 효율 성능을 만족하기 위하여, 전력 증폭기를 포함한 트랜스미터 전체 구조에 대한 연구 개발이 활발하게 진행 중이

다. 여러 가지 트랜스미터 중에서 Kahn 구조의 폴라 트랜스미터는 진폭 소거 재생(Envelope Elimination and Restoration: EER) 방식을 이용한 것으로서^[1], 최근 이를 기반으로 한 연구가 여러 편 발표되었다^{[2]-[4]}.

한편, 트랜스미터의 디지털화는 차세대 전송 시스템에서 또 하나의 중요한 연구 분야이다. 기존의 아날로그 I/Q 트랜스미터의 단점들을 보완하기 위해 폴라 구조의 디지털 트랜스미터가 많이 연구가 되고

충남대학교 전기정보통신공학부(Division of Electrical and Computer Engineering, Chungnam National University)

*한국전자통신연구원 IT융합부품연구소(IT Convergence and Components Laboratory, ETRI)

**한국과학기술원 전기 및 전자공학과(Department of Electrical Engineering, Korea Advanced Institute of Science and Technology)

· 논문 번호 : 20070518-17S

· 수정완료일자 : 2007년 8월 1일

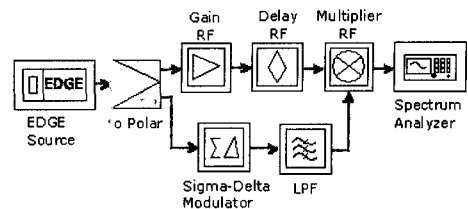
있는데, 디지털 위상 동기 루프(PLL)나 디지털 주파수 합성기 등을 이용하여 위상 신호를 디지털화하는 연구가 많이 진행되고 있다^[3]. 진폭 신호의 디지털화는 최근 들어 발표된 시그마-델타 EER 트랜스미터를 대표적인 예로 들 수 있다^{[2]-[4]}. 처음으로 Kahn 구조의 폴라 트랜스미터의 진폭 신호에 시그마-델타 변조를 도입한 아이디어가 제안된 이후^[2], 두-톤(two-tone) 신호를 이용하여 동작 특성을 보인 결과도 발표되었다^[3]. 이 구조에서는 아날로그 진폭 신호를 디지털 변환하여 처리하였지만, 총체적인 디지털 트랜스미터에서는 디지털 프로세서에서 시그마-델타 변조된 진폭 신호를 직접 생성하도록 할 수 있다.

본 논문에서는 ADS Ptolemy 시뮬레이션을 통해 폴라 트랜스미터 진폭 신호의 디지털 처리를 분석하고, 이를 토대로 성능을 개선시킨 새로운 구조를 제안하고자 한다. 시그마-델타 변조 방식은 오버 샘플링(over-sampling) 기술과 시그마-델타 변조기의 중간대역 통과 필터링 특성을 이용하여 관심 주파수 대역의 양자화 잡음을 대역 밖으로 밀어 내는 노이즈 셰이핑(noise-shaping)을 기본으로 한다. 하지만 현재의 광대역 통신 시스템에 적용하기 위해서는 매우 높은 오버 샘플링 비(Over-Sampling Ratio: OSR)로 동작하여야 한다. 예를 들면 EDGE 시스템에서 필요한 OSR은 256 이상으로, 70 MHz 이상의 클럭 속도가 필요하다^[4]. OSR의 증가는 부품 가격의 상승으로 이어지므로 OSR의 증가 없이 좋은 노이즈 셰이핑 특성을 얻기 위하여 2비트의 시그마-델타 변조기를 도입한 새로운 트랜스미터 구조를 제안하였다. 제안된 구조에서는 2비트 신호를 처리하기 위하여 전력 증폭기의 구조도 바뀌는데, 이러한 구조 변경으로 트랜스미터의 다이내믹 영역(dynamic range)을 증가시키는 효과도 얻을 수 있다.

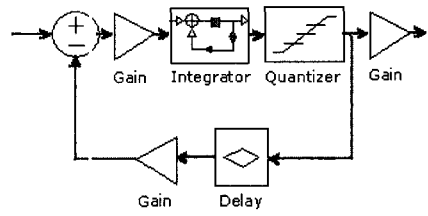
II. 시그마-델타 변조 폴라 트랜스미터

시그마-델타 변조기의 동작에 따른 트랜스미터의 특성을 분석하기 위하여 Agilent ADS의 Ptolemy 툴을 사용하여 회로 시뮬레이션을 하였다^[6].

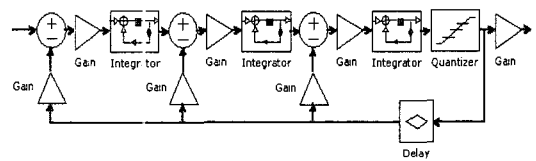
그림 1은 트랜스미터 및 1차, 3차 시그마-델타 변조기의 구조를 보여주고 있다. 트랜스미터의 입력은 중심 주파수가 897.5 MHz인 EDGE 신호를 가정하였



(a) 기존 폴라 트랜스미터
(a) Conventional polar transmitter



(b) 1차 시그마-델타 변조기
(b) 1st order sigma-delta modulator



(c) 3차 시그마-델타 변조기
(c) 3rd order sigma-delta modulator

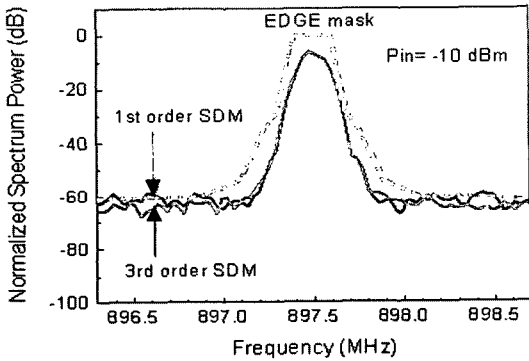
그림 1. 기존 폴라 트랜스미터의 구조
Fig. 1. Conventional polar transmitter architecture.

다. 아날로그-디지털 변환기로서 1차 및 3차 시그마-델타 변조기를 사용하였다. 변조기 뒷단의 저역 통과 필터의 특성은 한 채널 바깥의 전송 대역에서의 신호 특성에 큰 영향을 미치므로 잘 설계되어야 하는데, 주파수에 따른 군 지연 현상이 트랜스미터 전체에 미치는 영향이 크지 않으므로^[4], 본 계산에서는 최대 평탄 특성을 갖는 간단한 3차 버터워스(Butterworth) 필터를 사용하였다. 트랜스미터의 위상 신호와 진폭 신호 사이의 지연은 주로 저역 통과 필터에 의해 발생하므로 시그마-델타 변조기의 차수에 무관하게 0.4 μ sec였으며, RF 신호가 복원되기 전에 위상 경로에서 보정된다. 시그마-델타 변조기에 따른 트랜스미터 특성 비교에 초점을 두기 위해서 전력 증폭기는 간단한 RF 곱셈기로 모사하였다.

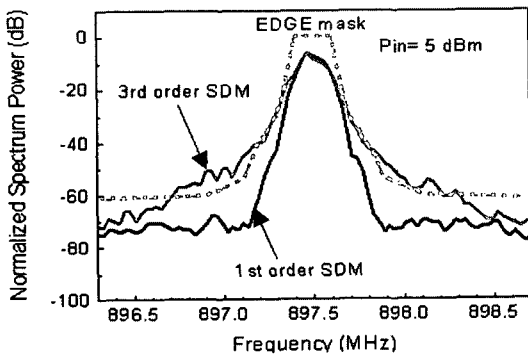
그림 1(b)와 같이, 1차 시그마-델타 변조기는 적분기, 양자화기(quantizer)와 피드백 경로의 지연 소자로 구성된다. 일반적으로 고차의 시그마-델타 변조

기는 발전이 일어나지 않도록 하기 위해 피드포워드 방식과 피드백 방식의 두 가지를 사용하여 구성한다. 본 논문에서는 간단한 피드백 방식을 적용한 3차 시그마-델타 변조기에 대해 계산하였다. 그림 1(c)는 직렬 연결된 3개의 적분기와 양자화기로 구성된 3차 시그마-델타 변조기를 보여준다.

그림 2는 입력 전력이 다른 두 가지 경우의 트랜스미터 입력력 스펙트럼이다. 두 경우, 모두 OSR은 256이다. 그림 2(a)에서 보면, 입력 신호의 전력이 -10 dBm일 때, 1차 시그마-델타 변조기를 포함한 트랜스미터는 주파수 성능 사양을 만족시키지 못한 반면, 3차 시그마-델타 변조기를 포함한 경우는 좀 더 개선된 결과를 보여준다. 차수가 높은 경우 시그마-델타 변조기의 노이즈 셰이핑 특성이 개선되어 관심 주파수 대역의 잡음이 감소하기 때문에 전체 트랜스미터의 성능이 개선된다. 일반적으로 입력 신



(a) 입력 신호의 전력이 -10 dBm일 경우
(a) With -10 dBm input power



(b) 입력 신호의 전력이 5 dBm일 경우
(b) With 5 dBm input power

그림 2. 기존 폴라 트랜스미터의 출력 스펙트럼
Fig. 2. Output spectrum of conventional transmitter.

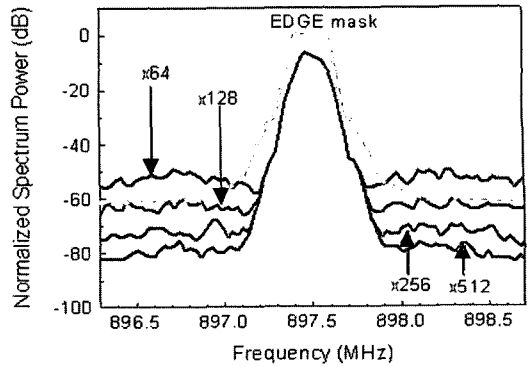


그림 3. 오버 샘플링 비에 따른 기존 폴라 트랜스미터의 출력 스펙트럼

Fig. 3. Output spectrum of the conventional polar transmitter with different over-sampling ratios.

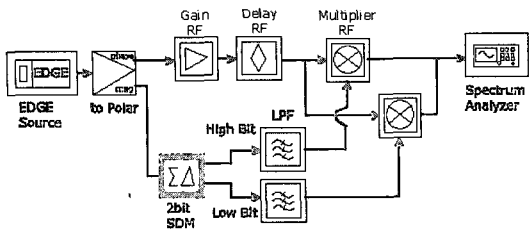
호가 클수록 시그마-델타 변조기의 신호대 잡음비 (SNR)가 좋아져서 주파수 특성이 좋아진다^[7]. 그러나 그림 2(b)의 결과에 의하면 입력 신호의 전력이 5 dBm일 때 3차 시그마-델타 변조기가 1차보다 좋지 않은 특성을 보이며, 주파수 성능 사양을 만족시키지 못함을 알 수 있다. 이러한 현상은 입력 신호의 전력에 따른 시그마-델타 변조기의 안정도 변화로써 설명할 수 있다^[7]. 따라서 노이즈 셰이핑을 좋게 하기 위해 시그마-델타 변조기의 차수를 증가시키는 것에는 한계가 있음을 알 수 있다.

신호의 특성을 향상시키는 가장 효과적인 방법은 시그마-델타 변조기의 OSR을 증가시키는 것이다. 그림 3은 1차 시그마-델타 변조기의 OSR에 따른 주파수 스펙트럼이다. EDGE 신호의 경우 256의 OSR를 사용하면 주파수 사양을 만족시킬 수 있다.

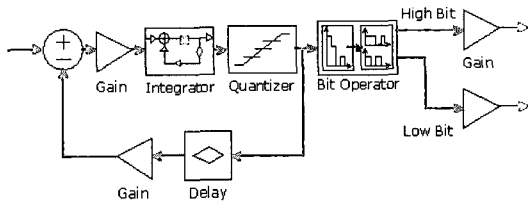
Ⅲ. 2비트 시그마델타 폴라 트랜스미터

3-1 2비트 시그마델타 폴라 트랜스미터 구조

고차 시그마-델타 변조기는 복잡도와 안정성에 비해 효율적이지 않으며, OSR을 증가시키는 방법 역시 현재의 광대역 무선 통신 시스템에 적용시키기에는 현실적으로 어려움이 따른다. 이러한 단점을 보완하기 위해서 2비트 시그마-델타 변조기를 사용한 새로운 트랜스미터 구조를 그림 4(a)와 같이 제안한다. 제안된 구조의 두 가지 특징은, 2비트 시그마-델타 변조기를 사용한 것과 전력 증폭기를 2진법 형



(a) 제안된 폴라 트랜스미터 구조
(a) Proposed polar transmitter architecture



(b) 2비트 시그마-델타 모듈레이터
(b) 2-bit sigma-delta modulator

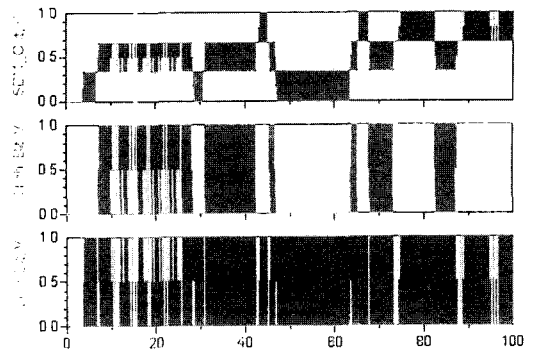
그림 4. 제안된 폴라 트랜스미터 구조
Fig. 4. Proposed polar transmitter architecture.

대로 나누어 구현한 것이다. 2비트 시그마-델타 변조기는 4개의 레벨로 양자화를 한 1차 시그마-델타 변조기로서 미세한 양자화 과정으로 양자화 잡음을 줄이는 효과를 갖는다. 그림 4(b)에 보인 바와 같이 4개 레벨의 출력 신호는 디지털 비트 연산을 통해서 그림 4(b)와 같이 'High Bit'와 'Low Bit'의 두 개의 비트 신호로 바꿀 수 있다. 비트 신호들은 저역 통과 필터 통과 후 두 개의 전력 증폭기에서 각각 위상 신호와 결합되어 복원된다. 두 전력 증폭기의 출력 전력을 3 dB 차이 나게 설계함으로써, 그 출력을 합하여 원래의 RF 신호를 복원할 수 있다. 총 출력 전력은 일정하므로, 기존 구조에 비해 전력 증폭기 칩 면적의 증가는 없다.

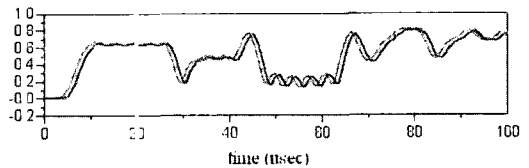
3-2 신호 파형 및 주파수 특성

제안된 트랜스미터의 동작은 그림 5의 시간 영역 출력 파형을 통해 확인할 수 있다. 그림 5는 4개 레벨의 시그마-델타 변조기 출력 신호와 두 개의 비트 신호 및 트랜스미터의 입출력 진폭 신호를 나타낸다. 그림 5(b)에 나타난 바와 같이 입력의 EDGE 신호가 출력에서 그대로 복원되고 있는 것을 확인할 수 있다.

그림 6은 제안된 구조와 기존 트랜스미터의 출력



(a) 시그마-델타 변조기의 비트 출력
(a) Bit outputs of sigma-delta modulator



(b) 트랜스미터의 입출력 진폭 신호
(b) Input and output envelope signals

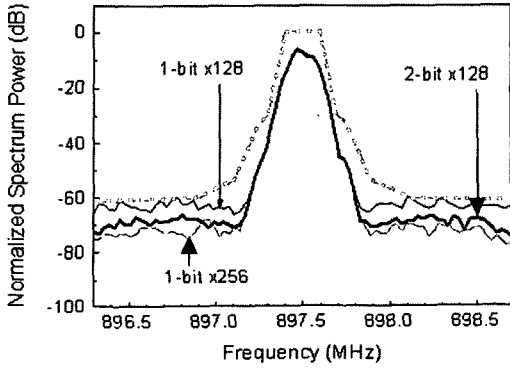
그림 5. 시간 영역 신호 파형
Fig. 5. Time domain signal waveform.

신호 스펙트럼이다. 제안된 구조에서 OSR이 128일 때의 잡음 특성과 기존의 OSR이 256일 때의 특성이 거의 비슷함을 알 수 있다. 그림 6으로부터 전체 전송 대역에서는 그 효과가 더욱 확연함을 알 수 있다. 이것은 채널 간의 간섭까지 고려하였을 때에도, 새로 제안된 구조가 OSR을 높이는 것만큼 효과적임을 보여준다.

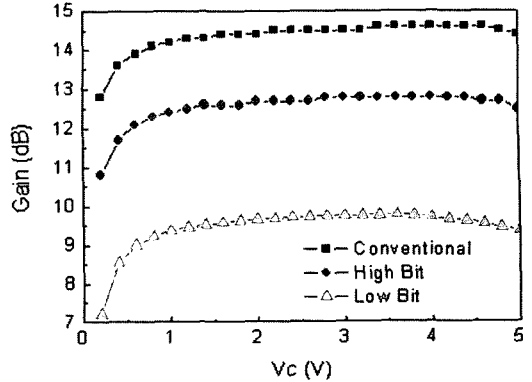
3-3 선형성 특성

제안된 구조는 주파수 특성의 개선과 더불어 트랜스미터의 다이내믹 영역이 확장되는 장점을 갖는다. 트랜스미터의 다이내믹 영역은 전력 증폭기에 의해서 결정되는데, 스위칭 모드로 동작하는 효율 좋은 전력 증폭기는 트랜지스터의 입력 콜렉터 전압이 낮을 때 이득 감소를 보인다. 따라서 이득 감소가 일어나지 않는 최저 입력 전압이 다이내믹 영역의 아래쪽 한계를 결정한다.

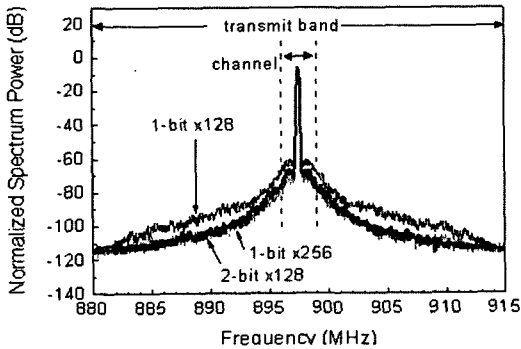
그림 7은 최대 전류 500 mA, knee 전압 0.5 V의 F급 전력 증폭기에 대한 계산 결과이다. 'High Bit' 전력 증폭기와 'Low Bit' 전력 증폭기의 출력 전력의 차



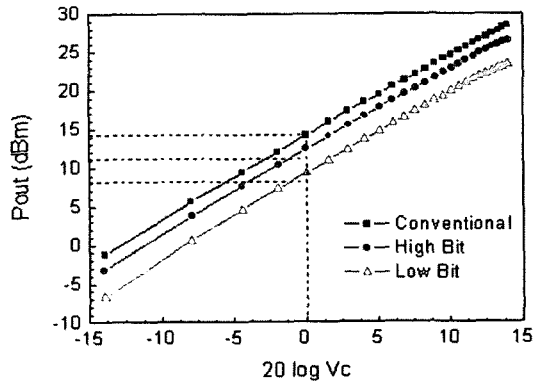
(a) 1채널 구간의 주파수 특성
(a) Spectrum of a channel band



(a) 콜렉터 전압에 따른 이득 특성
(a) Gain vs. collector voltage



(b) 전송 밴드 전체 구간에서의 스펙트럼
(b) Spectrum of full transmit band



(b) 콜렉터 전압에 따른 출력 전력
(b) Output power vs. collector voltage

그림 6. 트랜스미터의 출력 스펙트럼
Fig. 6. Output spectrum of transmitter.

그림 7. F급 전력 증폭기의 이득과 출력 전력
Fig. 7. Gain and output power of the class-F power amplifier.

이는 3 dB이며, 그 합은 기존의 전력 증폭기와 같은 조건이다. 그림 7을 보면 전력 증폭기의 콜렉터 전압이 1 V 이하일 때, 이득 감소가 심각하므로 이 전압이 전력 증폭기의 선형 동작을 보장하는 다이내믹 영역의 최저치를 결정하게 된다. 그림 7에 의하면 1 V일 때의 출력 전력은 'High Bit', 'Low Bit' 및 기존의 전력 증폭기에서 각각 12.4, 9.4, 14.2 dBm이다. 즉, 기존의 전력 증폭기는 14.2 dBm 이상의 전력에서 선형 동작을 하는데 비해, 두 개의 'High Bit', 'Low Bit' 전력 증폭기를 사용하면, 낮은 전력 영역에서는 'Low Bit'의 전력 증폭기만 사용되므로 9.4 dBm의 전력으로도 선형 동작이 가능하다. 그러므로 다이내믹 영역이 낮은 전력 쪽으로 확장되는 효과가 있음을 알 수 있다. 반면, 높은 전력에서는 두 개의 전력 증폭기가 동시에 동작하므로 동작 전력의 한계치는 기존 전력 증폭기와 차이가 없다.

IV. 결 론

광대역 신호의 스펙트럼 특성을 개선하기 위하여 2비트 시그마-델타 변조기를 사용한 새로운 구조의 폴라 트랜스미터를 제안하였다. Agilent ADS Ptolemy 시뮬레이션을 통하여 제안된 트랜스미터를 검증하여 가능성과 개선점을 입증하였다. 제안된 트랜스미터는 2비트 시그마-델타 변조기를 사용함으로써 OSR이 2배 증가한 정도의 잡음 감소 특성을 보였으며, 전체 전송 대역에서 좋은 주파수 스펙트럼 특성을 보여 주었다. 또한 전력 증폭기의 구조 변화에 따른 다이내믹 영역의 확장 효과를 5 dB 정도까지 개선할 수 있었다. 2비트 시그마-델타 변조기를 활용하여 제안된 폴라 트랜스미터는 고속 데이터 전

송 속도를 요구하는 광대역 이동 통신 시스템에 실제적인 해법을 제공할 수 있을 것으로 기대된다.

참 고 문 헌

- [1] L. R. Kahn, "Single-sideband transmission by envelope elimination and restoration", in *Proc. IRE*, vol. 40, no. 7, pp. 803-806, 1952.
- [2] Y. Wang, "An improved Kahn transmitter architecture based on delta-sigma modulation", in *Proc. IEEE Inter. Microw. Symp.*, vol. 2, pp. 1327-1330, 2003.
- [3] A. Dupuy, Y. E. Wang, "A practical scheme for envelope delta-sigma modulated(EDSM) microwave power amplifier", *Microwave and Optical Technology Letters*, vol. 43, no. 6, pp. 491-495, Dec. 2004.
- [4] Y. Haung, Y. Wang, and T. Larsen, "Filter consideration in polar transmitters for multi-mode wireless applications", in *Proc. IEEE Wireless and Microwave Technology*, pp. 133-136, 2005.
- [5] R. B. Staszewski, J. L. Wallberg, S. Rezeq, C. Hung, O. B. Eliezer, S. K. Vemulapalli, C. Fernando, K. Maggio, R. Staszewski, N. Barton, M. Lee, P. Cruise, M. Entezari, K. Muhammad, and D. Leipold, "All-Digital PLL and transmitter for mobile phones", *IEEE J. of Solid-State Circuits*, vol. 40, no. 12, pp. 2469-2482, Dec. 2005.
- [6] Advanced Design System, Agilent Technologies, <http://eesof.tm.agilent.com>
- [7] J. C. Candy, G. C. Temes, *Oversampling Delta-Sigma Data Converters: Theory, Design and Simulation*, New York: IEEE press, 1992.

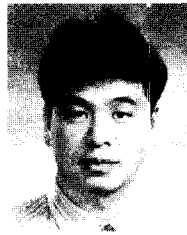
임 지 연



1995년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
 1997년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
 2002년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
 2002년 3월~2004년 1월: 한국전자통신연구원 선임연구원

2004년 10월~2006년 6월: 나리지온(주) 선임연구원
 2006년 9월~현재: 충남대학교 전기정보통신공학부 BK전임교수
 [주 관심분야] 초고속 광통신용 반도체 소자 및 모듈, RF 및 초고주파 집적회로

전 상 훈



1993년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
 1995년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
 2001년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
 2000년 7월~2001년 6월: 한텍 엔지니어링 책임연구원

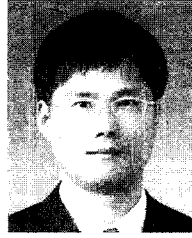
2001년 7월~2006년 6월: 나리지온(주) 책임연구원
 2006년 9월~현재: 한국전자통신연구원 선임연구원
 [주 관심분야] RF 전력 증폭기, 초고주파 집적회로, 적외선 이미지 센서 소자 및 회로

김 경 학



2007년 2월: 충남대학교 전기정보통신공학부 (공학사)
2007년 3월~현재: 충남대학교 전기정보통신공학부 석사과정
[주 관심분야] 초고주파 능동회로 설계, 전력 증폭기 모듈 설계

김 동 욱



1990년 2월: 한양대학교 전자통신공학과 (공학사)
1992년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
1996년 8월: 한국과학기술원 전기 및 전자공학과 (공학박사)
1991년 8월~2000년 5월: LG종합기술원 선임연구원
2000년 6월~2002년 8월: 텔레포스(주) 연구소장
2002년 9월~2004년 9월: 에스원기술연구소 응용기술팀장
2004년 10월~현재: 충남대학교 전기정보통신공학부 교수
[주 관심분야] 초고속 및 초고주파 집적회로, 초소형 레이더 모듈, EMI/EMC

홍 성 철



1982년 2월: 서울대학교 전자공학과 (공학사)
1984년 2월: 서울대학교 전자공학과 (공학석사)
1989년 2월: University of Michigan, Ann Arbor (공학박사)
1989년 5월~현재: 한국과학기술원

전기 및 전자공학과 교수
[주 관심분야] 마이크로파 및 밀리미터파 집적회로, 이동통신용 CMOS 전력 증폭기 집적회로, 초소형 레이더 모듈