

320×256 초점면배열 적외선 검출기를 위한 고성능 저 전력 신호취득회로의 제작

Fabrication of High Performance and Low Power Readout Integrated Circuit
for 320×256 IRFPA

김치연*

Kim, Chi-Yeon

ABSTRACT

This paper describes the design, fabrication, and measurement of ROIC(ReadOut Integrated Circuit) for 320×256 IRFPA(InfraRed Focal Plane Array). A ROIC plays an important role that transfer photocurrent generated in a detector device to thermal image system. Recently, the high performance and low power ROIC adding various functions is being required. According to this requirement, the design of ROIC focuses on 7MHz or more pixel rate, low power dissipation, anti-blooming, multi-channel output mode, image reversal, various windowing, and frame CDS(Correlated Double Sampling).

The designed ROIC was fabricated using 0.6 μ m double-poly triple-metal Si CMOS process. ROIC function factors work normally, and the power dissipation of ROIC is 33mW and 90.5mW at 7.5MHz pixel rate in the 1-channel and 4-channel operation, respectively.

주요기술용어(주제어) : ROIC(신호취득회로), IRFPA(적외선 초점면 배열), Anti-blooming(번짐 차단), CDS(상관된 이중 샘플)

1. 머리말

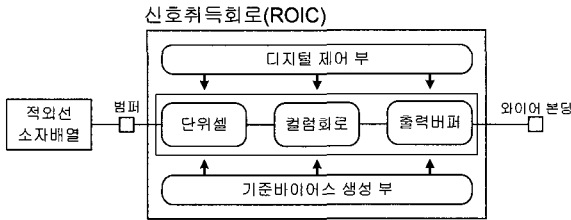
초점면 배열 적외선 검출기는 적외선 검출소자(InSb, HgCdTe 등)와 신호취득회로(ROIC : ReadOut Integrated Circuit)가 인듐 범프를 통해 하이브리드 결합된 형태를 말한다. 여기서 신호취득회로는 적외선 검출소자에서 발생한 광전류를 순차적으로 읽어서

열 영상 시스템으로 전달하는 기본적인 역할을 수행한다^[1]. 신호취득회로는 일반적으로 그림 1과 같이 단위 셀, 컬럼 회로, 출력 버퍼, 기준바이어스 생성부로 구성된 아날로그 부분과 디지털 제어 부분으로 크게 이루어진다. 단위 셀은 신호취득회로의 성능을 결정하는 가장 중요한 핵심 부분으로서 적외선 검출소자 바이어스 유지, 광전류 전달, 광전류 적분, 전류 전압 변환, 셀 선택 등의 역할을 하며, 성능 평가지수로 광전류 주입 효율 등이 있다. 컬럼 회로는 단위 셀 내에 포함된 소스 팔로어의 정 전류를 공급하며 출력 버퍼로 출력되는 신호를 버퍼링한다. 최종 단계

† 2007년 2월 13일 접수~2007년 4월 3일 게재승인

* 국방과학연구소(ADD)

주저자 이메일 : cykim05@add.re.kr



[그림 1] 신호취득회로의 구성

위치하는 출력 버퍼는 출력되는 신호를 버퍼링하여 칩 외부로 신호를 뽑아내는 동작을 수행하며, 큰 외부의 부하에도 동작 속도를 만족하기 위한 큰 전류 구동 능력을 가져야 한다. 이 외에 주변회로로 기준 바이어스 생성 부는 적외선 검출소자 바이어스, 리셋 전압, 아날로그 바이어스 전류를 생성하며, 디지털 제어 부는 신호취득회로를 구동하기 위해 내부적으로 필요한 제어 신호와 단위 셀을 순차적으로 선택하는 쉬프트 레지스터 출력 신호 등을 생성한다. 이미 5MHz의 pixel rate를 가지며 1채널로 동작하는 320×256 신호취득회로가 설계 및 제작 된 바 있다^[2]. 최근에는 다양한 기능이 추가된 고성능 저 전력 신호취득회로가 요구되고 있다. 이러한 요구조건에 따라, 본 논문에서는 저 전력 설계를 바탕으로 7MHz 이상의 pixel rate, 번짐 차단, 다채널 출력 모드, 영상 반전, 다양한 windowing, frame CDS(Correlated Double Sampling)에 초점을 두고 새롭게 제작된 신호취득회로를 다루고자 한다.

본 논문에서는 먼저 신호취득회로의 설계사양을 살펴보고, 이를 바탕으로 설계된 신호취득회로에 대해 기술하였다. 특히 추가된 여러 가지 기능과 고성능 저 전력 설계를 중점적으로 다루었다. 또한 제작된 신호취득회로의 여러 가지 측정 결과를 통해 설계를 검증하고자 하였다.

2. 신호취득회로 설계 사양

표 1은 신호취득회로의 설계 사양을 정리한 것이다. 적분 모드는 ITR(Integrated Then Read) 방식을 채택하며, 출력채널 수는 1채널 또는 4채널을 선택할 수 있도록 한다. 잡음 값은 95% BLIP(Background

[표 1] 신호취득회로 설계 사양

항 목	설계 사양	비 고
배열 수	320×256	
픽셀 간격	30μm	
적분 모드	ITR	
출력전압 폭	> 2V	
출력채널 수	1 또는 4	
채널 당 출력속도	최대 7MHz 이상	
전하 저장용량	> 14Me-	
적분 시간	조절 가능	
신호취득회로 잡음	< 150μV	95% BLIP조건
선형성	≥ 99.5%	10%~90% 출력전압범위
Windowing	320×256/320×240 /option windowing	
전력 소모	<50mW(1 ch) <100mW(4 ch)	
CDS	Frame CDS	
Anti-blooming	가능	

Limited Infrared Photodetector) 조건을 만족하는 값이며, 선형성은 출력범위의 10%~90% 사이를 선형 fitting 한 후 최대 선형성 에러를 계산한 값이다. Windowing 기능은 320×256(full chip), 320×240(center), option windowing의 세 가지 기능을 수행할 수 있도록 한다. 전력 소모는 신호취득회로가 1채널로 동작할 때는 50mW이하로, 4채널로 동작할 때는 100mW이하가 되도록 설계한다. 마지막으로 frame CDS 기능과 번짐 차단 기능을 수행할 수 있다.

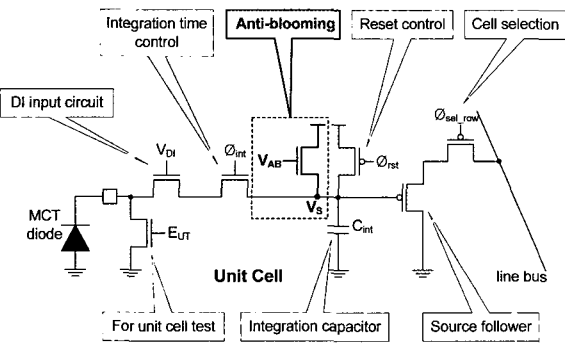
3. 신호취득회로 설계

다양한 기능이 추가된 고성능 저 전력 신호취득회로를 설계하였다. 7MHz 이상의 pixel rate를 만족하도록 컬럼 회로와 출력 버퍼의 MOSFET 사이즈를

결정하였으며, 디지털 부분은 10MHz의 클럭에서 정상 동작하도록 설계하였다. 이 외에 번짐 차단, 다채널 출력 모드, 영상 반전, 다양한 windowing, 그리고 frame CDS에 대해서 자세히 기술하고자 한다.

가. 번짐 차단 회로(Anti-blooming)

적외선 센서가 지나치게 높은 고온의 물체(ex. 태양)에 노출될 경우 픽셀에 과도한 광전류가 발생되고, 발생된 광전류가 주변의 픽셀로 전달되어 영상이 번지는 현상이 발생하는데, 이를 번짐(blooming) 현상이라 한다. 이와 같은 번짐 현상을 방지하기 위해 포화 이후에도 광전류가 흐를 수 있도록 path를 유지하는 번짐 차단 기능이 필요하다^[3]. 그림 2는 신호취득 회로에서 사용된 단위 셀의 회로도도를 보여주고 있으며, 번짐 차단 기능을 위해 그림에서 보는 바와 같이 1개의 NMOS 트랜지스터를 추가하였다. 광전류가 포화되는 시점 즉 NMOS의 소스단 전압(V_S)이 필요 이상으로 낮아지면 V_{AB} 와 V_S 의 전압 차가 발생되고 이 전압 차에 의해 NMOS가 turn on되어 광전류가 흐를 수 있는 path를 유지하게 된다. 또한 번짐 차단에 따른 동작을 비교하기 위해 번짐 차단 on/off 설정 기능을 포함시켰다.

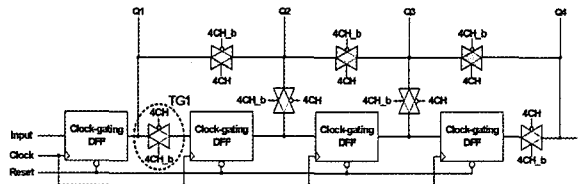


[그림 2] 단위 셀 회로도

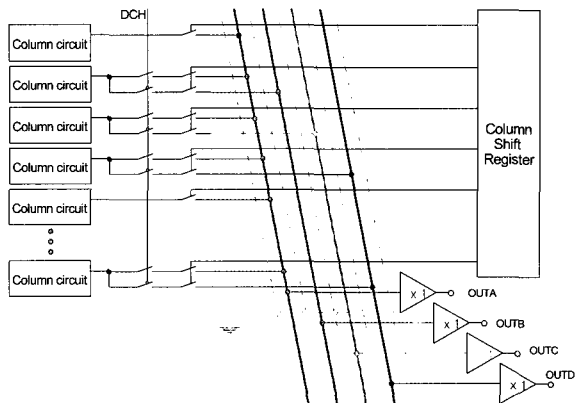
나. 다채널 출력 모드

화면발생률(frame rate)을 증가시키거나 혹은 적분 시간(integration time)을 증가시키기 위해 다채널 출력 모드를 채택하였다^[4]. 본 설계에서는 1채널 또는 4채널 출력 모드가 선택적으로 사용 가능하도록 하였다. 1채널 또는 4채널 출력 모드 사이의 선택은 디지털 부분과 아날로그 부분에서 제어되는데, 먼저 디지털 부분의 열 쉬프트 레지스터에서는 1채널 스위칭 신호나 4채널 스위칭 신호를 선택적으로 생성할 필요가 있다. 이를 위해 그림 3에서와 같이 4개의 D-Flip Flop(DFF)과 7개의 transmission gate가 하나의 block을 이루도록 하였다. 또한 열 쉬프트 레지스터 설계 시 사용된 D-Flip Flop(DFF)은 신호전달이 안정적이고 비교적 면적의 소모가 적은 게이트 어레이형 포지티브 에지 트리거 DFF이며, 전력 소모를 줄이기 위해서 클럭을 게이팅하는 회로를 추가하였다^[5]. 동작을 살펴보면, 1채널 출력 모드에서는 white 트랜스미션 게이트가 on 되어 각각의 출력신호가 순차적으로 생성되며, 4채널 출력 모드에서는 gray 트랜스미션 게이트가 on 되어 네 개의 출력신호가 동시에 생성되어 스위칭 신호로 사용된다. 이 스위칭 신호를 이용하여 아날로그 부분에서는 그림 4에서와 같이 DCH 신호와 4개의 출력 버퍼를 이용해 다채널 출력 모드를 선택하게 된다. 1채널 출력 모드에서는 열 쉬프트 레지스터의 1채널 스위칭 신호를 순차적으로 받아들여 DCH 신호(high)에 의해 각 컬럼 회로

를 이루도록 하였다. 또한 열 쉬프트 레지스터 설계 시 사용된 D-Flip Flop(DFF)은 신호전달이 안정적이고 비교적 면적의 소모가 적은 게이트 어레이형 포지티브 에지 트리거 DFF이며, 전력 소모를 줄이기 위해서 클럭을 게이팅하는 회로를 추가하였다^[5]. 동작을 살펴보면, 1채널 출력 모드에서는 white 트랜스미션 게이트가 on 되어 각각의 출력신호가 순차적으로 생성되며, 4채널 출력 모드에서는 gray 트랜스미션 게이트가 on 되어 네 개의 출력신호가 동시에 생성되어 스위칭 신호로 사용된다. 이 스위칭 신호를 이용하여 아날로그 부분에서는 그림 4에서와 같이 DCH 신호와 4개의 출력 버퍼를 이용해 다채널 출력 모드를 선택하게 된다. 1채널 출력 모드에서는 열 쉬프트 레지스터의 1채널 스위칭 신호를 순차적으로 받아들여 DCH 신호(high)에 의해 각 컬럼 회로



[그림 3] 열 쉬프트 레지스터 회로도(1 block)



[그림 4] 출력 채널 수 선택 회로도

의 출력신호를 하나의 출력 버퍼(OUTA)를 통해 순차적으로 출력시킨다. 반면, 4채널 출력 모드에서는 열 쉬프트 레지스터의 4채널 스위칭 신호를 동시에 받아들여 DCH 신호(low)에 의해 4개의 컬럼 회로의 출력신호를 4개의 출력 버퍼(OUTA~OUTD)를 통해 동시에 출력시킨다.

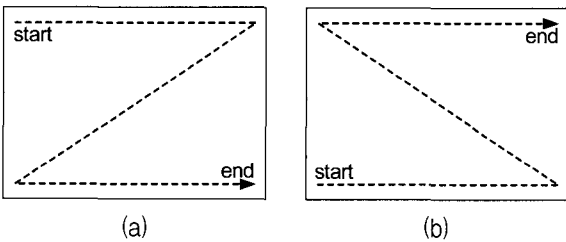
다. 영상 반전 기능

시스템 연결 방향에 따라 영상이 뒤집어 지는 현상을 복원하기 위해 영상 반전 기능을 추가하였다. 그림 5는 영상 반전의 개념도를 보여주고 있다. 2D 영상이 표시되는 순서의 관점에서 볼 때 일반 동작일 경우 (a)와 같이 왼쪽 위가 시작점이 되고 오른쪽 아래가 끝점이 된다. 반면, 반전 동작일 경우 (b)와 같이 왼쪽 아래가 시작점이 되고 오른쪽 위가 끝점이 된다. 영상 반전 기능은 디지털 부분의 행 쉬프트 레지스터에 의해 제어된다. 영상의 상하 반전 효과를 얻기 위해 행 쉬프트 레지스터는 양쪽 방향으로 동작하는 양방향 쉬프트 레지스터로 구현되어야 한다. 그림 6은 clock-gating DFF와 2:1 multiplexer로 구현된 양방향 쉬프트 레지스터의 기본 회로도를 보여주고 있다⁶⁾. 순방향일 때는 왼쪽에서 오른쪽으로

forward input이 입력되어 Q1부터 Q256까지 순차적으로 출력되며, 역방향일 때는 오른쪽에서 왼쪽으로 backward input이 입력되어 Q256부터 Q1까지 순차적으로 출력된다.

라. 다양한 windowing 기능

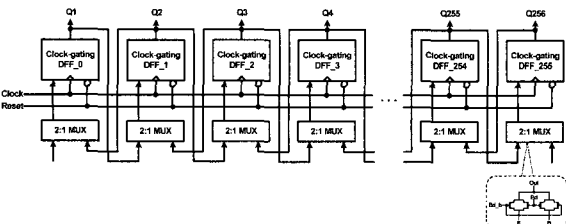
제어 신호에 따라 320×256(full chip), 320×240(center), option windowing의 세 가지 기능을 수행할 수 있도록 하였다. 이는 행 쉬프트 레지스터와 열 쉬프트 레지스터에 의해 수행된다. 여기서 center 기능은 칩을 조립할 때 칩의 중심이 정 중앙에 오도록 하기 위한 것으로서, 256개의 행 중 맨 처음 8개와 맨 마지막 8개를 제외한 나머지 부분이 선택된다. Option windowing은 320×256의 일부 셀만을 동작시켜 다양한 크기의 영상을 얻기 위해 또는 고속의 화면발생물을 구현하기 위해 사용된다. 16개의 행 또는 열을 단위로 하여 최소 16×16의 영역에서부터 최대 320×256의 크기를 갖도록 16의 배수에 해당하는 행, 열의 크기를 갖고, (16n+1, 16m+1, n : 0~19, m : 0~15)의 시작위치를 갖는 window를 지정할 수 있도록 하였다. 행의 시작과 끝 위치는 0에서 15까지의 값을 가져 이진수 4bit로 표시할 수 있고, 열의 시작과 끝의 위치는 0에서 19의 값을 가져 이진수 5bit로 표시할 수 있으므로 행과 열의 시작과 끝 주소를 표시하는데 총 18bit의 데이터가 필요하다.



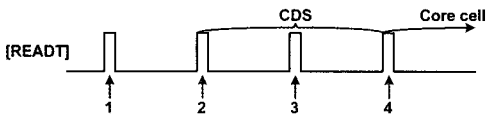
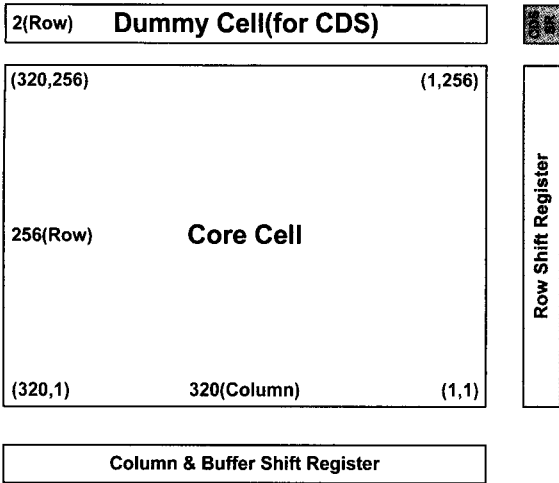
[그림 5] 영상 반전의 개념도
(a) 일반 동작 (b) 반전 동작

마. Frame CDS 기능

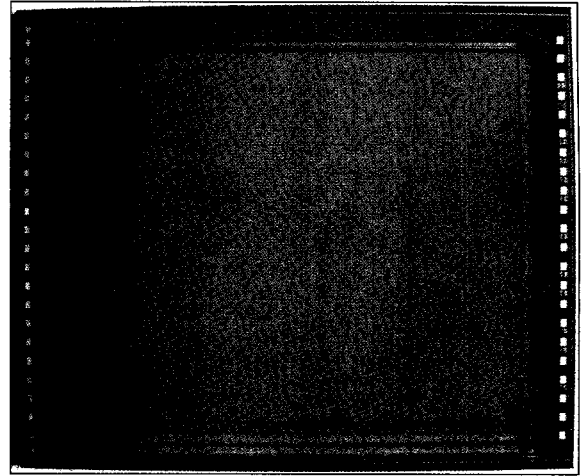
CDS(Correlated Double Sampling)는 저주파 잡음 또는 offset drift를 제거하기 위한 알고리즘³⁾으로서, frame by frame으로 전체 frame의 저주파 잡음이나 시스템의 offset drift를 제거하기 위해 frame CDS 기능을 추가하였다. 이를 위해 그림 7과 같이 256개의 행 배열 외에 2개의 CDS 배열(2×320의 dummy cell)과 이를 선택하기 위한 CDS 쉬프트 레지스터를 추가하였다. 추가된 CDS 배열은 적외선에 반응하지 않도록 적외선 감지소자와 연결되지 않은 채 출력되며, 이 출력 값의 평균을 구해 CDS 보정 데이터로 사용된다. 또한 아래 과정에서와 같이 CDS 배열이 먼저 선택되고 그 다음 주기부터 core cell이 선택되도록 하였다.



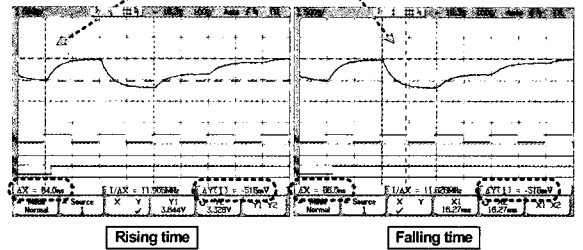
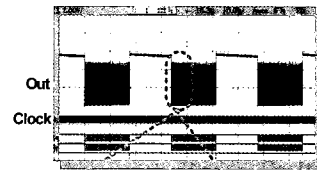
[그림 6] 양방향 쉬프트 레지스터 기본 회로도



[그림 7] Frame CDS 개념도



[그림 8] 제작된 신호취득회로의 칩 사진



[그림 9] 아날로그 출력의 동작 속도 측정

4. 신호취득회로 제작 및 측정 결과

가. 신호취득회로 제작

신호취득회로는 매그나칩(구 하이닉스)의 0.6 μ m double-poly triple-metal Si CMOS 공정을 통해 제작되었다. 그림 8은 하나의 320 \times 256 신호취득회로 칩을 현미경으로 본 사진이다. 좌우로 입출력 pin이 있는 것을 확인할 수 있으며, 전체 pin 수는 아날로그 24pin, 디지털 22pin으로 구성된다. 칩 크기는 12.3mm \times 9.8mm고 약 60만 개의 gate로 구성되어 있다.

나. 동작 속도 측정

제작된 신호취득회로는 load capacitance가 30pF 일 때 7MHz 이상의 동작 속도를 목표로 하였다. 이 경우 출력 파형의 settling time이 pixel time(1/7MHz = 142ns)의 3/4 이하가 되어야 7MHz 이상의 동작 속도를 충분히 만족할 수 있다. 그림 9는 7.5MHz 구동 주파수에서의 신호취득회로의 출력파형을 본 것으로 측정 시 load capacitance는 약 30pF이었다. 측정 결과 rising에서의 settling time은 84ps이고, falling

에서의 settling time은 86ps이므로, 이는 동작 속도 7MHz 이상을 충분히 만족하는 값을 알 수 있다.

다. 번짐 차단 기능 측정

하이브리드 칩(검출소자 + 신호취득회로) 제작 후 번짐 차단 기능 on/off에 따른 번짐 현상을 관찰하였다. 그림 10은 point source blackbody 앞에 hole pattern을 두고 blackbody의 온도를 변화해 가면서 취득한 영상에 의해 번짐 현상을 관찰한 것이다. 그림에서 볼 때 번짐 차단 기능이 off 되었을 때, 주변 픽셀에 영향을 주어 빛이 번지는 현상을 관찰할 수

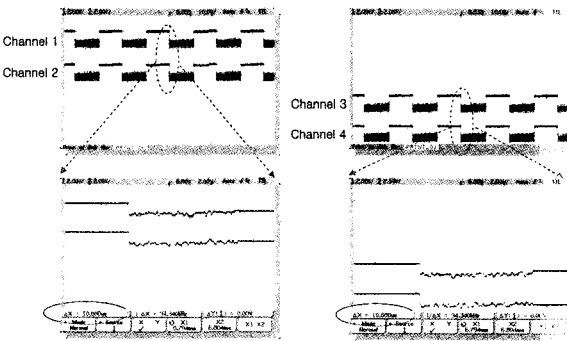
Blackbody 온도	80°C	100°C	200°C	300°C	400°C	500°C
Anti-blooming : off						
Anti-blooming : on						

[그림 10] Blackbody 온도에 따른 번짐 차단 기능 측정 결과

있으며, 이는 blackbody의 온도가 증가함에 따라 더 커짐을 확인할 수 있다. 이에 반해 번짐 차단 기능이 on 되었을 때에는 번짐 현상이 많이 제거되었음을 확인할 수 있다.

라. 다채널 출력 모드 측정

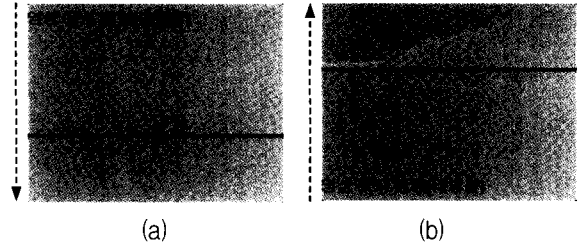
제작 된 신호취득회로는 register 설정에 따라 출력 채널 개수를 1 또는 4개로 설정이 가능하다. 4개의 출력 채널이 선택될 경우 4개의 픽셀 데이터가 동시에 출력되므로 하나의 행에 대한 출력 신호가 1/4로 감소되어 전체 readout time이 최대 4배까지 줄어들 수 있다. 그림 11은 4채널 출력으로 register를 설정하고 4개의 출력 채널 각 각을 오실로스코프로 측정한 결과이다. 측정 결과 행 출력 시간이 $10.6\mu s$ ($(1/7.5MHz) \times (320/4)$)로 감소되어 4채널로 동작하고 있음을 확인할 수 있다.



[그림 11] 4채널 출력모드에서의 출력 파형

마. 영상 반전 동작 측정

하이브리드 칩 제작 후 제어 신호에 따른 영상 반전 현상을 관찰하였다. 제어 신호에 따라 영상은 위아래로 반전이 되며, 그림 12는 각 영상 반전 설



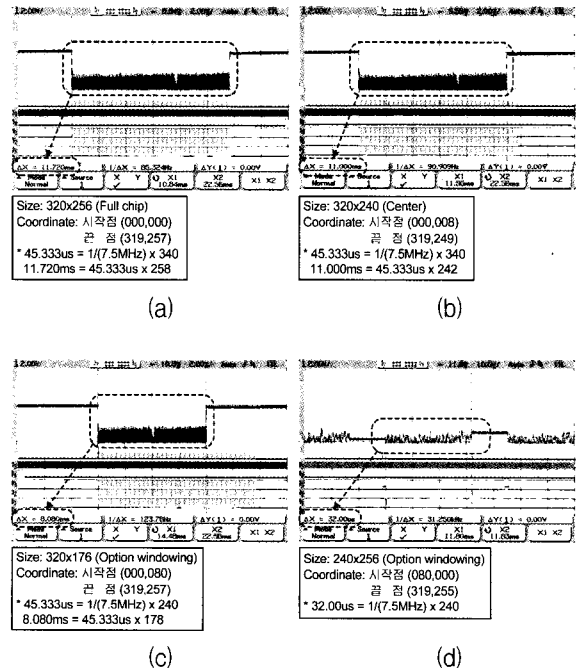
[그림 12] 영상 반전 동작

(a) 일반 동작 시 영상 (b) 반전 동작 시 영상

정 전 후의 영상을 시각화한 것이다. 그림에서 보는 바와 같이 일반 동작 시에는 영상이 위에서 아래의 순서로 표시되며, 반전 동작 시에는 영상이 아래에서 위의 순서로 표시된다.

바. Windowing 동작 측정

Windowing 동작을 확인하기 위해 그림 13과 같이 행과 열의 사이즈를 달리하여 동작시켜 보았다. 그림



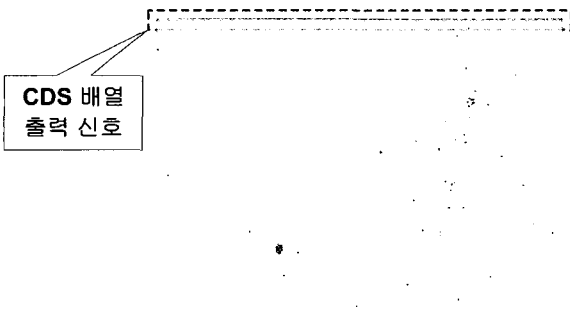
[그림 13] Windowing 출력 파형

(a) Full chip windowing (b) Center windowing
(c) 행 option windowing (d) 열 option windowing

13의 (a)는 full chip windowing(320×256)에 대한 출력 파형이다. 그림에서 볼 때 행에 대한 동기 신호는 258개(256개의 행을 위한 동기 신호 + Frame CDS를 위한 2개의 동기 신호)가 입력되며, 여기서 동기 신호의 한 주기는 MCLK의 340 clock에 해당된다. 그림 13의 (b)는 center windowing(320×240)에 대한 것이며, 256개의 행 중 맨 처음 8개와 맨 마지막 8개를 제외한 나머지 부분이 선택된다. 그림에서 볼 때 동기 신호가 258개 입력되더라도 실제 출력은 242개의 행에 해당되는 11ms 동안만 출력됨을 알 수 있다. 그림 13의 (c)는 행 option windowing(320×176)에 대한 것이며, 시작점과 끝점에 상관없이 176개의 행에 해당되는 8.08ms 동안 출력되는 것을 볼 수 있다. 그림 13의 (d)는 행에 대한 동기 신호의 한 주기에 대한 것이며, 열 option windowing(240×256)에 대한 출력 파형이다. 이 경우 열 신호가 240 clock에 해당되는 32μs 동안만 출력되는 것을 볼 수 있다. 결국, 제작된 신호취득회로는 window register 설정 값에 따라 windowing이 정상적으로 이루어짐을 확인할 수 있다.

사. Frame CDS 기능 측정

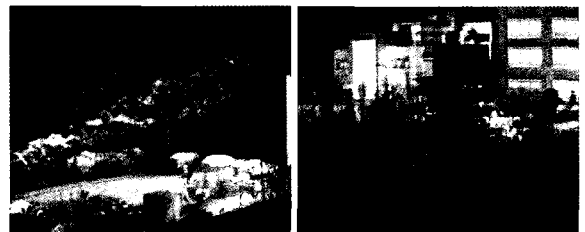
하이브리드 칩 제작 후 frame CDS 기능을 확인했다. 그림 14는 하이브리드 칩의 출력 신호를 보여주고 있으며, 위쪽에 CDS 배열의 출력 신호가 표시되어 있다. 이 CDS 배열의 출력 신호를 이용해 frame CDS 적용 전 후의 잡음을 관찰한 결과 384μV에서 381μV로 CDS 적용에 따른 random 잡음의 변화가 거의 없었다. 하지만, 냉각 온도 변화 및 장시간 운용



[그림 14] 하이브리드 칩 출력 신호

[표 2] 신호취득회로 측정 결과

항 목	설계 사양	측정 결과	비 고
출력 전압 폭	> 2V	2.25V	
채널 당 출력속도	최대 7MHz 이상	7.5MHz	
전하 저장용량	> 14Me-	16.5Me-	
신호취득 회로 잡음	< 150μV	141μV	95% BLIP
선형성	≥ 99.5%	99.86%	10%~90%
전력 소모	<50mW(1 ch) <100mW(4 ch)	33mW(1 ch) 90.5mW(4 ch)	



[그림 15] 적외선 영상

시 frame CDS 적용에 따른 성능 향상의 검토가 필요하다.

제작된 신호취득회로의 특성을 측정한 결과를 표 2에 정리하여 나타내었다. 신호취득회로를 제작 후 측정된 결과 전력 소모, 잡음, 선형성, 채널 당 출력 속도 등 모든 항목들이 설계 사양을 만족함을 확인할 수 있다. 그림 15는 제작된 신호취득회로가 적용된 검출기를 이용하여 얻은 적외선 영상을 보여주고 있다. 그림에서 보는 바와 같이 자동차, 건물, 나무 등 선명한 영상을 확인할 수 있다.

5. 맺음말

본 논문에서는 320×256 초점면 배열 적외선 검출

기를 위한 고성능 저 전력 신호취득회로의 설계, 제작, 그리고 측정 결과에 대해 자세히 기술하였다. 신호취득회로는 적외선 검출소자에서 발생된 광전류를 순차적으로 읽어서 열 영상 시스템으로 전달하는 기본적인 기능 외에 번짐 현상을 방지하기 위한 번짐 차단 기능, 화면 발생률을 증가시키거나 혹은 적분 시간을 증가시키기 위한 다채널 출력 모드 기능, 시스템연결 방향에 따라 영상이 뒤집어 지는 현상을 복원하기 위한 영상 반전 기능, 전체 픽셀 중 특정 부분만을 읽어 낼 수 있는 다양한 windowing 기능, 전체 frame의 저주파 잡음이나 offset drift를 제거하기 위한 frame CDS 기능을 수행할 수 있도록 설계되었다.

설계된 신호취득회로는 매그나칩(구 하이닉스)의 $0.6\mu\text{m}$ double-poly triple-metal Si CMOS 공정을 이용하여 6인치 웨이퍼로 총 12장이 제작되었으며, 웨이퍼 한 장당 98개의 신호취득회로를 얻을 수 있었다. 제작된 신호취득회로는 7.5MHz의 채널 당 출력 속도를 가지며, 1채널일 때 33mW, 4채널일 때 90.5mW의 전력을 소모하는 것으로 확인되었다. 측정 결과 및 획득된 적외선 영상으로부터 설계 및 제작된 신호취득회로는 고성능 초점면 배열 적외선 검출기에 충분히 적용될 수 있을 것으로 기대된다.

참 고 문 헌

- [1] W. D. Rogatto, The Infrared and Electro Optical Systems Handbook-volumn 3. Electro -Optical Components, ERIM and SPIE Optical Engineering Press, 1993.
- [2] 김선호, 최종화, 김남환, 박승만, “적외선 검출기 용 저전력 320×256 신호취득회로의 설계 및 제작”, 국방기술연구, 제10권, 제2호, 하권, pp.76~83, 2004.
- [3] O. Neshor, S. Elkind, “Performance of BF Focal Plane Array 320×256 InSb Detectors”, Proc. SPIE, Vol. 4820, pp.699~707, 2003.
- [4] P. Tribolet, P. Chorier, S. Dugalleix, S. Magli, P. Fillon and X. Breniere, “Lightweight, compact, and affordable MW TV format IR detector”, Proc. SPIE, Vol. 5406, pp.193~204, 2004.
- [5] A. G. M. Strollo, E. Napoli and D. De Caro, “Low-power flip-flops with reliable clock gating”, Microelectronics Journal, Vol. 32, No. 1, pp.21~28, 2001. 1.
- [6] N. Sklavos, P. Kitsos, N. Zervas and O. Koufopavlou, “A new low power and high speed bidirectional shift register architecture”, In proc. of IEEE International Workshop on Power And Timing Modeling, Optimization and Simulation(PATMOS'01), 2001.