

On-chip 발룬을 포함한 2.45GHz대역 RFID용 LNA-Mixer설계

論 文

56-11-17

Design of a LNA-Mixer with on-chip balun for 2.45GHz RFID Applications

林泰瑞* · 高在亨* · 鄭孝彬* · 金炯碩†

(Tae-Seo Lim · Jae-Hyeong Ko · Hyo-Bin Jung · Hyeong-Seok Kim)

Abstract - This paper presents the design and analysis of LNA-Mixer for 2.45GHz RFID reader. The LNA is implemented by PCSNIM method for low power consumption. The Mixer is implemented by using the Gilbert-type configuration, current bleeding technique and the resonating technique for the tail capacitance. The connection between the two designed circuits is made by active balun. This LNA-Mixer has about 22dB gain and 8.5dB Noise Figure for -50dBm input RF power, LO power is 0dBm, RF frequency is 2.45 GHz and IF frequency is 100kHz. The layout of LNA-Mixer for one-chip design in a 0.18-um TSMC process has 2.5mm x 1.0mm size.

Key Words : LNA-Mixer, RFID, Active balun

1. 서 론

현재 RFID산업의 주파수 대역 별 사용을 살펴보면 13.56MHz의 경우 근 방향 IC카드로서 신분증이나 전자 승차권에 이용되고 있고 433.92MHz의 경우 컨테이너 관리용으로 사용되고 있다. 그리고 860~960MHz의 경우 유통 및 물류 전반에 사용되고 있지만 국가별로 사용대역이 다르므로 인해 범용화에 한계를 지니고 있다. 때문에 그 대안으로서 2.45GHz대역 RFID 관련 연구가 활발히 진행되고 있으며 이에 따른 Reader 및 Tag의 제작에 있어서 구조적인 측면 및 경제적인 측면에 대한 많은 요구가 대두되고 있다.[1] 이런 요구의 해결책으로서 직접변환 방식을 이용한 수신단의 개발에 대한 연구가 진행되고 있다.

집적회로의 기술이 급속도로 소형화, 집적화 되어가고, RFID 관련 제품이 저전력 소모를 요구하므로 이를 만족하기 위해서는 저전력 및 고집적화에 초점을 맞추어 수신단에 들어가는 소자를 단일 소자로 설계하는 것이 필요하다.[2][3]

따라서 본 논문에서는 직접변환 방식의 RFID 리더에 적용 가능한 2.45GHz대역 LNA-Mixer를 설계 하고자 한다. 두 소자의 연결을 위해 Off-chip balun을 사용하는 것 보다 On-chip balun을 사용하는 것이 설계의 편의성과 전력전달, 비용절감 측면에서 유리하다. On chip balun설계 시 안테나 뒷단에 balun을 연결한 후 Balanced LNA를 연결할 경우 Balanced LNA는 전력소모가 크고 balun의 높은 잡음특성으로 인해 수신단 전체의 Noise Figure 특성이 악화되므로 Single-Ended구조로 설계된 LNA와 balanced구조로 설계된

Mixer를 연결하는 방법을 선택하였다.

2. System Link budget 설계

LNA-Mixer 설계 시 RFID에 적용 가능하도록 전력소모 특성을 고려하여 설계 하였으며 ISO 18000-4 표준안을 참고하여 특성을 결정하였다. 먼저 수신단의 BER이 10^{-5} 이고 ASK 변조방식을 사용할 경우, SNRmin은 12.5dB이며[3] 3dB의 마진을 고려하여 SNRmin을 15.5dB로 결정 하였다. 식(1)을 이용하여 자유공간을 통해 전달되는 전력을 계산하였다.

$$P_r = \frac{P_t G_t G_r}{(4\pi d/\lambda)^2} \quad (1)$$

이때 P_t 는 송신전력, G_t 는 송신단 안테나 이득, G_r 은 수신단 안테나 이득, d 는 송신단과 수신단 사이의 거리를 나타낸다. ISO 18000-4 표준안에 따르면 2.45GHz 대역 RFID 최대 EIRP는 27dBm이므로 계산을 위해 송신 전력 20dBm, 송신단의 안테나 이득 5dBi, 수신단의 안테나 이득 이 0dBi, 송수신단의 거리가 1m라고 가정하면 RFID Tag에 도달하는 수신 전력은 -15dBm이다. 일반적으로 수동형 Tag의 경우 -15dBm의 신호 이상에서 동작하므로 1m 이내에서 Tag의 정상적인 동작이 이루어질 것으로 예상된다. 그리고 송수신단 사이의 거리가 1m 일 때 Tag에서 리더로 재 송신되는 전력은 식1을 통해 -50dBm으로 계산되었다. 또한 수신단의 잡음특성을 결정하기 위해 식(2)를 이용하였다. 이때 $P_{in,min}$ 은 리더의 최저 수신 전력이며 B 는 대역폭, SNR_{min} 은 변조방식과 BER에 따른 SNR의 최소값을 나타낸다.

* 學生會員 : 中央大 工大 電子電氣工學部 碩士課程

† 교신저자, 正會員 : 中央大 工大 電子電氣工學部 正教授

E-mail : kimcaf2@cau.ac.kr

接受日字 : 2007年 8月 15日

最終完了 : 2007年 9月 22日

$$NF = P_{i_{n, \min}} + 174 \text{ dBm/Hz} - 10 \log B - SNR_{\min} \quad (2)$$

대역폭은 500kHz, SNR_{\min} 은 15.5dB이고 $P_{i_{n, \min}}$ 를 -90dB로 가정하면 이에 따른 수신단의 최소 잡음특성은 11.5dBm이다. 이 결과를 이용하여 수신단의 Link Budget를 그림 1에 나타내었으며 LNA-Mixer의 설계목표를 표 1에 나타내었다.

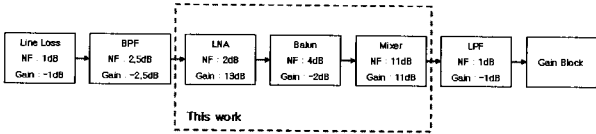


그림 1 2.45GHz RFID 링크 버짓 설계
Fig. 1 2.45GHz RFID system Link Budget design

표 1 LNA-Mixer의 설계 목표

Table 1 LNA-Mixer Target Specifications

항 목	단 위	값
Center frequency	GHz	2.45
Supply	V	1.8
Gain	dB	22
NF	dB	4
S11	dB	-15
Process	-	TSMC 0.18um

3. LNA 설계

본 논문에서는 일정한 전력 소모를 유지하면서 입력 매칭과 노이즈 매칭을 동시에 만족시키는 Power Constrained Simultaneous Noise Input Matching (PCSNIM) 방법[4]을 사용하여 LNA를 설계 하였다. 입력단 매칭회로는 degeneration 인덕터 L_s 와 게이트-소스 간 커패시터 C_{ex} , 게이트 단 인덕터 L_g 로 구성되며 간략한 구조를 그림 2에 나타내었다.

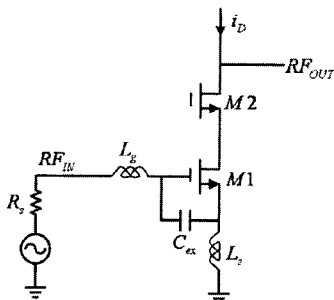


그림 2 PCSNIM 방법을 사용한 LNA 회로도
Fig. 2 Schematic of LNA using PCSNIM method

그림 3은 그림 2의 소신호 등가회로 이다. 그림 3에서 $\overline{i_{nd}^2}$ 은 channel thermal noise 전류를 나타내며, $\overline{i_{ng}^2}$ 는 gate-induced noise 전류를 나타낸다. channel thermal noise 전류와 gate-induced noise 전류의 상관 계수 c 는 식 (3)으로 표현되며, long channel devices의 경우 j0.395의 값을 갖는다.

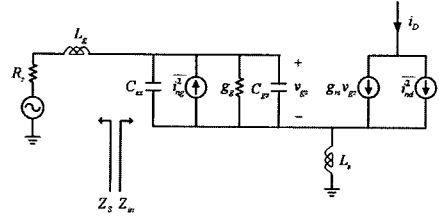


그림 3 소신호 등가 회로
Fig. 3 Small signal equivalent circuit.

$$c \equiv \frac{\overline{i_{ng} \cdot i_{nd}^*}}{\sqrt{\overline{i_{ng}^2} \cdot \overline{i_{nd}^2}}} \quad (3)$$

소신호 등가회로에서 noise parameter를 계산하면 식 (4), (5), (6)과 같으며, 식 (5)에서 $C_t = C_{gs} + C_{ex}$ 이고 다른 변수들은 표 2에 정리하였다.

$$R_n = \frac{\gamma}{\alpha} \frac{1}{g_m} \quad (4)$$

$$Z_{opt} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|d|^2)}} + j \left(\frac{C_t}{C_{gs}} + \alpha |d| \sqrt{\frac{\delta}{5\gamma}} \right)}{w C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|d|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha |d| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - s L_s \quad (5)$$

$$NF_{\min} = 1 + \frac{2}{\sqrt{5}} \frac{w}{w_T} \sqrt{\gamma \delta (1-|d|^2)} \quad (6)$$

표 2 기호 목록

Table 2 List of symbols

symbols	Definition and Value
C_{gs}	트랜지스터 M1의 게이트-소스 커패시터
g_m	트랜지스터 M1의 transconductance
ω_0	동작 주파수
ω_T	차단 주파수
δ	long channel devices constant, value=4/3
γ	long channel devices constant, value=2/3
α	long channel devices constant, value=1

그림 3에서 표현된 입력단에서 바라본 입력 임피던스는 식 (7)로 나타낼 수 있다.

$$Z_{in} = \frac{L_s}{C_{gs}} g_m + j \left(\omega L_s + \omega L_s - \frac{1}{\omega C_{gs}} \right) \quad (7)$$

Cascode 구조를 이용한 LNA 설계 시, 입력 매칭과 노이즈 매칭을 동시에 맞추기 위해서는 degeneration 인덕터 L_s 를 사용하며 이는 식 (5)에서 실수부를 만들어 주기 위함이다. 그림 2의 회로도에서 입력 매칭과 노이즈 매칭을 동시에 만족하기 위해서는 식 (8)부터 (11)까지의 4개의 식을 모두 만족시키는 회로를 구성하여야 한다.

$$Re[Z_{opt}] = Re[Z_s] \quad (8)$$

$$Im[Z_{opt}] = Im[Z_s] \quad (9)$$

$$Im[Z_{in}] = -Im[Z_s] \quad (10)$$

$$Re[Z_{in}] = Re[Z_s] \quad (11)$$

PCSNIM 방식의 LNA를 설계하기 위해 먼저 게이트단의 바이어스 전압을 결정해야 한다. 이때 게이트 단의 바이어스 전압은 최대 이득과 NFmin을 고려하여 결정한다. 바이어스 전압이 결정되면 주어진 소비 전력을 만족하는 트랜지스터의 크기를 결정한다. 트랜지스터의 크기가 크면 전력 소비가 커지고, 트랜지스터의 크기가 작으면 전력 소비는 줄어들지만 트랜지스터의 cutoff 주파수인 ω_T 가 낮아지므로 적절한 트랜지스터의 크기를 결정하는 것이 중요하다. 다음 단계로 식 (8)과 식 (11)을 동시에 만족시키는 C_{ex} 와 L_s 를 선택한다. L_s 값이 너무 커지게 되면 NFmin이 커지게 되며, C_{ex} 값이 커지면 이득이 떨어지므로 적절한 C_{ex} , L_s 값이 요구된다. 그 후 식 (7)과 (8)을 만족시키는 매칭 회로를 인덕터 L_g 를 이용하여 구성한다. 입력 단의 회로 구성이 완성되면 최대 이득을 얻기 위한 출력 매칭을 하며, 그 후에는 전체 성능을 고려한 튜닝을 통하여 설계를 마무리한다.

전체 회로의 모의실험 결과를 그림 4와 그림 5에 나타내었다. S21은 2.45GHz에서 13.37dB이며, S11은 -14.94dB, S22는 -20.18dB이다. NF는 2.45GHz에서 2.15dB이며, 그림 5에서 도시된 것처럼 NFmin에 근접한 값을 얻었다. 2.45GHz 대역 LNA의 모의실험 결과를 표 3에 정리하였다.

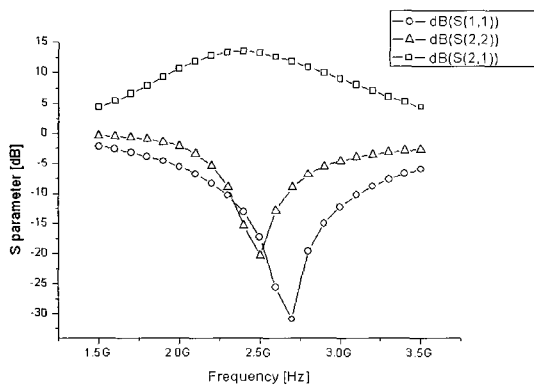


그림 4 설계된 LNA의 S-parameter 모의실험 결과
Fig. 4 S-parameter simulation results of designed LNA.

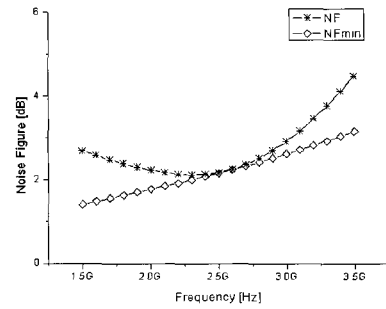


그림 5 설계된 LNA의 NF와 NFmin 모의실험 결과
Fig. 5 NF and NFmin simulation results of designed LNA.

표 3 LNA의 모의실험 결과
Table 3 Simulation results of LNA

항 목	단 위	모의실험 결과
Center frequency	GHz	2.45
Gain	dB	13.37
S11	dB	-14.94
S22	dB	-20.18
NF	dB	2.15
Power consumption	mW	9.3

4. Mixer 설계

Mixer설계를 직접 변환 방식으로 설계할 경우 MOS에서 생성되는 고유잡음인 flicker noise특성이 주요 고려사항이 된다. Flicker Noise의 주요 원인은 mixer의 switching단과 bias current이다. Mixer에서 RF단의 bias current의 증가는 높은 이득과 향상된 선형성을 보장하지만 이로 인해 LO switching current가 증가함으로써 voltage headroom 문제를 야기한다. LO switching단에서 생성되는 Flicker Noise를 줄이기 위해서는 LO swing폭이 크고, 트랜지스터의 width가 넓어져야 한다.[5] 하지만 트랜지스터의 크기가 커지면서 기생 커패시턴스의 효과도 같이 커지고 이는 1/f noise의 증가로 이어지므로 LO단에서 사용되는 트랜지스터의 기생 커패시턴스 (Cp)를 상쇄시킬 수 있는 방법이 요구된다. 또한 noise 전류는 bias 전류에 비례하고 mixer의 flicker noise는 switching단의 영향을 많이 받으므로 switching단의 bias current를 줄여야 할 필요가 있다.

이를 해결하기 위해 본 논문에서는 CMOS를 이용한 current bleeding 기법을 이용하여 Low IF를 사용하는 직접 변환 방식의 이중평형 Mixer를 설계하였다. 그림 6은 제안된 Current Bleeding기법이 적용된 회로를 나타내고 있다. M7과 M8로 구성된 current bleeding circuit은 voltage headroom문제를 완화시키므로 load 저항인 R4와 R5를 증가시켜 Mixer의 높은 이득을 얻을 수 있도록 한다. 또한 트랜스 컨덕턴스단인 RF단의 M1과 M2의 bias current를 LO switching단을 거치지 않고 높일 수 있으므로 역시 Mixer의 이득을 높일 수 있다.[7] 그리고 R2와 R3는 M7과 M8의 전류를 조절하기 위한 저항이며, R1은 회로의 안정화를 위한

저항이다. Mixer의 flicker noise를 줄이기 위해 M3~M6의 크기가 커짐으로 인해 회로에서 영향이 커진 M3~M6의 기생 커패시터의 영향을 줄이기 위해 L1을 연결하였다.

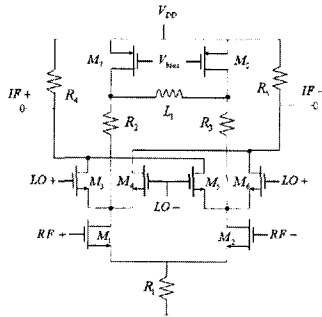


그림 6 current bleeding 기법이 적용된 이중평형 주파수 혼합기의 회로도
 Fig. 6 Schematic of the double-balanced mixer with current bleeding circuit.

Cadence Spectre를 이용하여 설계하였으며 공정은 TSMC 0.18um공정을 적용하였다. 그림 7에서 제안된 구조의 DSB noise특성을 log scale로 나타내었다. 제안된 구조에서 IF frequency가 510kHz이상일 때 Noise Figure는 10.8dB이하를 나타내었다. 그림 8은 LO power에 따른 Mixer의 이득을 도시한 그래프이며 LO Power에 따른 고른 이득 특성을 보이고 있음을 확인 할 수 있다. 그림 9는 LO 입력이 0dBm이고 RF 입력이 -40dBm일 때 RF주파수의 변화에 따른 변환 이득을 나타낸 그래프이다. RF입력 주파수가 2~3GHz의 범위 내에서 10dB이상의 이득을 갖는 것을 확인 할 수 있다. 설계한 Mixer의 특성을 표 4에 정리하였다.

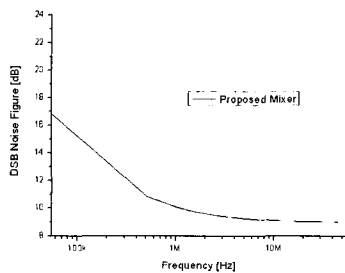


그림 7 DSB 잡음특성
 Fig. 7 DSB Noise Figure.

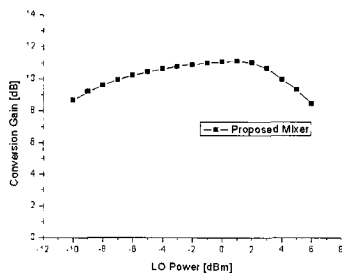


그림 8 LO전력에 따른 이득 변화
 Fig. 8 Conversion gain variation as a function of LO power.

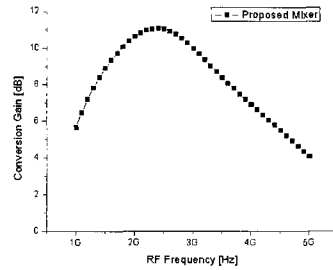


그림 9 RF주파수에 따른 이득 변화
 Fig. 9 Conversion gain variation as a function of RF frequency.

표 4 Mixer의 모의실험 결과

Table 4 Simulation results of Mixer

항목	단위	모의실험 결과
RF frequency	GHz	2.45
IF frequency	kHz	100
Conversion Gain	dB	11
DSB Noise figure	dB	10.8 @510kHz
Power consumption	mW	7.7

5. Balun 설계

수신단의 경우 저잡음 증폭기에서 증폭된 Unbalanced 된 출력 신호를 Balanced된 Mixer의 입력신호로 사용하기 위해서는 Balun이 필요하다. 이때 회로의 정상적인 동작을 위해서는 Balun 출력단의 두 신호간의 크기는 같고 위상은 180도 차이가 나야 한다. [6]

그림 10은 설계된 Balun의 회로도이다. Balun의 RF-input 단으로 unbalanced된 신호가 들어오게 되면 동일한 두 트랜지스터의 drain에서 신호가 크기는 같고 위상차가 180°인 신호가 출력된다. Differential pair를 구성하는 M1, M2 트랜지스터는 모두 saturation 영역에서 동작하도록 하였으며 공급 전압 1.8V에서 3mW의 전력을 소모하였다.

능동형 발룬의 두 출력 단의 주파수 변화에 따른 gain과 phase mismatch를 그림 11, 12에 나타내었다. 설계된 Balun은 1.5~3.5GHz대역에서 고른 성능을 보이고 있으며 2.45GHz에서 두 출력 신호간의 차이는 0.224dB, 위상차는 180.648°이다. 설계된 Balun의 모의실험 결과를 표 5에 정리하였다.

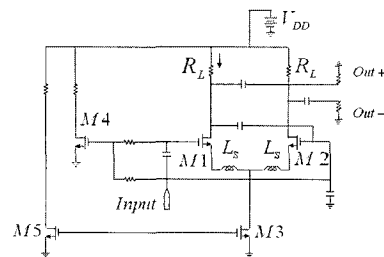


그림 10 Bias회로를 포함한 Balun 회로도
 Fig. 10 Schematic of the balun with its bias circuit.

표 5 Balun의 모의실험 결과

Table 5 Simulation results of Balun

항 목	단 위	결 과
Center frequency	GHz	2.45
Mismatch	Gain	dB
	Phase	Degree
Power Consumption	mW	3

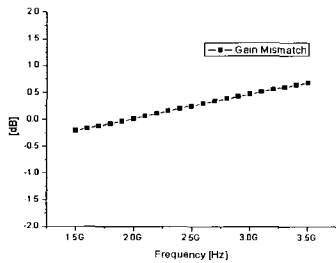


그림 11 발룬 출력 단계에서의 gain mismatch
Fig. 11 Gain mismatch of balun output stage

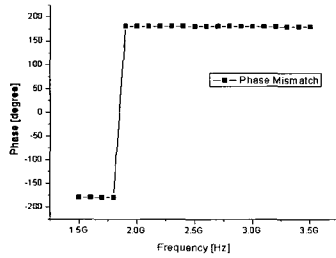


그림 12 발룬 출력 단계에서의 phase mismatch
Fig. 12 Phase mismatch of balun output stage

6. LNA-Mixer 설계

Mixer와 LNA를 각각 설계한 후 두 회로를 Balun을 연결하여 LNA-Mixer를 설계하였다. Mixer의 LO입력단 역시 Balun을 연결하여 단일의 LO신호가 Balun을 통해 Balanced 되어 Mixer로 입력 되도록 구성하였다.

설계한 LNA-Mixer의 이득은 RF Power가 -50dBm, LO Power가 0dBm, RF 주파수가 2.45GHz일 때 22dB이며 결과를 그림 13에 도시하였다. 그리고 같은 조건에서 LNA-Mixer의 Double Side Band 잡음특성은 IF주파수가 100kHz 이상일 때 8.5dB이하의 값을 나타내었으며 그 결과를 그림 14에 도시하였다. 그림 15는 RF Power의 변화에 따른 출력 Power를 나타낸 그래프이며 이를 통해 설계된 LNA-Mixer의 P1dB는 -25dBm을 나타내었다.

설계한 LNA-Mixer의 One chip제작을 위해 TSMC 0.18um공정을 이용하여 레이아웃 하였다. 레이아웃 시 모의 실험 결과와 측정결과의 차이를 줄이기 위해 기생소자를 최대한 고려하여 레이아웃 하였다. 레이아웃된 소자의 크기는 2.5mm X 1.0mm이며 그림 16에 나타내었으며 모의실험 결과를 표 6에 정리하였다.

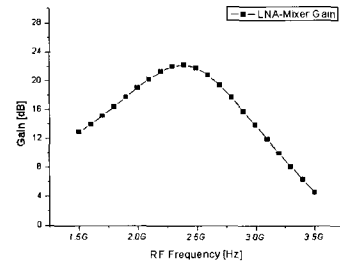


그림 13 설계한 LNA-Mixer의 이득
Fig. 13 Gain of the designed LNA-Mixer

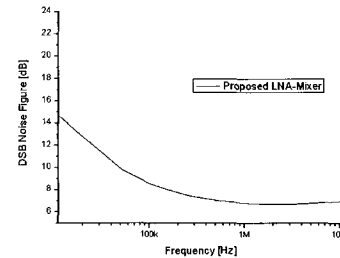


그림 14 설계한 LNA-Mixer의 잡음특성
Fig. 14 Noise Figure of the designed LNA-Mixer

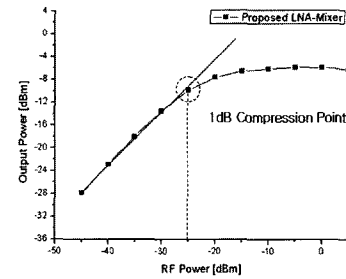


그림 15 설계한 LNA-Mixer의 1dB 억압점
Fig. 15 1dB Compression point of the designed LNA-Mixer

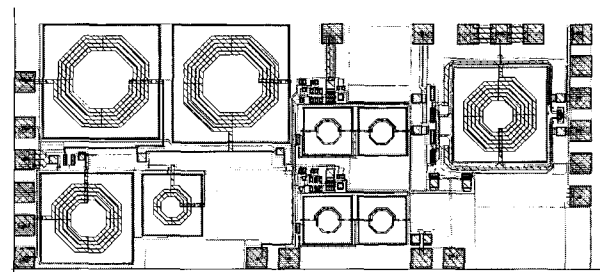


그림 16 설계한 LNA-Mixer의 레이아웃
Fig. 16 Layout of the designed LNA-Mixer

7. 결론

본 논문에서는 TSMC 0.18um 공정을 이용하여 2.45GHz 대역 RFID 리더에 적용 가능한 LNA-Mixer를 설계하였다. 전력 소모를 줄이기 위해 PCSNM방법을 이용하여 LNA를 설계하였고, 저주파 잡음특성 향상을 위해 Current Bleeding 방법과 인덕터를 연결하는 방법을 사용하여 Mixer를 설계한

후 두 소자를 Active Balun을 통해 연결하여 LNA-Mixer를 설계하였다. 설계한 LNA-Mixer의 이득은 RF 주파수가 2.45GHz, IF가 100kHz일 때 약 22dB이며 NF는 8.5dB를 나타내었고 이때 삽입손실은 -14.6dB, P1dB는 -25dBm이다. Chip 제작을 위해 TSMC 0.18um 공정을 사용하여 레이아웃 하였으며 chip의 크기는 2.5mm X 1.0mm이다.

본 논문의 결과를 활용하여 2.45GHz RFID 트랜시버 설계에 적용 가능할 것으로 사료된다.

표 6 LNA-Mixer의 설계 결과

Table 6 Design results of LNA-Mixer

항 목	단 위	모의실험 결과
Center frequency	GHz	2.45
Supply	V	1.8
Gain	dB	22
S11	dB	-14.6
P1dB	dBm	-25
NF	dB	8.5dB @100kHz
Process	-	TSMC 0.18um
Chip size	mm ²	2.5 X 1.0
Power Consumption	mW	23

감사의 글

본 연구 보고서는 정보통신부출연금으로 ETRI, SoC 산업진흥센터에서 수행한 IT-SoC 핵심설계인력양성사업의 연구결과입니다.

참 고 문 헌

- [1] R. Weinstein, "A technical overview and its application to the enterprise", IT Professional, vol. 7, no. 3, pp. 27-33, May-June, 2005.
- [2] T. Song, H. S. Oh, S. Hong, E. Yoon, "A 2.4-GHz Sub-mW CMOS Receiver Front-End for Wireless Sensor Network," IEEE Microwave and Wireless Components Letters, vol. 16, no. 4, pp. 206-208, April, 2006
- [3] W. Kluge, F. Poegel, H. Roller, M. Lange, T. Ferchland, L. Dathe, D. Eggert, "A Fully Integrated 2.4-GHz IEEE 802.15.4-Compliant Transceiver for ZigBee Application," IEEE Journal of Solid-state Circuits, vol.41, no.12, pp.2767-2775, Dec., 2006.
- [4] T. K. Nguyen, V. Krizhanovskii, J. Lee, S. K. Han, S. G. Lee, "A Low Power RF Direct-Conversion Receiver/Transmitter for 2.4 GHz Band IEEE 802.15.4 Standard in 0.18-um CMOS Technology," Microwave Theory and Techniques, IEEE Trans., vol. 54, no. 12, pp. 4062-4071, Dec, 2006.
- [5] J. Park, C. H. Lee, B. S. Kim, J. Laskar, "Design and Analysis of Low Flicker Noise CMOS Mixers

for Direct Conversion Receivers," IEEE Trans. on Microwave theory and techniques, vol. 54, no. 12, pp. 4372-4380, Dec., 2006.

- [6] M. Rajachekharaiyah, P. Upadhyaya, D. Heo, "A New Gain Controllable On Chip Active Balun for 5GHz Direct Conversion Receiver" IEEE ISCAS, vol. 5, pp. 5115-5118, May, 2005.
- [7] M. T. Terrovitis, R. G. Meyer, "Intermodulation Distortion in Current-Commutation CMOS Mixers," IEEE Journal of Solid-state Circuits, vol.35, no.10, pp.1461-1473, Oct., 2000.

저 자 소 개



임 태 서 (林泰瑞)

2006년 중앙대학교 전자전기공학부 졸업.
2006년~현재 중앙대학교 전자전기공학부 석사과정 중.



고 재 형 (高在亨)

2004년 중앙대학교 전자전기공학부 졸업.
2006년~현재 중앙대학교 전자전기공학부 석사과정 중.



정 효 빈 (鄭孝彬)

2007년 상주대학교 전자전기공학부 졸업
2006년~현재 중앙대학교 전자전기공학부 석사과정 중.



김 형 석 (金炯碩)

1985년 서울대학교 전기공학 공학사.
1987년 서울대학교 전기공학 공학 석사.
1990년 서울대학교 전기공학 공학박사
1990~2002 순천향대학교 정보기술공학부 부교수. 1997~1998 R.P.I 미국 방문교수.
2002~현재 중앙대학교 전자전기공학부 교수.