

표시기간 중첩 프라이밍 구동기술에 의한 플라즈마 디스플레이 패널의 고속구동특성

論 文
56-11-22

High-Speed Characteristics of Plasma Display Panel using Priming Overlapping with Display Drive Method

廉正德[†]
(Jeongduk Ryeom)

Abstract - A new high-speed drive method for the plasma display panel is proposed. In this method, the address period is inserted for the rest period of the sustain pulses and the priming pulse is applied on the entire panel at the same time overlapping with the sustain period. The ramp shaped priming pulse can be made with a simple drive circuit in this technology and the stable sustain discharge can be induced even by a narrow scan pulse in help of the space charge generated from the address discharge. From the experiments, it is ascertained that the priming pulse hardly influences the sustain discharge. Moreover, the voltage margin of the sustain discharge is almost constant though that of the address discharge broadens with narrowing the scan pulse width. And, if the time interval between the scan pulse and the sustain pulse is within $6\mu s$, the voltage margin of the address and the sustain discharges are unaffected though the applied position of the scan pulse is changed. High-speed driving with the address pulse of $0.7\mu s$ width was achieved and the address voltage margin of 20V and the sustain voltage margin of 10V were obtained.

Key Words : Priming Discharge, High-Speed Address, Drive Method, Plasma Display, FHD

1. 서 론

디지털 TV 방송의 대중화와 더불어 대화면 평판 디스플레이의 수요가 폭발적으로 늘어나고 있다. 플라즈마 디스플레이 패널(Plasma Display Panel; PDP)은 대화면화가 용이하고 영상정보의 표현방식이 디지털화되어 있어 대화면 고품위(High Definition: HD) 디지털 TV에 가장 적합한 디스플레이라 할 수 있다. 그러나 HDTV의 추세가 1080개의 수평주사선을 가지는 FHD로 이행됨에 따라 이미 FHD 수준의 고화질을 달성한 액정 디스플레이(Liquid Crystal Display; LCD)의 대화면화에 의해 상대적으로 고화질화가 어려운 PDP는 시장 경쟁 측면에서 많은 고전을 하고 있다.

PDP는 구동원리상 수평주사선수나 계조(gray scale)수가 증가하면 밝기가 감소한다. 그러므로 HD PDP의 경우, 모든 수평주사선을 순차적으로 주사하는 단일 주사방식(single scan)을 가정하고 밝기나 화질, 신뢰도등을 고려하면 768개 정도의 수평주사선수가 구동의 한계이다. 이 한계를 극복하기 위해서 상용화된 PDP에는 패널을 상하로 분할하여 동시에 수평주사를 하는 이중 주사방식(dual scan)이 사용되거나 음극선관 디스플레이(Cathode Ray Tube; CRT)와 같은 비월주사방식(interlaced scan)이 사용되기도 한다[1][2]. 그러나 이중 주사방식은 데이터측 구동 IC의 개수가 2배로 증가하므로 회로 재료비가 상승하고, 비월주사방식은 정지화상의

화질이 저하되는 등의 문제들을 안고 있다.

이러한 구동의 한계는 주로 상용화된 PDP에 적용되고 있는 ADS(Address Display Separated) 구동기술[3]에 그 원인이 있으며 이를 개선하기 위하여 AWD(Address While Display) 구동기술이 연구되고 있다[4]. 그러나 이 기술은 프라이밍(priming) 방전[5]을 위한 고전압 펄스들을 각 주사선마다 각기 다른 타이밍에 인가하여야 하므로 고전압 구동회로의 수가 증가하는 단점이 있다. 또한 이 구동기술은 수평 주사라인을 순차적으로 주사할 수 없으므로 상용의 구동 IC를 사용할 수가 없어 아직 상품화 단계에는 이르지 못하고 있다.

본 연구에서는 FHD PDP를 구동하기 위하여, 종래 기술에 비해서 밝기의 감소가 없는 고속구동방식을 새롭게 제안하였다. 또한 이 기술은 AWD 구동기술의 가장 큰 문제점인 프라이밍 방전 문제를 해결하고 아울러 상용의 구동 IC의 사용을 가능케 하였다. 그리고 PDP 구동실험을 통하여 이 기술의 타당성을 검증하였다.

2. 종래기술의 문제점

PDP는 한 장의 화면이 표시되는 시간적인 단위인 1 TV-필드(field)를 화면상의 각 bit 정보에 해당하는 밝기를 가지는 복수의 서브필드(sub-field)로 나누어 시분할 구동하는 디지털 구동방식을 사용한다. 그리고 각 서브필드는 표시발광을 하는 화소를 선택하는 어드레스 기간(address period)과 그 bit의 밝기에 대응한 시간길이 만큼 선택된 화소의 발광을 유지시키는 표시방전 유지기간(sustain period)

[†] 교신저자, 正會員 : 崇實大學校 電氣工學部 助教授 · 工博

E-mail : cosmos01@ssu.ac.kr

接受日字 : 2007年 8月 31日

最終完了 : 2007年 9月 12日

으로 구성되어 있다. 그림 1의 (a)는 ADS 구동기술의 TV 필드 구조를 보인 것으로 하나의 TV 필드 안에서 각 서브필드는 시간적으로 독립적인 어드레스기간과 표시방전 유지기간으로 나누어져 있다[3]. ADS 구동기술에서 수평주사선 수나 서브필드의 개수를 증가시키면 그림 1의 (b), (c)와 같이 어드레스에 필요한 시간이 늘어나서 상대적으로 표시방전에 할당할 수 있는 시간이 감소하며 이는 곧 밝기의 감소로 이어진다. 그러므로 고해상도 PDP를 구동하기 위해서는 폭이 매우 좁은 어드레스 펄스를 사용하여 어드레스 기간을 단축시킬 필요가 있다. 그러나 화상정보의 기억기능에 어드레스 방전에서 축적된 벽전하를 이용하므로 패널 전체에 균일한 표시방전을 유도하기 위해서 어드레스 펄스의 폭을 어느 정도 이상 줄일 수가 없다[7].

이 한계를 극복하기 위하여 많은 구동기술들이 연구 개발되고 있으며 최근에는 소거 어드레스를 사용하여 어드레스 펄스의 폭을 1.1 μ s까지 좁힌 고속 구동기술에 대한 연구결과가 발표되었다[8]. 그러나 소거 어드레스 구동기술은 불필요한 발광이 증가하여 명암비(contrast ratio)가 저하하는 단점이 있으므로 최선의 방법은 될 수 없다. 한편 표시방전 유지펄스의 수를 증가시켜 밝기를 보상하는 방안으로 표시방전 유지펄스의 주기를 가변시키는 방법이 연구되었다[9]. 그러나 표시방전 유지펄스의 폭이 너무 좁아지면, 벽전하가 불충분하게 축적되어 표시방전이 불안정해지므로 이 방식 역시 한계가 있다.

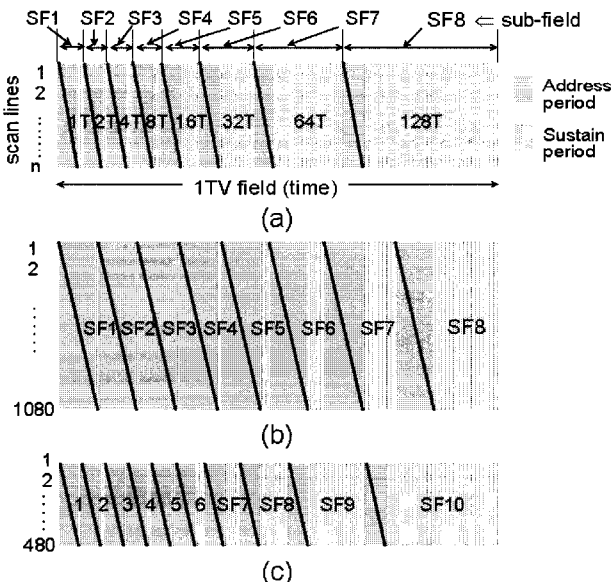


그림 1 ADS 구동방식의 TV 필드 구조

- (a) 기본구조
- (b) 수평주사선수가 증가하는 경우
- (c) 서브필드의 개수가 증가하는 경우

Fig. 1 TV-field structure of ADS drive method

- (a) Basic structure
- (b) Case of increasing the number of horizontal scan lines
- (c) Case of increasing the number of sub-fields

PDP에서 1 TV 필드 동안의 최대밝기를 나타내는 표시발광의 시비율(duty ratio)은 식 (1)과 같이 어드레스 펄스의 폭에 의해 제한된다. 또한 의사윤곽 노이즈[6]를 저감시키기 위하여, PDP는 표시되는 계조의 수 보다 많은 서브필드를 필요로 하므로 이 또한 표시발광 시비율을 제한하는 요인이 된다. 768개의 수평주사선을 가지는 XGA PDP는 일반적으로 1.5~2 μ s의 폭을 가지는 어드레스 펄스를 사용하므로 초기화 기간을 50 μ s로 가정하고 8bit 계조를 위한 10개의 서브필드를 갖는 경우 식 (1)에 의해 표시방전의 시비율은 최대 27%가 된다. 한편 1080개의 수평주사선을 가지는 FHD PDP에서 어드레스 펄스의 폭을 1 μ s로 가정하면 표시방전의 시비율은 32%가 되어 XGA PDP와 비슷한 밝기를 갖는다. 그러므로 단일 주사방식을 사용하는 FHD PDP에서 밝기의 감소 없이 8bit 이상의 계조와 10개 이상의 서브필드를 구동하기 위해서는 어드레스 펄스의 폭이 1 μ s 이하가 되어야 한다. 그러나 ADS 구동기술에서 어드레스 펄스의 폭을 1 μ s 이하로 좁히는 것은 매우 어렵다.

$$D = \frac{16600\mu s - (T_{reset} + T_{add} \times N_{scan}) \times N_{sfield}}{16600\mu s} \times 100 \quad (1)$$

여기서

D : 표시발광 시비율[%]

T_{reset} : 초기화 기간[μ s]

T_{add} : 어드레스 펄스의 폭[μ s]

N_{scan} : 수평주사선의 개수

N_{sfield} : 서브필드의 개수

3. 표시기간 중첩 프라이밍 구동방식의 원리

그림 2에 보인 것처럼, 본 연구에서 제안된 구동방식은 하나의 화면 안에 현재 필드(N^{th})와 이전필드($N-1^{th}$)가 혼재되는 구조를 가진다. 그리고 1 TV 필드는 그림과 같은 시간적 순차 배열의 서브필드들로 구성되어있고, 각 서브필드는 어드레스 기간과 표시방전 유지기간으로 구성되어 있다. 프라이밍 기간은 이 표시방전 유지기간과 중첩하여 1TV 필드마다 1번씩 패널 전면에 동시에 설치된다.

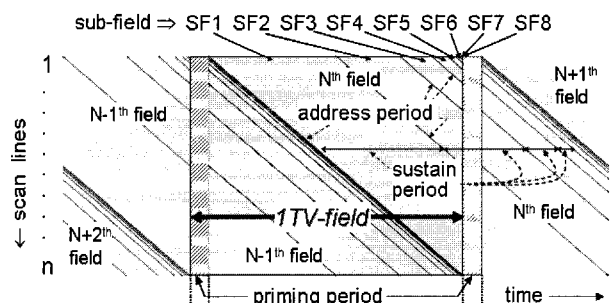


그림 2 제안된 구동기술의 TV 필드 구조

Fig. 2 TV-field structure of the proposed drive method

실험에 사용된 PDP의 전극구조는 그림 3과 같이 상용의 3전극 면방전 AC PDP의 전극 구조와 같다. 패널의 수평방향으로 설치된 한 쌍의 전극들을 X, Y 전극이라고 하고 패널의 수직방향으로 설치된 전극들을 D 전극이라고 한다. 그림 4에서 보인 것처럼, 제안된 구동기술의 타이밍에서는 두 개의 표시방전 유지펄스가 Y와 X 전극에 연속적으로 인가된 후에 하나의 휴지기(rest period)가 설치된다. 어드레스 기간은 이 휴지기 동안에 삽입된다. Y와 D 전극에 각각 인가된 주사펄스(scan pulse)와 데이터펄스(data pulse)의 전압의 합에 의해 어드레스 방전이 일어난다. 데이터 펄스는 펄스의 폭과 인가되는 타이밍을 주사펄스와 일치시켰다. 프라이밍기간은 하나의 휴지기를 확장하여 설치하며 램프(ramp)형상의 프라이밍 펄스를 프라이밍 기간의 모든 X 전극에 동시에 인가한다. 프라이밍 기간 이후에도 안정적인 표시방전을 유지하기 위하여, 프라이밍 기간에 이어서 Y 전극에 인가되는 첫 번째 표시방전 유지펄스(1st sustain pulse)의 폭을 넓혔다.

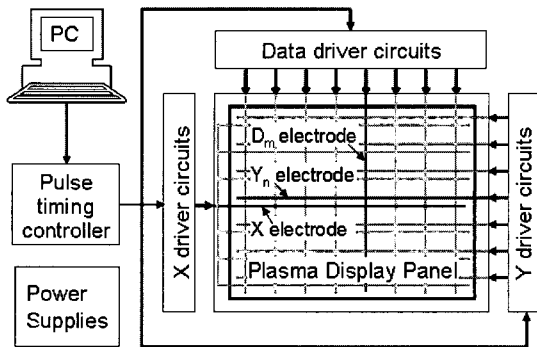


그림 3 실험용 PDP 구동장치의 구성도
Fig. 3 Schematic block diagram of PDP driving system

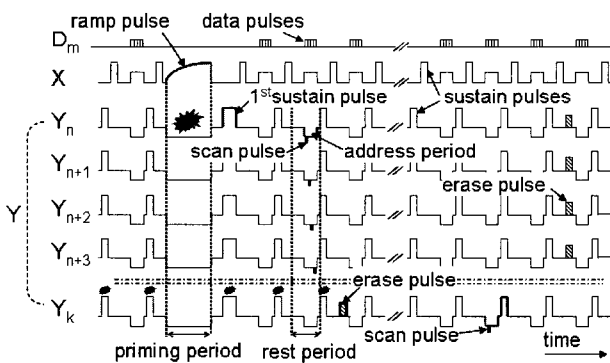


그림 4 제안된 구동기술의 구동 펄스 타이밍도
Fig. 4 Timing chart of driving pulses for proposed drive method

Y 전극인 Y_n이 표시방전이 일어나고 있지 않은 경우라고 가정하면, 프라이밍 기간에는 벽전하가 쌓여있지 않으므로 프라이밍 방전이 일어난다. 이후 주사펄스와 데이터펄스에 의해 어드레스 과정이 시작된다. 한편 Y_k를 표시방전 유지펄스에 의해 표시방전을 지속하고 있고 표시방전이 유지되고 있는 사이에 프라이밍 기간이 삽입되어 있는 경우라고 가정하면, 표시방전에 의한 벽전하가 프라이밍 펄스의 극성

과 반대 방향이 되므로 프라이밍 방전은 일어나지 않는다. 이후 소거펄스(erase pulse)에 의해 표시방전이 정지하고 다음 서브필드의 어드레스 과정이 시작된다. 이때 프라이밍 방전은 일어나지 않았지만 표시방전이 일어났으므로 방전공간에는 충분한 하전입자가 존재하여 프라이밍 작용을 한다. 이와 같이, 제안된 구동기술은 표시방전이 일어나고 있지 않은 화소만 프라이밍 방전을 하게 되어 패널 내에는 항상 하전입자가 존재할 수 있도록 한다. 그러므로 표시방전의 횟수가 아주 작은 매우 어두운 화상을 표시할 때에서도 공간 전하량의 부족으로 인한 어드레스 방전의 실패나 지연을 방지할 수 있다. 이 기술에서는 하나의 어드레스 기간에 복수개의 주사펄스가 삽입된다. 이렇게 함으로써, 각 Y 전극의 주사펄스들을 그룹별로 순차적으로 인가하는 것이 가능하게 되므로, 쉬프트 레지스터(shift register)들로 구성된 상용의 구동IC를 사용할 수 있다.

4. 실험 및 고찰

그림 3은 실험에 사용된 실험용 PDP 구동장치의 블록 구성도이다. 실험에 사용된 PDP는 대각선 화면크기가 6인치이며 픽셀피치가 220 μ m이고 80 \times 80 \times 3개의 화소수를 가진다. 패널의 X, Y 전극 및 D 전극에는 FET 스위치들로 구성된 구동회로가 연결되어 있어 각종 방전에 필요한 고전압 펄스를 생성한다. 그리고 펄스 제어부에서 발생하는 타이밍 펄스들로 구동회로의 펄스전압 인가 타이밍을 제어한다. 컴퓨터는 펄스 제어부의 PLD (Programmable Logic Device)를 프로그래밍하기 위한 것이며 전원부는 펄스제어부와 각 구동회로부에 필요한 전원을 공급하기 위한 것이다. 방전광의 측정은 오실로스코프와 828nm에서 최대 감도를 가지는 적외선 반도체 센서와 증폭기인 Hamamatsu Photonics사의 C6386을 사용하여 수행되었다.

그림 5는 실험에 사용된 펄스 타이밍도를 자세히 나타낸 것이다. 실험은 본 연구에서 제안한 프라이밍 방전이 제대로 일어나는지를 방전의 광출력을 측정하여 확인하였고, 주사펄스의 폭과 주사펄스와 그다음에 인가되는 표시방전 유지펄스와의 사이인 T_P를 변화시키면서 그때의 어드레스 방전 및 표시방전의 동작전압 범위를 측정하였다. 그림 6은 제안된 구동기술을 사용하여 0.7 μ s의 폭을 가지는 주사펄스로 PDP를 고속구동시킨 영상이다. 그림 (a)는 PDP의 화소가 선택적으로 어드레스되어 표시발광되고 있는 것을 보이며, (b)는 9개의 서브필드에 의한 8bit 계조가 표시되고 있는 것을 보인다.

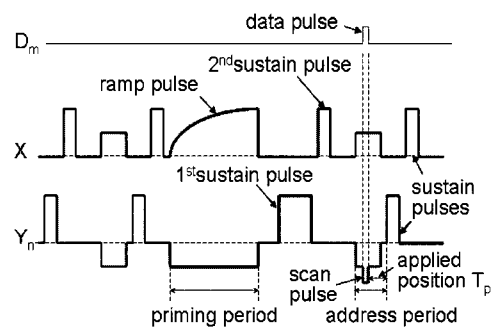
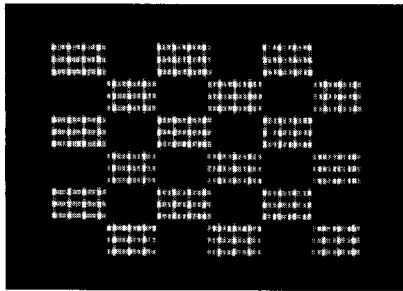
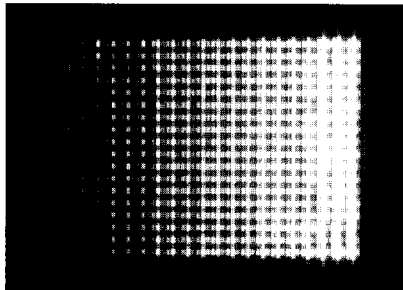


그림 5 실험에 사용된 구동펄스들의 자세한 타이밍도
Fig. 5 Timing chart of driving pulses used to experiments in detail



(a)



(b)

그림 6 $0.7\mu s$ 의 주사펄스로 구동한 실제 패널의 표시영상

(a) 선택적 어드레스 영상

(b) 8bit의 계조표현 영상

Fig. 6 Displayed images of actual panel driving with scan pulse of $0.7\mu s$

(a) selective addressed display image

(b) 8bit gray scaled display image

그림 7은 프라이밍 방전을 측정된 광출력이다. 램프 형태의 프라이밍 펄스가 인가되고 있는 동안 약한 프라이밍 방전이 일어나고 프라이밍 펄스가 종료된 직후에 자기소거방전이 일어나고 있다. 이 자기소거방전은 프라이밍 방전에 의해 축적된 벽전하에 의한 방전으로 외부 인가전압이 없으므로 방전 후 재결합에 의해 벽전하를 소거하는 역할을 한다. 또한 램프 펄스를 인가하면 각 화소마다 다른 잔류벽전하와 램프 전압의 합이 방전개시전압에 이르면 방전이 일어나므로 과잉전압에 의한 강방전을 피할 수 있어 불필요한 배면광을 줄일 수가 있다[10].

제안된 아이디어의 검증을 위하여 $400\mu s$ 의 간격으로 프라이밍 펄스를 인가하고 그 광출력을 측정하였다. 그림 8은 그 광출력을 나타낸 것으로 ramp1과 ramp3의 기간은 표시방전이 일어나지 않은 기간으로 프라이밍 방전이 일어나고 있으며 ramp2의 기간은 표시방전이 일어나는 기간으로 이때에는 프라이밍 방전이 일어나지 않는다는 것을 보여주고 있다. 그림 8로부터, 표시방전은 프라이밍 펄스의 영향을 받지 않고 안정적으로 일어나고 있음을 알 수 있다.

그림 9는 그림 5에서 보인 주사 펄스의 폭과 주사 펄스와 표시방전 유지펄스 사이의 시간적 간격인 T_p 를 변화시키면서 이때의 순 어드레스 전압(주사펄스전압+데이터펄스전압)의 동작 범위를 측정된 것이다. 이 실험에서 주사펄스 전압은 일정하게 유지시키고 데이터 펄스 전압만 변화시켰다. 그림에서 min과 max는 어드레스 방전으로 안정적인 표시방전이 유도되는 최소와 최대의 순 어드레스 전압을 나타낸

다. 주사 펄스의 폭이 넓은 경우는 어드레스 전압의 변동이 거의 없으나 주사 펄스의 폭이 좁아질수록 어드레스 전압이 급격히 증가하며 그 중에서도 특히 최대 어드레스 전압이 더욱 증가하여 동작전압의 범위가 증가하였다. 또한 실험을 통하여 주사펄스의 폭 $1.5\mu s$ 부근을 기준으로 폭이 넓은 경우와 좁은 경우, 주사펄스전압, 데이터펄스전압, 표시방전 유지전압 그리고 소거펄스전압 등의 최적값이 다르다는 것을 알았다. 이로부터 주사펄스의 폭이 좁은 경우는 넓은 경우와는 다른 메커니즘에 의해 표시방전이 유도되는 것으로 추론할 수 있다.

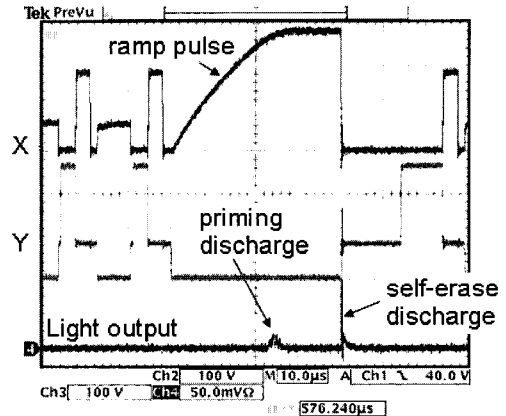


그림 7 실험에서 측정된 프라이밍 방전의 광출력

Fig. 7 Light output of priming discharge measured from the experiments

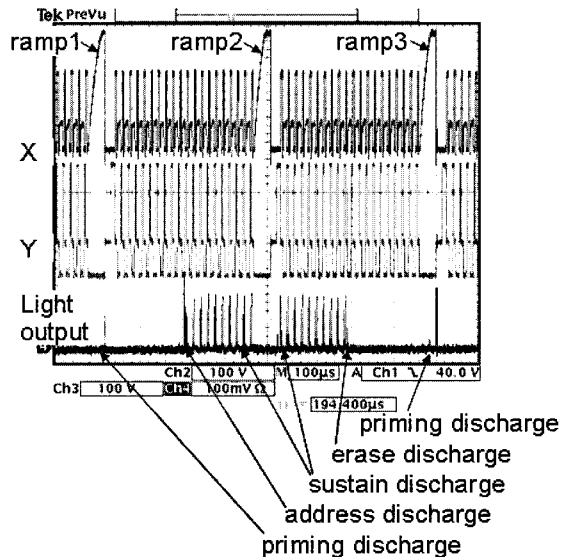


그림 8 프라이밍방전, 표시방전, 어드레스방전 및 소거방전의 광출력 파형

Fig. 8 Light output of priming, sustain, address and erase discharges

그림 10은 주사 펄스폭과 시간 간격 T_p 를 변화시키면서 표시방전의 동작전압 범위를 측정된 것이다. 그림에서 min과 max는 각각 일정 면적의 표시방전이 모두 안정적으로

개시되는 최소전압과 유지되는 최대전압을 의미한다. 실험 결과로부터 표시방전의 동작전압 범위는 주사 펄스의 폭에 무관하게 일정하다고 할 수 있다.

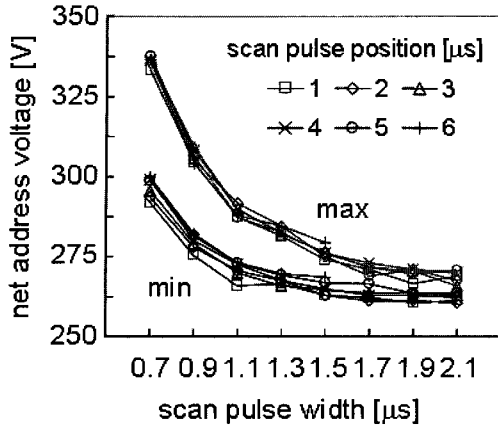


그림 9 주사펄스 폭과 인가위치의 변화에 따른 순 어드레스 방전 전압범위
 Fig. 9 Net address discharge voltage margin with changing scan pulse width and time interval T_P

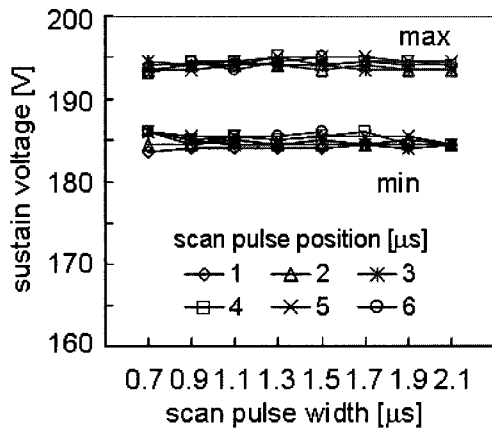


그림 10 주사펄스 폭과 인가위치 변화에 따른 표시방전 전압범위
 Fig. 10 Sustain discharge voltage margin with changing scan pulse width and time interval T_P

그림 11은 주사 펄스폭이 $0.7\mu s$ 일 때의 어드레스 방전과 표시방전의 광출력을 자세히 보인 것이다. 그림에서 보면 어드레스 펄스의 폭과 어드레스 방전의 폭이 거의 같다. 그러므로 어드레스 방전에서 축적되는 벽전하의 양은 표시방전을 유도하기에 불충분할 것으로 추측된다. 그럼에도 불구하고 표시방전이 안정되게 유지되었다. 그림 9의 결과와 함께 그 이유를 고찰해 보면 부족한 벽전하와 함께 공간전하가 표시방전을 유도하는데 도움이 된다고 할 수 있다. 주사 펄스의 폭이 좁은 경우는 벽전하가 충분히 축적되지 못하므로 과잉 벽전하에 의한 자기소거 방전이 일어나기 어렵다. 그러므로 어드레스 전압을 높여서 어드레스 방전에서 발생하는 공간전하의 양을 증가시킬 수가 있다. 그리고 이 구동 방식은 항상 주사 펄스와 표시방전 유지펄스의 사이가 수

μs 이내로 인접하여 있으므로 이 공간전하가 소멸되지 않고 방전개시전압을 낮추어 표시방전을 안정적으로 유도하는 것으로 사료된다.

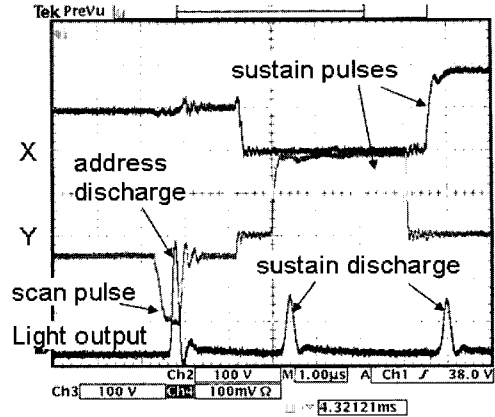


그림 11 $0.7\mu s$ 의 주사펄스로 구동된 어드레스 및 표시방전의 광출력

Fig. 11 Light output of the address and the sustain discharges driven with a scan pulse width of $0.7\mu s$

그림 12는 주사펄스의 폭이 $0.7\mu s$ 일 때의 어드레스 전압과 표시방전 유지전압의 관계를 보인 것으로 $135V \sim 155V$ 의 어드레스 방전 전압과 $182V \sim 192V$ 의 표시방전 유지전압의 구동범위를 얻었다. 그러므로 제안된 고속 구동기술은 $0.7\mu s$ 의 폭을 가지는 주사펄스로 $20V$ 의 어드레스 동작전압 범위와 $10V$ 의 표시방전 유지전압 범위를 갖는다. 또한 그림 9, 10, 12의 결과로부터 어드레스 및 표시방전의 동작전압은 시간간격 T_P 의 변화에 대해 무관하다. 그러므로 이 구동기술은 어드레스 펄스와 이어서 인가되는 표시방전 유지펄스의 시간간격이 $6\mu s$ 이내라면 하나의 어드레스 주기에 몇 개의 주사펄스를 설치하여도 어드레스 특성에 영향을 주지 않는다.

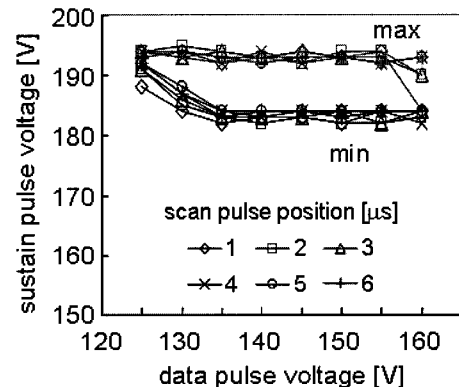


그림 12 어드레스 전압과 표시방전 동작전압과의 관계
 Fig. 12 Relationship between address voltage and sustain voltage

5. 결 론

본 연구에서 새롭게 제안된 PDP의 고속 구동기술은 표시방전 유지펄스의 휴지기에 어드레스 기간을 삽입하고 표시방전 유지기간에 중첩하여 프라이밍 펄스를 패널 전체에 동시에 인가하는 것이다. 이 기술은 단순한 회로로 프라이밍 방전을 일으킬 수 있으며 어드레스 방전에서 발생된 공간전하의 도움으로 폭이 좁은 주사펄스로도 안정적인 표시방전을 유도할 수 있다. 실험에서 프라이밍 펄스가 표시방전에 영향을 미치지 않음을 확인하였다. 또한 주사펄스의 폭이 좁아질수록 어드레스 방전의 동작마진은 넓어지나 표시방전의 동작마진은 거의 일정하였다. 그리고 주사펄스와 표시방전 유지펄스의 시간간격이 6 μ s 이내라면 주사펄스의 인가위치가 변해도 어드레스 방전과 표시방전의 동작마진은 영향을 받지 않았다. 실험 결과, 0.7 μ s의 펄스폭을 가지는 주사펄스로 고속구동을 달성하였으며 20V의 어드레스 전압 동작범위와 10V의 표시방전 전압 동작 범위를 얻었다. 이 조건을 사용하면, 1080개의 수평주사선수와 12개의 서브필드를 갖는 단일주사방식의 FHD PDP를 휘도감소 없이 충분히 구동할 수 있다. 이후에는 상용화된 대화면 PDP에 적용할 수 있도록 구동 특성과 이와 연계된 패널 특성의 최적화 연구가 필요할 것으로 사료된다.

감사의 글

본 연구는 숭실대학교 교내연구비 지원으로 이루어졌습니다.

참 고 문 헌

[1] S. Yim, H. Yang, T. Lee, J. Yi, T. Kim, M. Yoo, Y. Cho and K. Lee, "A Study on Full-High-Definition PDPs of under 50 in.", SID Int. Symp. Digest of Tech. Papers, vol.37, pp.155-158, June 2006.

[2] M. Shibata, N. Itokawa, H. Koizumi, J. Oota, T. Masui, N. Iwase, Y. Kobayashi, T. Torinari, H. Ikeda and I. Furukawa, "High-Luminance 42-in. Full High-Definition PDP", SID Int. Symp. Digest of Tech. Papers, vol.37, pp.159-162, June 2006.

[3] S. Kanagu, Y. Kanazawa, T. Shinoda, K. Yoshikawa, and T. Nanto, "A 31-in.-Diagonal Full-Color Surface Discharge ac Plasma Display Panel", SID Int. Symp. Digest of Tech. Papers, vol.23, pp.713-716, May 1992.

[4] M. Ishii, T. Shiga, K. Igarashi, and S. Mikoshiba, "A Study on a Priming Effect in AC-PDPs and Its Application to Low Voltage and High Speed

Addressing", IEICE Trans. Electron, vol. E84-C, no. 11, pp.1673-1678, Nov. 2001.

[5] Y. Sano, T. Okajima, N. Koyama, T. Yoshioka, and K. Nunomura, "A Full-Color Surface-Discharge ac Plasma TV Display", SID Int. Symp. Digest of Tech. Papers, vol.22, pp.728-731, May 1991.

[6] S. Mikoshiba, The Latest Technology of Plasma Display, ED Research, pp.115, 1996. [in Japanese]

[7] J. Ryeom, "A Study on the Display Discharge Characteristics of PDP for the HDTV", Journal of the KIEE, vol. 19, no. 4, pp. 39-46 June 2005. [in Korean]

[8] K. Sakata, T. Tokunaga, M. Nishimura, S. Iwaoka and N. Saegusa, "Driving of High Contrast and High Speed Discharging PDP", Proc. of 12th Int. Display Workshops/Asia Display, pp.1433-1436, Dec. 2005.

[9] M. Takeuchi, T. Ueda, S. Asao, Y. Noguchi and A. Yamamoto, "The Peak Luminance Enhancement Technology with Maintaining Stable Driving", Proc. of 9th Int. Display Workshops, pp.745-748, Dec 2002.

[10] V. Nagorny, P. Drallos, and L. F. Weber, "Stability of Positive Resistance Discharges for AC PDPs", SID Int. Symp. Digest of Tech. Papers, vol.31, pp.114-117, May 2000.

저 자 소 개



염 정 덕 (廉正德)

1960년 5월 14일생. 1987년 서울대학교 전기공학과 졸업(학사), 1989년 동 대학원 전기공학과 졸업(석사), 1992년 동 대학원 전기공학과 졸업(박사), 1992년~1995년 LG전자(주) 영상미디어(연) 선임연구원, 1996년 日本 電氣·通信大學 外國人研究者, 1997년~1999년 삼성 SDI(주) PDP팀 선임연구원, 2000년~2005년 경주대학교 컴퓨터전자공학부 조교수, 2006년~현재 숭실대학교 전기공학부 조교수.

Tel : +82-2-828-7267

Fax : +82-2-817-7961

E-mail : cosmos01@ssu.ac.kr