

논문 20-11-3

Ultrathin-body SOI MOSFETs에서 면방향에 따른 정공의 이동도 증가

Hole Mobility Enhancement in (100)- and (110)-surface of Ultrathin-body (UTB) Silicon-on-insulator (SOI) Metal Oxide Semiconductors Field Effect Transistor

김관수¹, 조원주^{1,a}
(Kwan-Su Kim¹ and Won-Ju Cho^{1,a})

Abstract

We investigated the characteristics of UTB-SOI pMOSFETs with SOI thickness (T_{SOI}) ranging from 10 nm to 1 nm and evaluated the dependence of electrical characteristics on the silicon surface orientation. As a result, it is found that the subthreshold characteristics of (100)-surface UTB-SOI pMOSFETs were superior to (110)-surface. However, the hole mobility of (110)-surface were larger than that of (100)-surface. Especially, the enhancement of effective hole mobility at the effective field of 0.1 MV/cm was observed from 3-nm to 5-nm SOI thickness range.

Key Words : Ultrathin-body, SOI, Hole mobility enhancement, Quantum confinement effect

1. 서론

반도체 소자가 100 nm 이하로 줄어들면서 MOSFET의 미세화에 따른 소자 제작 공정 및 동작 특성의 문제점이 심각하게 대두되고 있으며, 이러한 한계를 극복하기 위해 새로운 소자 기술이 필요하게 되었다. 특히 새로운 물질 및 소자 구조를 이용한 MOSFET은 물리적 한계를 극복하고 채널에서의 캐리어 이동도를 향상시킬 수 있다.

MOSFET에서 채널 캐리어 이동도를 향상시키기 위해서 이론적[1], 실험적[2]으로 많은 연구가 진행되고 있다. 특히, Si 채널을 사용하는 MOSFET에서는 strain을 가함으로써 이동도의 향상을 이룰 수 있다. 이 경우 strain에 의해 band splitting이 발생하며, conductive mass가 감소하여 이동도가 향상된다[3,4]. 한편, 채널의 두께가 매우 얇은 ultrathin-body SOI nMOSFET에서도 strain-Si과 같이 채널에서의 캐리어 이동도를 향상시킬 수 있다. 즉, 전자의 경우 채널의 두께가 3-5 nm 일 때,

두께 감소에 의한 quantum confinement effect에 의해 band splitting이 발생한다. 따라서 에너지 준위간의 산란이 감소하고 conductivity mass가 감소하여 전자의 이동도가 증가한다[1]. 또한, 정공의 경우에는 (100)의 면 방향에서 보다는 (110)에서 보다 높은 이동도를 가지는 것으로 알려져 있다. 따라서 (110)의 면 방향에서의 정공의 이동도에 관한 연구는 많이 진행되었다[5-7]. 그러나 채널의 두께가 10 nm 이하에서 정공의 이동도 변화에 대해서 많은 연구가 진행되고 있지만 아직까지 이해가 부족한 상태이다.

따라서, 본 논문에서는 1-10 nm의 채널 두께를 가지는 UTB-SOI pMOSFET를 제작하여 채널의 두께에 따른 이동도의 변화를 살펴보고, (100)와 (110)의 면 방향에 따른 소자의 전기적 특성 변화에 대해서 연구하였다.

2. 실험

두께 1-10 nm의 채널을 가지는 UTB-SOI pMOSFETs은 다음과 같은 순서로 제작되었다. 기판은 SOITEC사에서 제작한 (100) 면과 (110) 면을 가지는 SOI 기판을 사용하였다. 10 nm 이하의 채널은 2.38 % TMAH (Tetramethy Ammonium

1. 광운대학교 전자재료공학과

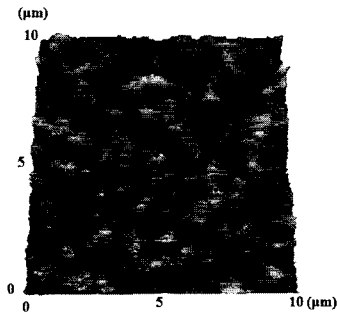
(서울시 노원구 월계동 447-1)

a. Corresponding Author : chowj@kw.ac.kr

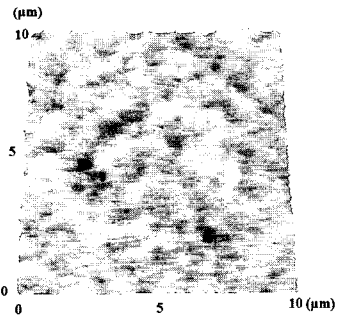
접수일자 : 2007. 9. 21

1차 심사 : 2007. 10. 9

심사완료 : 2007. 10. 16



(a) $T_{SOI} = 8 \text{ nm}$, RMS : 1.75 Å @ $10 \times 10 \mu\text{m}^2$



(b) $T_{SOI} = 4 \text{ nm}$, RMS : 1.71 Å @ $10 \times 10 \mu\text{m}^2$

그림 1. 2.38 % TMAH 용액을 이용하여 UTB-SOI를 형성 한 이후의 표면 AFM 사진.

Fig. 1. AFM images of UTB-SOI fabricated by 2.38 % TMAH solution.

Hydroxide) 용액에서 실리콘을 습식각하여 형성하였다. (100)와 (110)의 식각속도는 실온에서 각각 2.44 nm/min, 1.67 nm/min으로 정밀한 두께 조절이 가능하다.

그림 1은 TMAH 용액을 이용하여 10 nm 이하로 SOI를 형성하였을 때의 AFM (Atomic Force Microscope) 사진을 나타내고 있다. 10 nm 이하로 SOI를 형성한 뒤에도 우수한 표면 거칠기를 가지는 것을 확인하였다. 게이트 산화막은 O_2 분위기, 880 °C에서 10 분간 열산화 방법을 이용하여 성장시켰고, 게이트 전극으로서는 in-situ phosphorus doped poly-Si 박막을 LPCVD (Low Pressure Chemical Vapor Deposition) 방법으로 650 °C의 SiH_4 , PH_3 분위기에서 100 nm의 두께로 성장시켰다. 소스와 드레인층은 플라즈마 도핑 (PLAD : Plasma Doping) 방법으로 형성하였으며, 마지막으로 3 % H_2/N_2 분위기에서 450 °C, 30 분간의 후속 열처리 (FGA : Forming Gas Anneal) 를 실시하였다.

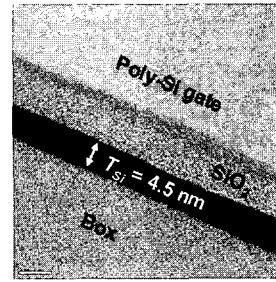


그림 2. UTB-SOI pMOSFET의 TEM 단면도.

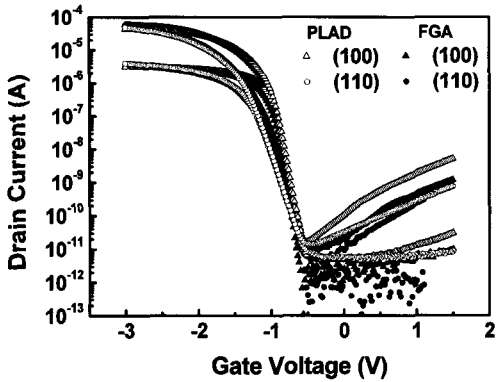
Fig. 2. Cross-sectional TEM images of UTB-SOI channel.

그림 2는 UTB-SOI pMOSFET의 단면 TEM (Transmission Electron Microscope) 사진을 나타내고 있으며, 습식식각을 이용하여 4.5 nm의 얇은 두께를 가지고 우수한 계면특성을 가지는 채널이 형성됨을 확인하였다.

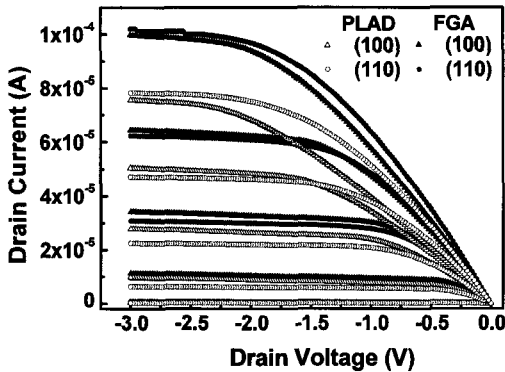
3. 결과 및 고찰

그림 3은 채널의 두께가 100 nm 인 (100) 및 (110) 방향의 UTB-SOI pMOSFET 의 전기적 특성을 나타내고 있다. Subthreshold 특성은 그림 3(a)처럼 (100) 면 소자가 (110) 면 소자보다 훨씬 우수한 특성을 보이고 있다. 이는 (100) 면이 (110) 면보다 계면 준위 및 산화막 고정 전하 모두 낮기 때문이다[8]. 한편, 후속 열처리를 실시하면 그림 3(b)와 같이 면 방향에 상관없이 모두 드레인 전류가 증가하였고, 이때 subthreshold swing은 (100) 면 소자가 70 mV/dec, (110) 면 소자가 106 mV/dec를 나타내었다. 이와 같은 subthreshold swing의 개선은 후속 열처리 과정에 의하여 산화막 내의 고정 전하 및 계면에서의 포획 준위가 감소되었기 때문이라고 생각된다.

그림 4는 (100) 면과 (110) 면방향을 가지고 100 nm, 4 nm의 채널 두께를 가지는 SOI MOSFET의 이동도 특성을 나타내고 있다. 전체적으로 (110) 면을 가지는 소자가 높은 정공의 이동도를 가진다는 것을 알 수 있다. 특히 유효 전계가 0.3 MV/cm 일 때, 4 nm의 채널 두께를 가지는 (100) 면과 (110) 면에서 정공의 이동도는 100 nm의 채널두께를 가지는 소자의 정공의 이동도보다 각각 1.73 %, 13.68 % 증가하였다. 또한, 후속 열처리 공정을 수행하였을 때 채널과 게이트 산화막 사이



(a) Subthreshold 특성



(b) 출력특성

그림 3. 100 nm 채널 두께를 가지는 (100), (110) UTB-SOI pMOSFETs의 I-V 특성.

Fig. 3. I-V characteristics of (100), (110) UTB-SOI pMOSFET devices with a channel thickness of 100 nm.

에서 발생하는 계면준위에 의한 산란이 감소하였기 때문에 (100)와 (110) 방향을 가지는 UTB-SOI pMOSFET은 각각 4.56 %, 14.77 % 로 더 높은 정공의 이동도 향상을 나타냈다.

그림 5는 10 nm 이하의 채널두께를 가지는 UTB-SOI pMOSFET의 면 방향과 채널 두께에 따른 정공 이동도의 개선 효과를 나타낸다. (100) 면과 (110) 면에서의 정공 이동도는 채널 두께가 3-5 nm 부근에서 모두 증가하고 있음을 볼 수 있다.

이와 같은 정공 이동도의 향상은 그림 6과 같이 채널의 두께가 감소함에 따라 가전자대에서의 subband modulation 때문이다. 채널의 두께가 100 nm의 경우 가전자대에 존재하는 HH (Heavily Hole)과 LH (Lightly Hole)의 에너지 밴드가 축퇴되어있다. 따라서 밴드사이에서 산란이 발생하게

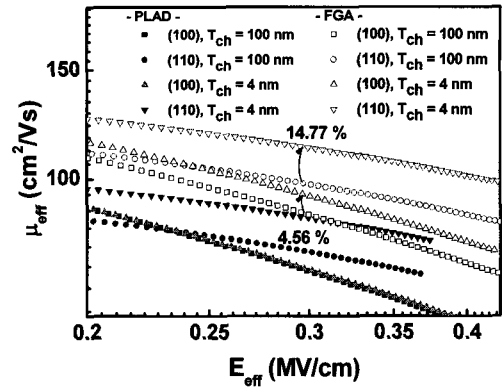


그림 4. (100)와 (110) 방향의 UTB-SOI pMOSFET의 정공 이동도 특성.

Fig. 4. Hole mobilities of UTB-SOI pMOSFET with (100) and (110) surfaces.

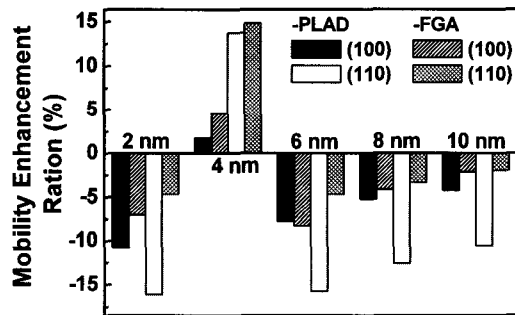


그림 5. UTB-SOI pMOSFET의 두께에 따른 정공의 이동도 증가 비율.

Fig. 5. Enhancement rate of hole mobility as a function of channel thickness of UTB-SOI pMOSFETs.

되어 낮은 이동도를 가지게 된다. 그러나 채널의 두께가 3-5 nm로 감소함에 따라 quantum confinement effect에 의해 LH와 HH 밴드가 분리된다. 따라서 LH와 HH 사이에서 발생하는 산란은 감소하게 되고, 또한 conductivity mass가 감소하기 때문에 정공의 이동도는 증가하게 된다. 그러나 채널의 두께가 3 nm 이하로 감소하게 되면 HH 밴드가 상승하게 되어 밴드사이의 산란이 증가하게 된다. 또한 채널과 매몰 산화층 (buried oxide) 사이의 roughness 에 의한 산란이 증가하게 되어 정공의 이동도는 다시 감소하게 된다[1,4].

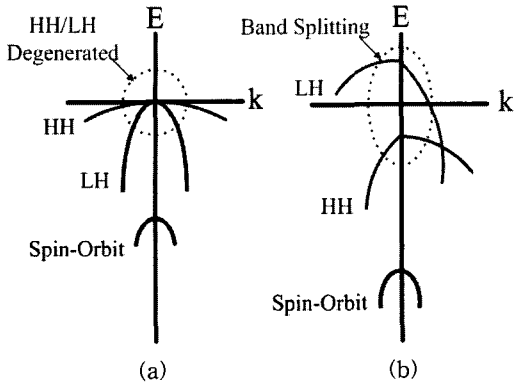


그림 6. 두께에 따른 subband의 변화; (a) 100 nm pMOSFET, (b) 3-5 nm UTB-SOI pMOSFET.

Fig. 6. Subband structures of pMOSFETs with channel thickness of 100 nm (a), and 3-5 nm (b).

4. 결론

10 nm 이하의 채널 두께를 가지는 UTB-SOI pMOSFETs를 습식식각 공정을 이용하여 제작하였다. (100) 면을 가지는 소자의 subthreshold swing은 (110) 면의 소자보다 우수하였다. 그러나 정공의 이동도 특성은 (100) 면보다 (110) 면에서 더욱 뛰어난 특성을 나타냈다. 특히, 후속 열처리 공정을 실시하였을 때, (110) 면에서의 정공 이동도 향상은 약 14.77 % 로 (100) 면의 4.56 % 보다 더 큰 증가를 보였다. 따라서 10 nm 이하의 채널 두께를 가지는 UTB-SOI MOSFET은 게이트 길이가 100 nm 이하의 영역에서 기존의 CMOS 기술의 한계를 극복할 수 있는 핵심 기술이라고 판단된다.

참고 문헌

[1] S. Tagaki, J. Koga, and A. Toriumi, "Mobility enhancement of SOI MOSFETs due to subband

modulation in ultrathin SOI films", *Jpn. J. Appl. Phys.*, Vol. 37, p. 1289, 1998.

- [2] K. Uchida, H. Watanabe, K. Koga, A. Kinoshita, and S. Takagi, "Experimental Study on Carrier Transport Mechanism in Ultrathin-body SOI MOSFETs", *SISPAD*, p. 8, 2003.
- [3] J. Welser, J. L. Hoyt, S. Takagi, and J. F. Gibbons, "Strain Dependence of the Performance Enhancement in Strained-Si n-MOSFETs", *IEDM*, p. 373, 1994.
- [4] S. Tagaki, T. Mizuno, T. Tezuka, N. Sugiyama, S. Nakaharai, T. Numata, J. Koga, and K. Uchida, "Sub-band structure engineering for advanced CMOS channels", *Solid-State Electronics*, Vol. 49, p. 684, 2005.
- [5] G. Tsutusi, M. Saitoh, and T. Hiramoto, "Experimental study on superior mobility in (110)-oriented UTB SOI pMOSFETs", *IEEE Electron Device Letters*, Vol. 26, No. 11, p. 836, 2005.
- [6] H. Nakamura, T. Ezaki, T. Iwamoto, M. Togo, T. Ikezawa, N. Ikarashi, M. Hane, and T. Yamamoto, "Effects of selecting channel direction in improving performance of sub-100 nm MOSFETs fabricated on (110) surface si substrate", *JJAP*, Vol. 43, No. 4B, p. 1723, 2004.
- [7] H. Shang, J. Rubino, B. Doris, A. Topol, J. Cai, L. Chang, J. A. Ott, J. Kedzierski, K. Chan, L. Shi, K. Babich, J. Newbury, E. Sikorski, B. N. To, Y. Zhang, K. W. Guarini, and M. Jeong, "Mobility and CMOS Device/Circuits on sub-10 nm Ultra Thin Body SOI", *Symposium on VLSI Technology Digest*, p. 78, 2005.
- [8] P. Balk, "The Si-SiO₂ System", Elsevier, p. 234, 1988.