

논문 2007-44SD-9-5

# 백플레인용 10Gbps 아날로그 어댑티브 이퀄라이저 ( A 10Gb/s Analog Adaptive Equalizer for Backplanes )

유귀성\*, 한건희\*\*, 박성민\*\*\*

( Kwisung Yoo, Gunhee Han, and Sung Min Park )

### 요약

백플레인 채널 시리얼 링크는 심각한 신호왜곡 현상을 겪는다. 특히, 채널 자체의 특성에 의해 발생하는 이득손실, 주파수에 따른 손실, 반사파 등의 불완전성으로 더욱 심해진다. 이 중 주파수에 따른 손실의 경우 신호파형에 ISI를 일으키므로, 이를 줄이기 위해 어댑티브 이퀄라이저 회로를 사용한다. 본 논문에서는 0.18um CMOS공정을 이용하여 구현한 아날로그 형태의 10Gb/s 어댑티브 이퀄라이저 회로를 소개한다. 제안한 이퀄라이저 회로는 34인치 길 백플레인 채널 (혹은 트랜스미션 라인)의 불완전성에도 불구하고, 매우 높은 동작속도 (10Gb/s)를 유지한다. 포스트 레이아웃 시뮬레이션 결과, 제안한 회로는 10mW의 전력소모와 8ps<sub>p-p</sub>의 지터 특성을 가지며, 0.56mm<sup>2</sup>의 칩 사이즈를 갖는다.

### Abstract

Serial links via backplane channels suffer from severe signal integrity problems which are normally caused by channel imperfections, such as flat loss, frequency-dependent loss, reflection, etc. Particularly, the frequency-dependent loss causes ISI (Inter-Symbol-Interference) at signal waveforms. Therefore, adaptive equalizing techniques have been exploited in many products to facilitate the ISI problem. In this paper, we present an analog adaptive equalizer circuit designed in a 0.18um CMOS process. It achieves 10Gb/s data transmission through a long 34-inch backplane channel (or transmission line). The post-layout simulations demonstrate 8ps<sub>p-p</sub> jitter with 10mW power dissipation. The core of the adaptive equalizer occupies the area of 0.56mm<sup>2</sup>

**Keywords:** adaptive equalizer, backplane channel, ISI, pre-emphasis filter, serial links

## I. 서론

CMOS 공정기술의 급속한 발전에 힘입어 CPU 및 DSP와 같은 주 회로의 동작 및 클럭 속도가 계속적으로 증가하고 있으며, 현재 수 GHz의 클럭속도에 이르게 되었다. 이러한 시점에서 전체 컴퓨터 시스템 혹은 통신시스템의 동작 처리속도는 시스템 내의

chip-to-chip 혹은 board-to-board 간의 인터페이스 속도에 의해 제한을 받는다. 특히 backplane을 채널로 사

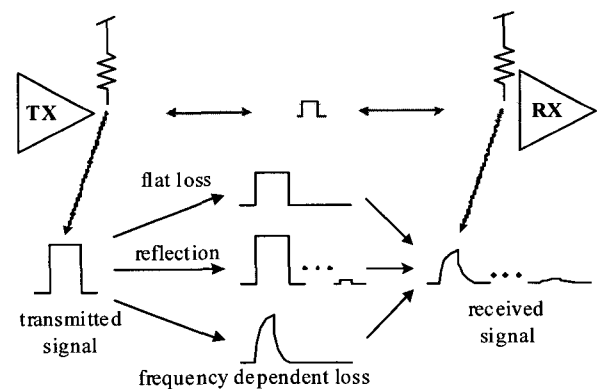


그림 1. 채널 특성에 의한 수신 신호의 왜곡 현상  
Fig. 1. Signal integrity problem of the received data through backplane channel.

\* 학생회원, \*\* 평생회원, 연세대학교 전기전자공학부 (Department of Electrical and Electronic Eng., Yonsei University)

\*\*\* 평생회원, 이화여자대학교 전자정보통신공학과 (Department of Information Electronics Eng., Ewha Womans University)

※ “이 논문은 2006년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임” (KRF-2006-331-D00404).

접수일자: 2007년4월15일, 수정완료일: 2007년8월29일

II. 본 론

1. 34인치 FR-4 PCB 채널 모델링

본 논문에서 사용하는 채널은 FR-4 PCB 백플레인으로서, 이와 유사한 특성을 가지는 50Ω 특성 임피던스의 lossy 트랜스미션 라인으로 모델링한다. 그림 3(a)에서 보는 바와 같이, 칩 내의 각 PAD는 ESD protection diode를 포함하여 0.5pF의 큰 기생 캐패시턴스와 1.3nH의 bondwire 인덕턴스를 갖는 수동소자 네트워크(passive network)로 모델링 하였고, 이렇게 모델링 한 채널의 주파수 응답 및 임펄스 응답을 시뮬레이션 한 결과가 그림 3(b) 및 3(c)에 잘 나타나 있다.

그림 3(b)의 채널 주파수 응답에서 볼 수 있듯이, 백플레인 채널이 1GHz 주파수에서 약 5dB의 손실을 가지며, 10GHz의 높은 주파수에서는 약 40dB의 손실을

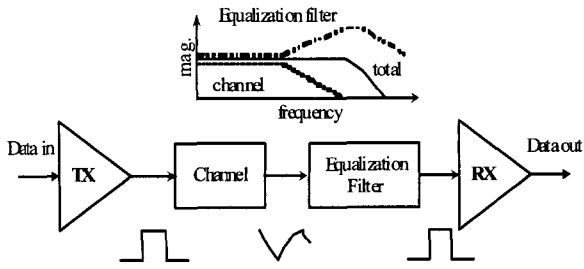


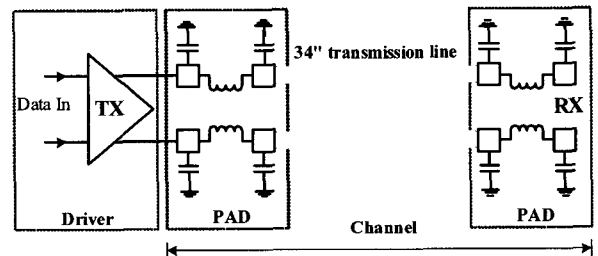
그림 2. 어댑티브 이퀄라이징을 통한 채널 대역폭 보상 방법

Fig. 2. Channel bandwidth compensation by adaptive equalization.

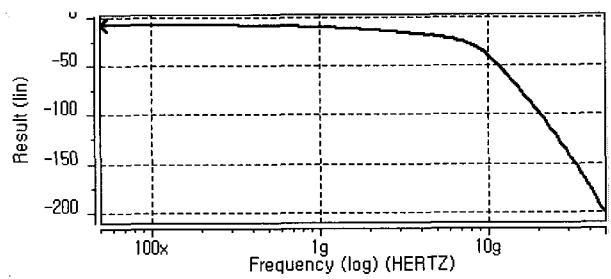
용하고 있는 chip-to-chip 통신의 경우, PCB (printed circuit board)의 특성에 의해 그 동작속도가 제한된다. 그림 1은 이러한 신호 왜곡특성을 보여준다. 기가비트 급의 깨끗한 신호를 송신단에서 송신할 경우, 채널의 불완전성에 의해 신호의 이득손실(flat loss)이 발생하고, 주파수에 따른 이득손실 (frequency-dependent loss)에 따르며 ISI (inter-symbol-interference)가 일어나며, 또한 반사파 (reflection)가 발생하여 수신기에서 수신된 신호는 심한 왜곡을 겪는다.

신호의 이득손실(flat loss)은 낮은 주파수 (DC) 이득에만 영향을 준다. 반사파의 경우, 송신단 및 수신단 양방향 터미네이션 (termination)을 조절함으로써 그 영향을 줄일 수 있다. 일반적으로 주파수에 따른 이득손실에 의한 신호왜곡 현상이 가장 심각하기 때문에, 대부분의 연구는 이를 보상하는 방법에 초점이 맞춰져 있다. 한 예로 그림 2는 주파수에 따른 이득손실을 보상하는 어댑티브 이퀄라이저 기법을 보여준다. 이는 채널의 LPF (low-pass-filter) 특성을 보상할 수 있도록 고주파 성분을 강화하는 것으로, 비교적 낮은 주파수의 통신에서는 디지털 회로로 구현하는 것이 선호되는 경향이 있으나, OIF CEI 6+, OIF CEI 11+, 그리고 XAUI 등과 같은 수 기가비트급 통신을 하는 경우 아날로그 회로구현을 보다 선호한다<sup>[1]</sup>.

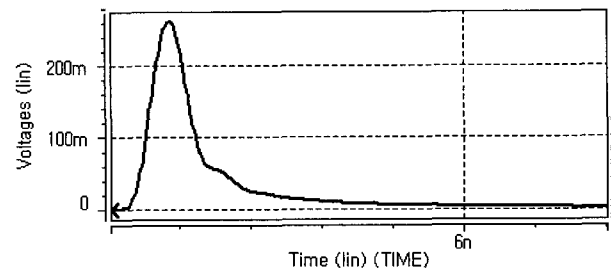
본 논문에서는 34인치 백플레인 채널에서 10Gb/s로 동작하는 아날로그 어댑티브 이퀄라이저 회로를 설계한다. 먼저, 34인치 길이의 FR-4 PCB 채널의 모델링에 대해 살펴보고, 이에 대한 아날로그 어댑티브 이퀄라이저 회로의 구조 및 실제구현에 대해 설명한다. 또한, 설계한 회로의 HSPICE 시뮬레이션 및 레이아웃을 통한 post-layout 시뮬레이션 결과에 대해 살펴본다.



(a)



(b)



(c)

그림 3. 백플레인 채널 모델링 : (a) 채널 등가회로, (b) 주파수 응답, 및 (c) 임펄스 응답

Fig. 3. Channel modeling of the backplane : (a) channel equivalent circuit, (b) the frequency response, and (c) the impulse response.

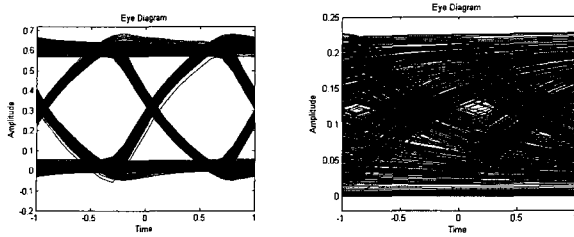


그림 4. (a) 송신신호 eye-diagram 및 (b) 34" 백플레인 통과한 수신신호의 eye-diagram

Fig. 4. (a) Eye-diagram of the transmitted signals, and (b) eye-diagram of the received signals through the 34-inch backplane channel.

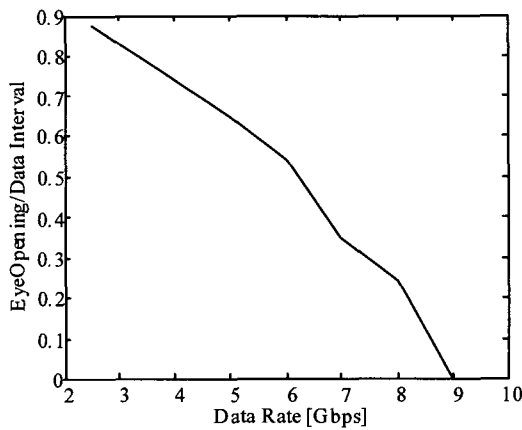


그림 5. 데이터 속도에 따른 수신신호의 eye-opening

Fig. 5. Eye-opening of the received signals with variation of the data rate.

가진다. 이러한 손실로 인해 발생하는 대역폭의 제한 특성은 결국 채널의 임펄스 응답에서 매우 큰 ISI를 발생한다(그림 3(c) 참조). 채널 시뮬레이션으로부터 ISI 성분은 앞에서부터 각각 -11dB, -18dB, -23dB 등으로 주어짐을 볼 수 있고, 이렇게 큰 ISI 특성은 수신단에서 깨끗한 송신신호와 달리 심각한 신호왜곡을 갖게 된다. 따라서 수신신호의 eye-diagram을 측정할 경우, 그 opening이 그림 4에서 보는 바와 같이 거의 닫혀지며, 이 경우 일반적인 CDR (clock and data recovery) 회로만으로는 수신신호를 온전히 복원 할 수 없게 된다.

그림 5는 송신신호의 데이터 속도에 따른 수신신호의 eye-opening 정도를 나타낸다. 신호의 동작속도가 증가함에 따라 수신신호의 opening이 점점 약화되는 것을 보여주며, 특히 5Gb/s 이상의 데이터 속도에서는 eye-opening이 50% 이하로 떨어진다. 이러한 왜곡 현상은 주로 채널에 의한 고주파 이득손실에 의한 것이므로, 신호의 고주파 성분을 증폭함으로써 이와 같은 신호왜곡 현상을 완화할 수 있다.

2. 어댑티브 이퀄라이저 회로의 구조

채널의 대역폭 보상을 위해 FIR (Finite Impulse Response) 및 IIR (Infinite Impulse Response) 형태의 필터를 적용할 수 있다. FIR 형태의 필터는 비교적 간단한 프리앰프시스 필터를 구현하기 위해 주로 이용되며<sup>[2]</sup>, IIR 형태의 필터는 어댑티브 이퀄라이저를 구현하기 위해 사용되고 있다<sup>[3~6]</sup>.

그림 6은 본 연구에서 설계한 아날로그 어댑티브 이퀄라이저 회로의 구조를 보여준다<sup>[4]</sup>. 이 회로는 HPF (high-pass filter)와 비교기 (comparator) 및 두 개의 square difference 회로로 구성되고, 특히 HPF는 DC 성분의 이득을 조절 할 수 있도록 하며, 또한 고주파 성분의 증폭을 위해 zero의 위치를 변화시킬 수 있는 특성을 가지도록 설계한다. 이때, DC 성분 이득조절 및 zero 위치 제어는 비교기 입력력 신호의 저주파 성분의 파워를 비교하고 동시에 피드백 함으로써 제어할 수 있다<sup>[7]</sup>.

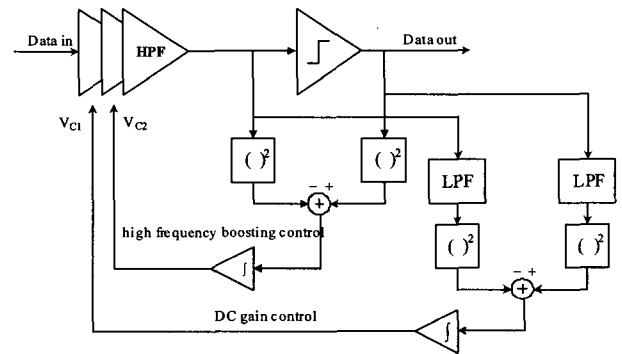


그림 6. 어댑티브 이퀄라이저 회로의 구조

Fig. 6. Block diagram of the adaptive equalizer circuit.

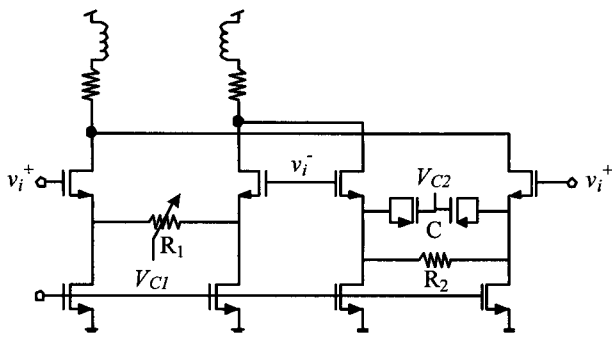
3. 어댑티브 이퀄라이저 회로설계

그림 7 (a)는 제안한 HPF의 회로도이다. 이 회로의 입력전압과 출력전류 관계식은 수식 (1)과 같다.

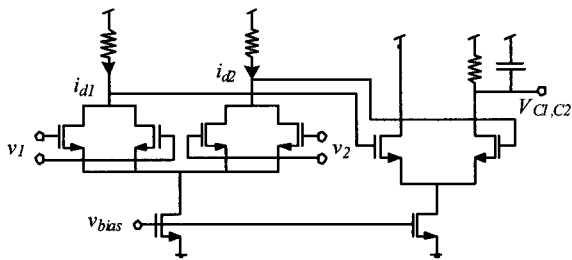
$$G_m = \frac{1}{R_1} + \frac{g_m(sR_2C + 1)}{sR_2C + 1 + g_m R_2/2} \tag{1}$$

따라서, DC 성분이득은 가변저항 R1에 의해 제어되고, zero의 위치는 가변 캐패시턴스 C1에 의해 제어할 수 있다. 사용된 가변저항은 선형구간 영역에서 동작하는 NMOS로 구현하였고, 가변 캐패시터는 PMOS 캐패시터로 구현하였다.

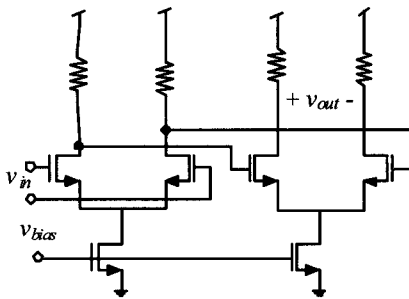
그림 7(b)는 square difference와 적분기의 회로도이



(a)



(b)



(c)

그림 7. 어댑티브 이퀄라이저 회로의 주요 블록들 : (a) HPF, (b) square difference와 적분기, 및 (c) 비교기

Fig. 7. Schematic diagrams of each block in the adaptive equalizer circuits : (a) HPF, (b) square difference circuit & integrator, and (c) comparator.

며, 이 회로의 출력 전류는 수식 (2)와 같다<sup>[3]</sup>.

$$I_{d1} - I_{d2} = \frac{KW}{L} (v_{in1}^2 - v_{in2}^2) \quad (2)$$

회로의 두 번째 단은 전압신호를 전류로 바꾼 후, 캐패시터를 이용하여 적분하는 회로이다. 그림 7(c)는 이퀄라이저를 거친 아날로그 신호를 디지털 신호로 복원해 주는 비교기이다.

#### 4. 칩 레이아웃 및 HSPICE 시뮬레이션

본 연구에서 설계한 어댑티브 이퀄라이저 회로는

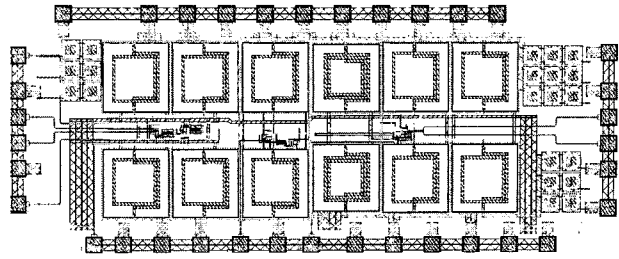


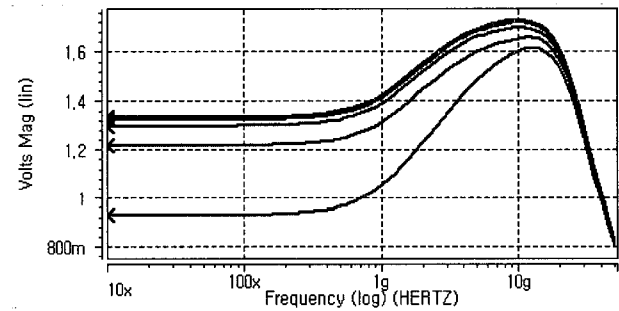
그림 8. 제안한 어댑티브 이퀄라이저 회로의 칩 레이아웃

Fig. 8. Chip layout of the proposed adaptive equalizer circuit.

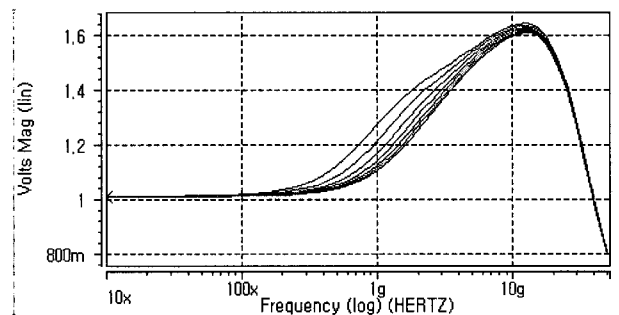
표 1. 설계한 어댑티브 이퀄라이저 회로의 성능요약

Table 1. Performance summary of the proposed adaptive equalizer circuit.

파라미터	이퀄라이저 성능
공정	0.18um CMOS
수신신호 크기	350mV <sub>pp</sub>
데이터 지터	8ps <sub>p-p</sub>
소비전력	10mW
칩 면적	0.56mm <sup>2</sup>



(a) DC gain 제어



(b) Zero frequency 제어

그림 9. 제안한 HPF의 고주파 성분 증폭특성

Fig. 9. High-frequency amplification of the proposed HPF.

0.18um 표준 CMOS 공정으로 구현하였다. 그림 8은 설계한 이퀄라이저 회로의 레이아웃을 보여준다. 출력단 드라이버 회로를 제외한 칩 core의 면적은 1.6x0.7mm<sup>2</sup>이다. 표 1은 설계한 어댑티브 이퀄라이저 회로의 시뮬

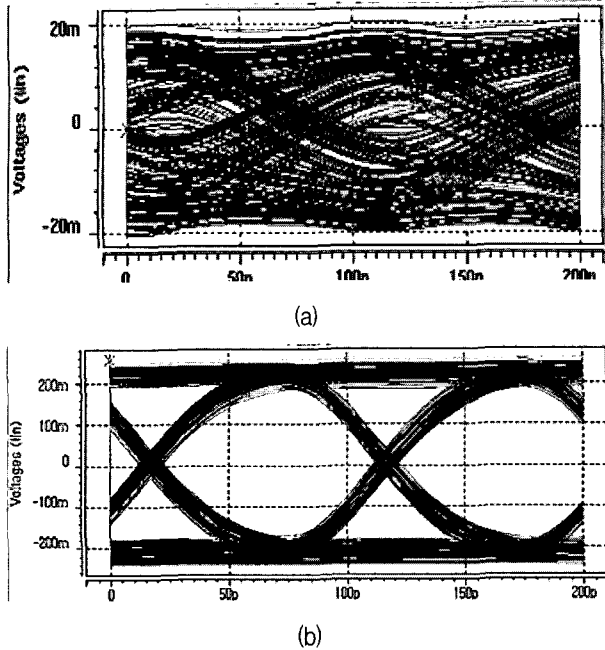


그림 10. 10Gb/s  $2^{31}-1$  PRBS 입력신호에 대한 시뮬레이션 결과: (a) 34인치 백플레인을 통과한 수신신호의 eye-diagram 및 (b) 이퀄라이저 회로로 복원한 수신신호

Fig. 10. Eye-diagrams for 10Gb/s  $2^{31}-1$  PRBS input: (a) received signals through 34 inch backplane, and (b) recovered signals by the proposed adaptive equalizer.

레이션 성능요약을 보여준다.

그림 9는 HPF 회로의 post-layout 시뮬레이션 결과로서, 그림 9(a)는 zero 주파수와 대역폭의 변화 없이 DC 성분 이득이 증폭하는 것을 보여주고 있으며, 그림 9(b)는 DC 성분 이득의 변화 없이 zero 주파수가 변하는 것을 보여준다. 제안된 회로의 DC 성분 이득 조절범위는 1~1.3 이고, zero 주파수 조절범위는 500MHz ~ 1GHz 이다.

그림 10(a)는 10Gb/s  $2^{31}-1$  PRBS 입력신호를 34인치 백플레인을 통과시킨 후 수신기의 입력단에서 살펴본 수신신호의 파형으로써, 매우 심각한 신호의 왜곡현상을 보여준다. 반면, 그림 10(b)는 제안한 이퀄라이저 회로를 통과한 후의 결과파형으로서, 위와 같이 매우 큰 ISI로 인해 왜곡이 심한 수신신호에 대해서도 이퀄라이징 효과에 의해 신호왜곡이 제거되고 매우 깨끗한 eye-diagram을 얻을 수 있음을 보여준다.

이 외에도, 제안한 어댑티브 이퀄라이저 회로는 ISI를 제거할 수 있도록 자동으로 최적계수를 설정하게 되므로, 송신단에 설치하는 프리앰퍼시스 필터회로보다 채널변화에 덜 민감하게 동작하는 장점을 지닌다.

표 2. 설계한 어댑티브 이퀄라이저 회로의 성능비교  
Table 2. Performance comparison with recently published equalizer circuits.

파라미터	[4]	[5]	[6]	this work
공정	0.18um	0.13um	SiGe120 BiCMOS	0.18um
Cable 종류	15m RG-58 coaxial cable	20-inch backplane	15ft RU256 copper cable	34-inch backplane
동작속도	3.5Gb/s	10Gb/s (4-PAM)	10Gb/s	10Gb/s
수신신호 크기	800mV <sub>pp</sub>	-	-	350mV <sub>pp</sub>
지터	110ps <sub>p-p</sub>	-	3.9ps <sub>RMS</sub>	8ps <sub>p-p</sub>
소비전력	80mW	400mW	155mW (3.3V)	10mW
칩 면적	0.35mm <sup>2</sup>	1mm <sup>2</sup>	0.7mm <sup>2</sup>	0.56mm <sup>2</sup>

표 2는 최근 발표된 어댑티브 이퀄라이저 회로들과의 성능비교를 보여준다. 사용한 cable 종류에 따른 주파수 손실(frequency-dependant loss)의 차이는 있으나, 이퀄라이징 기법에 의한 신호복원을 수행함으로써 지터를 줄이고 수신신호의 크기를 복원함을 보여준다. 특히, 제안한 이퀄라이저 회로의 경우, 비록 post-layout 시뮬레이션 결과이기 때문에 PCB 혹은 채널 트레이스에서 발생하는 노이즈의 효과가 지터 측정결과에 나타나 있지 않더라도, 동일한 10Gb/s의 동작속도에 대해 매우 저전력 소모와 낮은 지터 특성 및 작은 칩 사이즈 등의 장점을 보여준다.

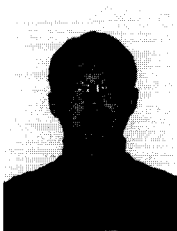
### III. 결 론

본 논문에서는 34인치 시리얼 링크 백플레인 채널통신을 위한 아날로그 형태의 어댑티브 이퀄라이저 회로를 0.18um CMOS 공정을 이용하여 구현하였다. 제안한 이퀄라이저 회로는 34인치의 긴 백플레인 채널에서 발생하는 주파수에 따른 이득손실 (frequency-dependent loss)에도 불구하고 매우 높은 동작속도 (10Gb/s)를 유지한다. 포스트 레이아웃 시뮬레이션 결과, 제안한 회로는 10mW의 매우 낮은 전력소모와 8ps<sub>p-p</sub>의 지터 특성을 가지며, 0.56mm<sup>2</sup>의 작은 칩 사이즈를 갖기 때문에 저전력 통신시스템에 매우 적합하다 할 수 있다.

참 고 문 헌

- [1] "Common Electrical I/O (CEI) Electrical and Jitter Interoperability agreement for 6+Gbps and 11+Gbps I/O," *Optical Interconnect Forum-Contribution OIF 2004*, 104.08, Sep. 2004.
- [2] M. Li, T. Kwasniewski, S. Wang, and Y. Tao, "FIR Filter Optimization as Pre-Emphasis of High-Speed Backplane Data Transmission," *Electronics Letters*, Vol. 40, No. 14, 2004.
- [3] K. Yoo, H. Lee, and G. Han, "A Low Power and Small Area Analog Adaptive Line Equalization 100-Mbps Data Rate on UTP Cable," *IEICE Transaction on Electronics*, Vol. E87-C, No. 4, Apr. 2004.
- [4] J. S. Choi, et al., "A 0.18 $\mu$ m CMOS 3.5-Gb/s Continuous-Time Adaptive Cable Equalizer Using Enhanced Low-Frequency Gain Control Method," *IEEE J. Solid-State Circuits*, pp. 419-425, Mar. 2004.
- [5] J. Zerbe, et al., "Equalization and Clock Recovery for a 2.5-10Gb/s 2-PAM/4-PAM Backplane Transceiver Cell," *IEEE J. Solid State Circuits*, Vol.38, pp. 2121-2130, Dec. 2003.
- [6] G. Zhang et al., "A BiCMOS 10Gb/s Adaptive Cable Equalizer," *ISSCC Dig. of Tech. Papers*, pp. 482-483, Feb. 2004.
- [7] K. Yoo, G. Han, and H. Yoon, "Convergence Analysis of the Cascade Second-Order Adaptive Line Equalizer," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, Vol. 53, No.6, pp. 507-511, June, 2006.

저 자 소 개



유 귀 성(학생회원)  
 2000년 연세대학교 전자공학과 학사 졸업.  
 2003년 연세대학교 전자공학과 석사 졸업.  
 2008년 연세대학교 전자공학과 박사 졸업예정.

<주관심분야 : 초고속 시리얼 인터페이스용 아날로그 회로설계, 이퀄라이저/프리엠퍼시스 회로설계, RF용 오실레이터 회로설계>



한 건 희(평생회원)  
 1990년 연세대학교 전자공학과 학사 졸업.  
 1997년 텍사스 A&M 전자공학과 박사 졸업.  
 현재 연세대학교 전기전자공학부 부교수.

<주관심분야 : 차세대 CMOS Image Sensor용 회로설계, 초고속 아날로그 회로설계, 초저전력 델타시그마 모듈레이터>



박 성 민(평생회원)  
 1993년 한국과학기술원 전기및 전자공학과 학사 졸업.  
 1994년 런던대학교 전자공학과 석사 졸업.  
 2000년 임페리얼 공대 전자공학과 박사 졸업.  
 현재 이화여자대학교 전자정보통신공학과 조교수

<주관심분야 : RF 및 Wireline 통신용 초고속 아날로그 회로설계>