

# 유비쿼터스 휴대 단말용 SoC 기술 동향

Trends in SoC Technology for Ubiquitous Mobile Terminals

## IT 융합 · 부품 기술 특집

여준기 (C.G. Lyuh)	U-단말연구팀 선임연구원
양일석 (Y.S. Yang)	U-단말연구팀 선임연구원
김기철 (K.C. Kim)	서울시립대 교수
노태문 (T.M. Roh)	U-단말연구팀 팀장
김종대 (J.D. Kim)	IT-NT그룹 그룹장

## 목 차

- .....
- I. 서론
  - II. 휴대 단말용 SoC 기술 동향
  - III. 재구성형 프로세서 기술 동향
  - IV. 결론

유비쿼터스 사회에서는 언제, 어디서나 네트워크에 연결하여 다양한 형태의 실감 정보를 제공 받아 더욱더 풍요로운 삶을 누릴 수 있을 것이다. 이것은 음성인식 및 영상합성·생성기술, 입체 영상/음향 입·출력기술, IT-NT-BT 기술융합의 가속화로 지능형·실감형 정보처리는 물론 휴먼정보 등의 다양한 정보처리가 가능한 유비쿼터스 휴대 단말기에 의해서 실현될 것이다. 휴대 단말기에서 반도체는 약 40~50%의 비중을 차지하는 가장 중요한 부품이며, 다양한 지능형·실감형 정보를 처리하기 위하여 막대한 양의 데이터를 처리할 수 있는 저전력·고성능 반도체 SoC 개발이 필수적이다. 본 고에서는 휴대 단말기에 사용되는 SoC 기술 및 재구성형 프로세서 기술 동향을 파악함으로써, 유비쿼터스 단말기에서 필수적으로 사용될 반도체 SoC 기술의 발전 방향에 대해서 전망해 보았다.

## I. 서론

미래 유비쿼터스 정보사회 구현을 위한 기술발전은 인간을 중심으로 한 주변 환경간의 상호 원활한 이해와 통신을 전제로, 쾌적하고 안전한 삶 등 인간의 오감을 대신할 수 있는 멀티미디어화, 지능화, 개인화된 서비스 형태로 발전할 것이다[1],[2]. 이러한 응용 서비스를 제공하기 위한 주변기술의 발전방향으로, 정보단말기는 디지털화, 고속화, 지능화, 개인화가 진전될 것이다. 향후 유비쿼터스 휴대 단말기는 음성인식 및 영상합성·생성기술, 입체 영상/음향 입·출력기술, IT-NT-BT 기술융합의 가속화로 지능형·실감형 정보처리는 물론 휴먼정보 등의 다양한 정보처리가 가능할 것이다.

휴대 단말기에 사용되는 부품은 크게 반도체, 디스플레이, 카메라, 일반부품으로 나눌 수 있으며, 단말기에서 차지하는 비중이 가장 큰 부품은 반도체로써 약 40~50%를 차지하고, 단말기의 기능 및 성능을 결정하고 있다[3]. 휴대 단말기에 사용되는 대용량 메모리 IC, 저전력 RF 부품기술, 고용량전지 등 부품의 소형화로 부품 및 소자는 고집적화·초고속화·저전력화·저가격화의 방향으로 발전하고 있다. 특히, 유비쿼터스 휴대 단말기로 다양한 지능형·실감형 정보를 처리하기 위하여 막대한 양의 데이터를 처리할 수 있는 저전력·고성능 반도체 SoC가 필수적이다.

본 고에서는 유비쿼터스 휴대 단말기에 사용되는 가장 핵심이고 중요한 반도체 SoC 기술 및 재구성형 프로세서 기술에 대한 동향을 살펴보고, 향후 SoC 기술이 어떤 형태로 발전할 것인지 전망을 해 보고자 한다.

### ● 용어해설 ●

**재구성형 프로세서:** 연산을 수행하는 기본 단위인 연산 유닛과 그들간의 상호연결을 명령에 의해 재구성하면서 연산을 수행하는 프로세서로 ASIC을 통한 설계보다 유연성이 높으며 마이크로 프로세서보다 높은 성능을 얻을 수 있다.

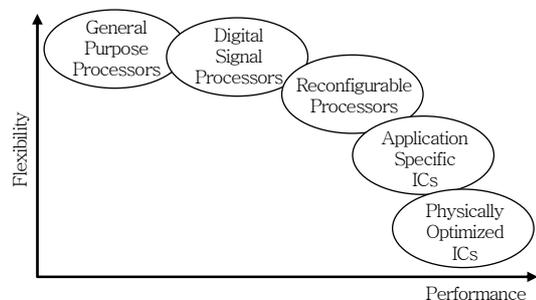
## II. 휴대 단말용 SoC 기술 동향

### 1. SoC 기술 개요

최근 휴대 단말용 SoC는 다양한 멀티미디어 데이터의 실시간 처리를 위해 높은 연산 성능, 낮은 소모전력과 높은 유연성을 요구한다. 휴대 단말기에서 멀티미디어는 다양한 표준의 비디오, 오디오, 이미지 인코딩/디코딩 데이터를 의미하고 특히 휴대 단말용 멀티미디어 SoC에서 소모전력은 매우 중요한 설계 요소이다. 소모전력에 영향을 주는 요인들로는 칩의 크기와 게이트 카운트, 사용하는 공정, 동작속도이다. 칩의 크기와 게이트 카운트는 점점 증가하고 있고, 사용하는 공정은 90나노 이하의 DSM 시대로 들어가고 있으며, 또한 칩의 속도도 요구되는 연산량의 증가로 매우 빨라지고 있다. 이러한 추세를 반영하면 SoC의 소비전력은 기하급수적으로 증가하여 휴대 단말기에서 사용할 수 없다. 이런 문제점을 해결하기 위하여 병렬 구조가 대안으로 부각되고 있다. 병렬 구조는 낮은 동작 주파수에서 높은 연산 성능을 만족시킬 수 있다. 병렬구조는 일반적으로 ILP와 DLP로 나눌 수 있다.

유연성과 성능은 반비례하여 SoC 설계시 양자간의 trade-off를 고려해야 한다. (그림 1)은 유연성과 성능과의 관계를 보여준다.

휴대 단말용 멀티미디어 SoC 구현방법으로 RISC/DSP 형태의 일반 프로세서, 비디오 처리 전용 프로세서와 하드웨어 ASIC이 있다. 하드웨어 가속 역할을 하는 특정 기능을 가진 ASIC을 통한 멀티미디어



(그림 1) 유연성과 성능과의 관계도

SoC 구현은 크기, 소비전력, 성능 측면에서는 매우 뛰어나지만 한 개의 ASIC으로 다양한 멀티미디어 표준들을 구현하기가 불가능하므로 유연성이 부족하다. 비디오 처리 전용 프로세서는 다양한 멀티미디어 표준들을 구현 가능하여 유연성이 매우 뛰어나기 때문에 멀티 표준의 지원이 가능하고, 비디오 해상도와 프레임 비를 변경할 수 있어 확장성은 뛰어나지만 비디오만 처리 가능하여 비디오/오디오 동기 문제가 발생하고, 프로그램 개발이 어렵다. RISC/DSP 형태의 일반 프로세서는 다양한 멀티미디어 표준들을 구현 가능하여 유연성에 매우 뛰어나 멀티 표준들을 지원 가능하고 비디오 이외의 다른 멀티미디어 데이터 처리가 가능하며 비디오/오디오 동기 문제도 해결할 수 있다. 그러나 소비전력 문제와 실시간 서비스에 문제가 있다.

휴대폰 칩셋 기술은 퀄컴 중심의 베이스밴드 단일칩화 추세 및 TI 중심의 DSP 복수칩화 추세로 발전하고 있다[4].

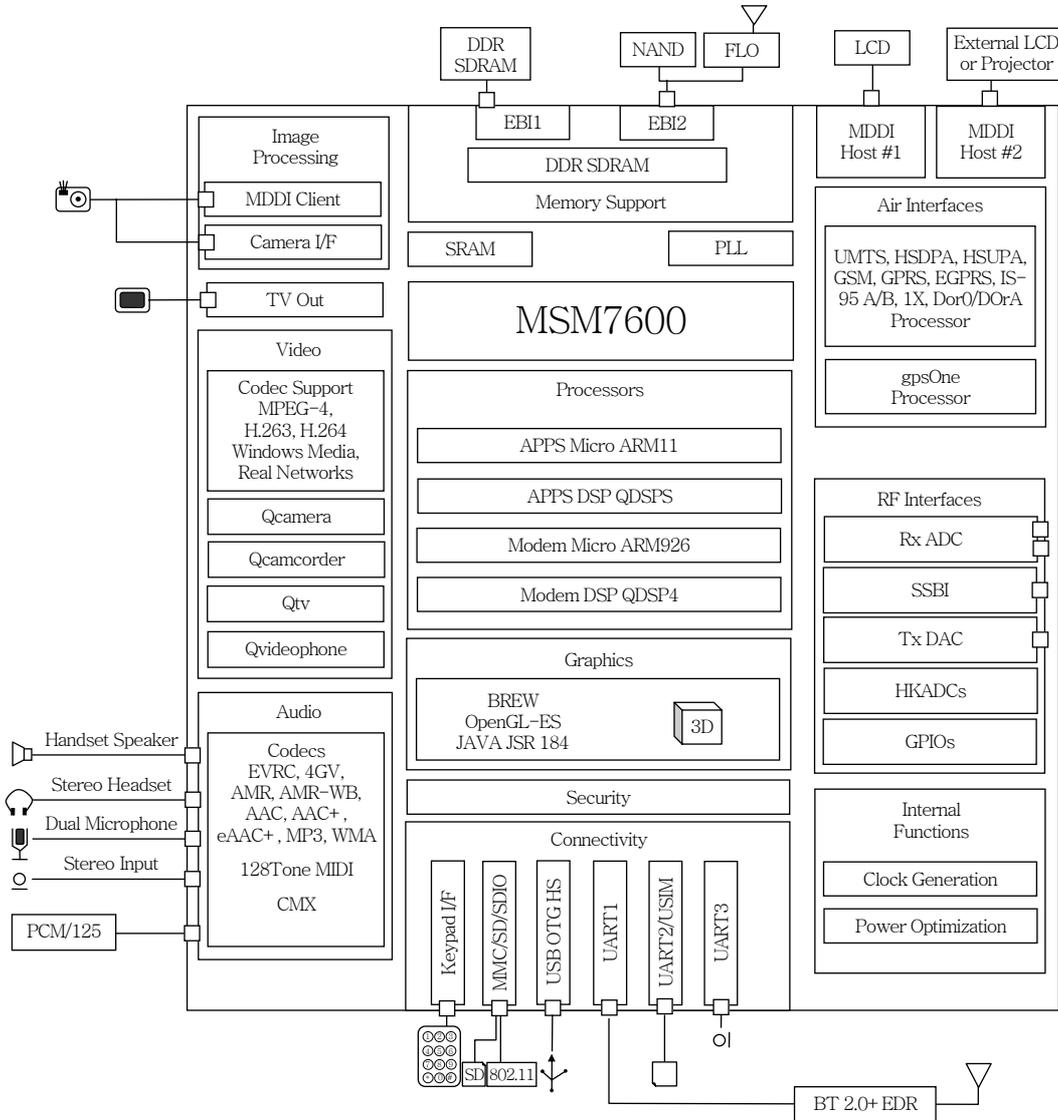
## 2. 퀄컴 SoC 기술

<표 1>은 퀄컴사의 멀티미디어 프로세서의 기술 로드맵을 보여준다[5]. 퀄컴의 칩셋은 멀티 프로세서로 구성되어 다양한 종류의 멀티미디어 데이터 처리를 베이스밴드 중심의 단일칩에서 수행하며 CDMA 계열의 핸드폰에 거의 표준으로 사용되고 있다. 현재 많이 사용되고 있는 칩셋은 MSM6800으로 ARM926EJ-S 코어[6]와 2개의 오디오 처리용 QDSP4000으로 구성되어 있다. 향후 칩셋은 유비쿼터스에서 다양한 종류의 멀티미디어 데이터를 처리할 수 있는 컨버전스 칩셋 계열로 발전할 전망이다.

(그림 2)는 컨버전스 칩셋 계열인 MSM7600 블록도이고, ARM9 메인 컨트롤러, ARM11 멀티미디어 코어, 오디오용 듀얼 DSP, OpenGL ES 2D/3D 그래픽 엔진으로 구성되어 있다.

<표 1> 퀄컴사의 멀티미디어 프로세서 기술 로드맵

		Value				Multimedia					Enhanced					Convergence			
		6000	6025	6050	6200	6100	6300	6500	6225	6250	6150	6550	6700	6800	6275	6280	7200	7500	7600
Standard	20001x	✓	✓	✓		✓	✓	✓			✓	✓	✓					✓	✓
	1x EV DO							✓				✓	✓					✓	✓
	GSM				✓		✓	✓	✓	✓		✓	✓	✓	✓	✓	✓	✓	✓
	GPRS				✓		✓	✓	✓	✓		✓	✓	✓	✓	✓	✓	✓	✓
	WCDMA				✓				✓	✓				✓	✓	✓	✓		✓
	EDGE														✓	✓	✓		✓
	HSDPA														✓	✓	✓		✓
I/F	gpsOne			✓		✓	✓	✓		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
	MDDI																Support	✓	✓
	USB		✓	✓	✓		✓	OTG	OTG	OTG								OTG	✓
	Sensor																		Up to 6Mpixels
	LCD I/F																		QCIF+ (QVGA: 15fps 안됨 6250)
M/M	JPEG	Encoding&Decoding(6025)				Encoding&Decoding					Encoding&Decoding					Encoding&Decoding			
	Video	MPEG4 Decoder(6050)				Record&Playback: 15fps QCIF					Video Telephony: 15fps QCIF(6550) Record: 15fps CIF, Playback: 30fps CIF					Record&Playback: 30fps VGA			
											H.263/H.264					H.263/H.264			
	Audio	MIDI, MP3				MIDI, MP3, AAC, AAC Plus					MIDI MP3, AAC, AAC Plus					MP3, AAC, AAC+			
	Vocoder	AMR, EVRC, QCELP				AMR, EVRC, QCELP					AMR, EVRC, QCELP					AMR, EVRC, QCELP			
	2D/3D					50K polygon					100K polygon ARM Jazelle Java H/W Acceleration					3M~4M polygon (ATi IP 적용)			
Core	ARM7TDMI 1xQDSP4000				ARM926EJ-S(150MHz) 2xQDSP4000					ARM926EJ-S(225MHz) 2xQDSP4000					ARM11				



(그림 2) MSM7600 블록도

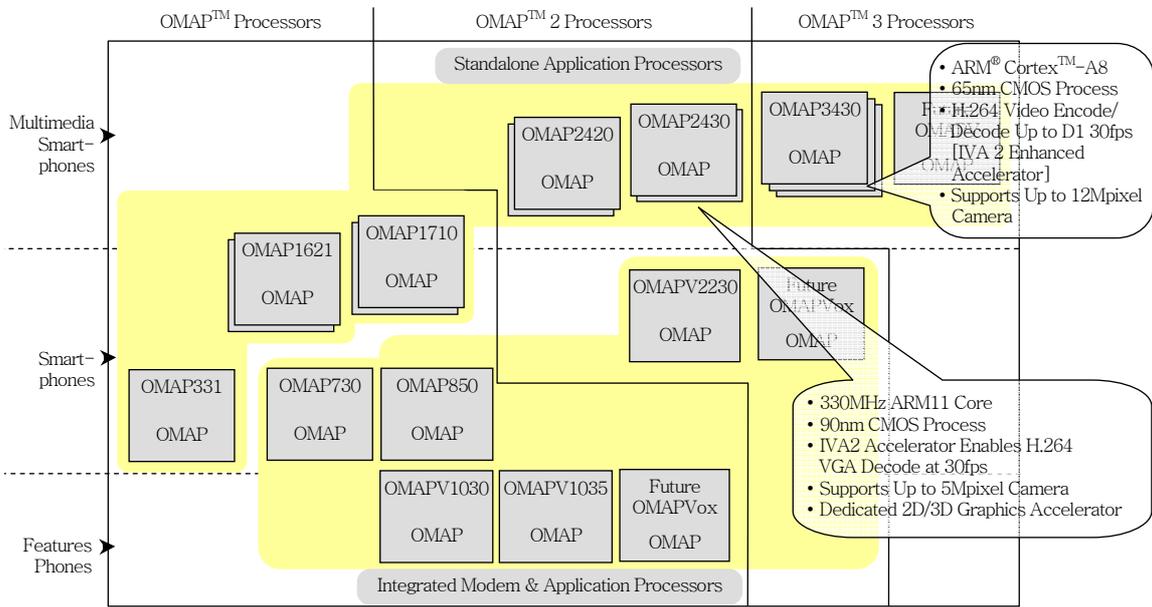
### 3. TI사 SoC 기술

TI에서는 DSP 기반의 OMAP, 즉 개방형 멀티미디어 애플리케이션 플랫폼으로 차세대 휴대 단말기 SoC를 개발하고 있다. TI에서는 ARM11 메인 컨트롤러, TMS320C55x DSP, 2D/3D 그래픽 가속기로 구성된 TI OMAP2420을 발표하였다[7].

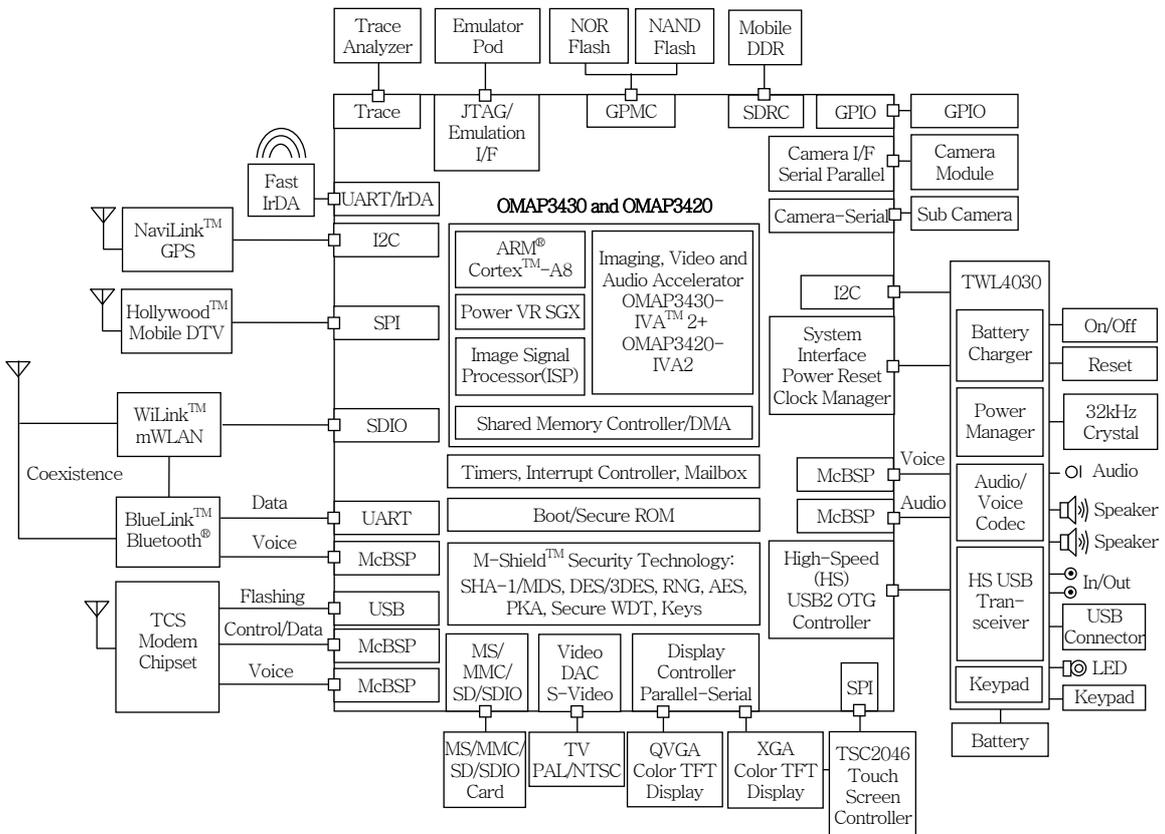
TI의 OMAP2에 이은 차세대 멀티미디어 프로세서 제품군인 OMAP3는 노트북 PC, PDA를 비롯해 카메라, 게임, 음악, 비디오 기능 등을 휴대폰에 통

합, 휴대폰 업무와 엔터테인먼트 기능을 동시에 향상시킬 수 있다. 특히 OMAP3는 ARM의 차세대 프로세서 코어인 Cortex A8을 업계 최초로 적용해, ARM11를 적용한 OMAP2 대비 3배 향상된 성능을 제공한다. (그림 3)은 TI사의 OMAP 로드맵을 보여 준다.

(그림 4)은 OMPA3430의 블록도이고, ARM Cortex 코어와 이미지/비디오 하드웨어 가속기로 구성되어 있다.



(그림 3) TI OMAP 로드맵



(그림 4) OMAP3430 블록도

#### 4. 기타 SoC 기술

ST 마이크로는 멀티미디어 프로세서로 ARM9과 오디오/비디오 가속기로 구성된 Nomadik 제품군을 발표하였고[8], Analog Devices사는 Blackfin 프로세서로 구성된 ADSP-BFxx 제품군을 발표하였다[9].

#### 5. 휴대 단말용 SoC 요약

휴대 단말기에 사용되는 다양한 멀티미디어 SoC에 대하여 조사하였는데[5]-[9], 최근 멀티미디어 처리용 프로세서는 카메라, 게임, 비디오 등에 이어 디지털 이동방송까지, 휴대폰이 다양한 멀티미디어 기능을 통합하는 추세에 적극 대응하기 위하여 RISC/DSP 형태의 일반 프로세서, 비디오 처리 전용

프로세서와 하드웨어 가속기 역할을 하는 ASIC들로 구성되어 다양한 멀티미디어 서비스를 저소비전력, 실시간으로 제공하게 한다. <표 2>는 상용화된 멀티미디어 프로세서의 벤치마킹 자료를 요약한 것이다. <표 2>에서와 같이 대부분 듀얼 코어를 사용하고 지원 가능한 멀티미디어 기능으로 H.264 BP, VGA@30fps, MPEG4 SP, VGA@30fps 이상의 2종류 이상의 비디오 코덱, 다양한 종류의 오디오 코덱, 4M 픽셀 이상의 정지영상 등을 지원한다.

### Ⅲ. 재구성형 프로세서 기술 동향

#### 1. 개요

재구성형 프로세서 구조와 병렬 프로세서를 통한

<표 2> 상용화된 멀티미디어 프로세서의 벤치마킹 자료 요약

	AT32AP7000 [AP]	STn8815 [Nomadik, AP]	ADSP-BF561 [DSP]	SC2200/2400	CT3400 Multiprocessor [DSP+ RISC]	TMS320DM6446 DSP Core	MSM6550 Qualcomm
Core	AVR32 MCU/DSP [ARM 1138 JF-S 수준]	ARM92EJ+ A/V Accelerator	16/32bit BlackFin MCU/DSP	StarCore V5 DSP Core	8 SIMD DSP+ 4 RISC PE	ARM926EJ+ 8 Issue VLIW C64x DSP	ARM926EJS+ 2QDSP4000
동작주파수	133MHz	334MHz	600MHz	175~240MHz [130nm] 250~340MHz [90nm]	230MHz 3W	300MHz APM9 600MHz DSP	225MHz ARM9 100MHz QDSP4000
Register	32bit, 15GP		32bit, 8entry		128×32bit		
Pipeline	7 Stage with 3 Sub Pipelines		10 Stage	12 Stage			5 Stage
내부메모리	32KB	3Mbit	328KB	64KB~4GB	512×20bit		
Cache	16KB I/D	16KB I/D			32KB 64KB I/D		16KB I/D
MM 성능	SIMD DSP Ins. 186 RISC Ins. Vector Multiplication Coprocessor 내장 QVGA MPEG4@30fps Decoding: 75MHz MP3: 15MHz AAC: 25MHz	MPEG 4 SP 코덱 SDTV@30fps. H.264 VGA @30fps Decoding @15fps Encoding 2 SMIA CCP2 I/F 80MPixel/s	Video Ins. 216bit MAC 240bit ALU 48bit Video ALU 40bit Shifter [2400 MMACS] VGA/D1+ Audio Codec@756MHz	MM Ins. VLES 구조 VLIW Parallelism H.264 QVGA@30fps Decoding: 70MCPS Encoding: 380MCPS [2440]	29.5 BMAC/s @230MHz 8bit H.264 BL L2 [CIF급 30fps] Codec G.711/H.729 Speech Codec	H.264 MP D1@30fps Codec MPEG4 SP 720p@30fps Codec	4MP Camera I/F H.264 Voice Codec CIF@30fps Decoding CIF@15fps Encoding QCIF@15fps Codec
Peripherals	16bit Audio DAC LCD Controller USB2.0 PHY RS232, USART	SDRAM C Flash C USB2.0 Serial Port DMAC	UART		32bit ALU 32bit Integer MAC Single Precision Floating Point Logic 32 GR, 32 SR		
회사	Atmel [OS: Linux 2.6 Kernel]	STM [OS: Symbian, Linux, WinCE]	Analog Devices [OS: uClinux]	StarCore	Cradle Technology	TI [OS Linux]	Qualcomm

멀티미디어 연산에 대한 연구는 일찍부터 진행되었으며, 이를 통한 멀티미디어 처리용 칩이 상용화되기 시작하였다. 하지만 그 기술 수준은 아직 성숙되지 못한 단계라 할 수 있다. 여기에서는 University of California, Irvine의 MorphoSys, University of California, Berkeley의 Garp, Carnegie Mellon University의 PipeRench, 상용화 제품인 PACT사의 SMeXPP-3H, Atsana의 J2210, NeoMagic의 MiMagic6를 통해 재구성형 프로세서 기술의 동향을 알아본다.

## 2. 재구성형 프로세서 핵심 기술

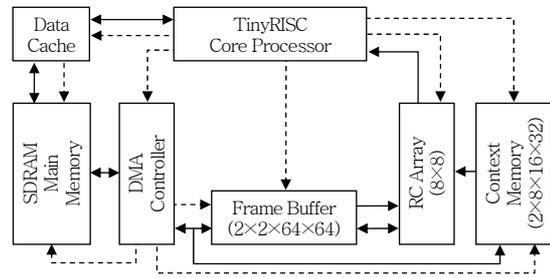
### 가. MorphoSys

MorphoSys는 University of California, Irvine의 Advanced Computer Architecture Group(ACAG)에서 만든 재구성형 구조로 1998년부터 2003년까지 대학에서 연구가 이루어졌으며, 이후 Morphotech라는 회사를 설립하여 상용화하였다[10].

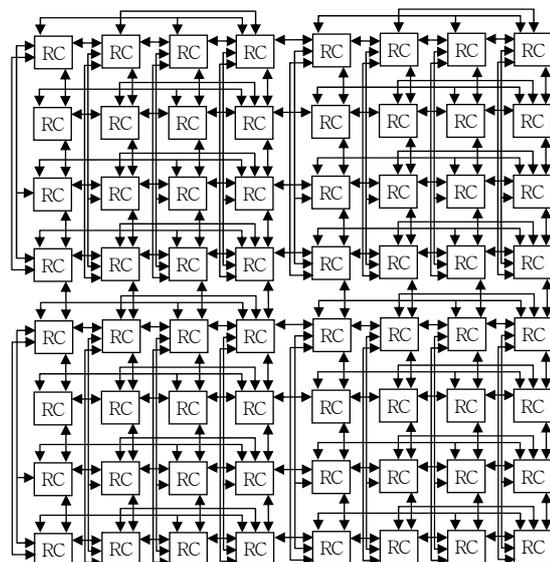
(그림 5)는 MorphoSys의 구조를 보여준다. TinyRISC는 재구성 셀(RC)과 메모리간 데이터 전송을 제어한다. FB는 RC array 연산에 사용되는 데이터를 제공하고, 그에 따라 연산된 결과를 RC array로부터 받아 저장한다. Context memory는 RC array의 동작을 결정하는 context word를 RC array에 제공한다. RC array는 16비트 연산을 수행하는 RC가 8×8 구조로 구성되어 있다.

(그림 6)은 RC array의 구조를 보여준다. 그림에서와 같이 RC들은 2D mesh 구조로 연결되어 있으며, 또한 4×4 구조 내에서는 가로 및 세로 방향으로 모두 직접 연결되어 있어 빠른 데이터 교환이 가능하다. 이에 추가적으로 4×4 구조 외부로의 데이터 교환을 위해서는 각 행과 열마다 연결된 글로벌 버스를 사용할 수 있다.

RC들은 행이나 열별로 같은 동작을 수행하게 되고, 하나의 context word가 하나의 행 또는 열을 담당한다. 이를 통해 많은 양의 데이터로 반복적인 연산을 수행하는 경우 효율적인 연산이 가능하다. 또



(그림 5) MorphoSys의 구조



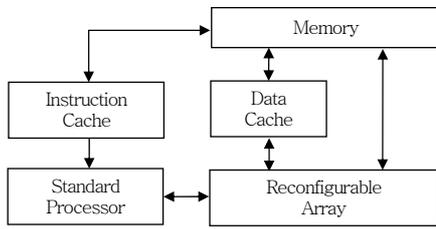
(그림 6) RC Array의 구조

한 두 개의 세트의 구성된 FB를 사용함으로써 하나의 세트가 데이터를 RC array로 보내주는 동안 다른 세트는 새로운 데이터를 받아들임으로써 연산을 보다 효율적으로 수행할 수 있는 구조이다.

이런 특징을 통해 ME나 DCT/IDCT와 같은 영상 압축 분야와 ATR, 데이터 암호화 등에 효율적으로 사용될 수 있다.

### 나. Garp

Garp는 University of California, Berkeley의 Berkeley Reconfigurable Architectures, Systems & Software(BRASS) 연구 그룹에서 1997년부터 2000년까지 연구를 수행한 병렬 프로세서이다[11].

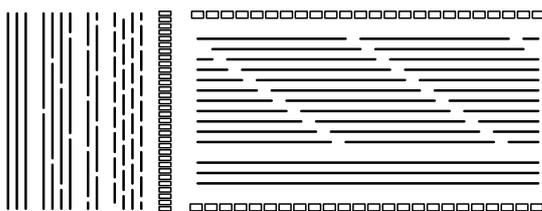


(그림 7) Garp의 구조

(그림 7)은 Garp의 구조를 보여준다. Standard processor는 MIPS-II 명령 세트를 실행하고, 여기에 reconfigurable array를 제어하기 위한 명령이 추가되어 있다. Reconfigurable array는 32×23 배열의 PE들로 구성되어 있다. 각 PE는 2비트 연산을 수행하면서, 인접한 wire로부터 네 개의 2비트 입력을 받아서 두 개의 2비트 출력을 내보낸다. 이 중 하나의 출력은 계산된 결과 값이며, 다른 하나는 입력을 그대로 내보내고, 각 출력은 수직, 로컬 수평, 글로벌 수평 wire로 나갈 수 있다.

PE array에서 24번째 열의 PE들은 32×23개의 PE를 행 단위로 재구성하는 제어 블록이며, 나머지는 로직 블록이다. 각 PE가 2비트 연산을 수행하기 때문에 2비트보다 넓은 비트의 연산을 수행할 때에는 같은 행에 인접한 PE들과 병합되어 재구성된다. 23개의 열 중에서 프로세서 데이터 워드에 맞춰진 32비트 연산을 위해 16개의 열이 사용되며, 추가적으로 MSB쪽에 3열이, LSB쪽에 4열이 사용되어 23개의 열을 이룬다.

(그림 8)은 PE array의 상호연결을 보여준다. 앞에서 설명한 넓은 비트의 연산 수행을 위해 PE 간의 상호연결은 행 방향이 로컬 수평 wire, 글로벌 수평 wire 등 훨씬 복잡한 구조로 되어 있다. 또한 각 열마다 2비트 넓이의 메모리 버스가 4개씩 존재한다.



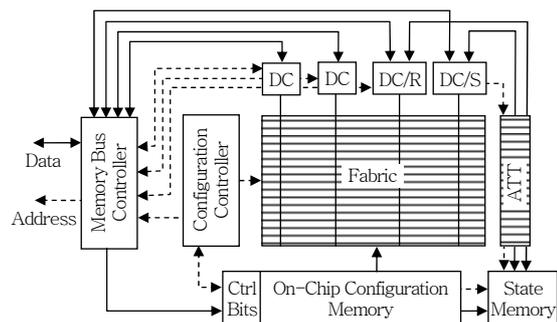
(그림 8) Garp PE Array의 상호연결 구조

Garp는 실제로 구현되지 않았지만, UltraSPARC을 바탕으로 만들어졌으며 에뮬레이션을 통해 DES 암호화, 이미지 디터링, 백만 개 데이터의 정렬 등에 SPARC에 비해 낮은 클럭을 사용하면서도 2배에서 많게는 24배의 성능을 보였다.

#### 다. PipeRench

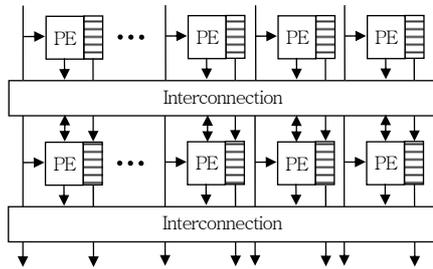
PipeRench는 Carnegie Mellon University에서 Carnegie Mellon's Reconfigurable Computer Project를 통해 1997년부터 2002년까지 연구된 재구성형 프로세서이다[12],[13].

(그림 9)는 PipeRench의 구조를 보여주고 있다. Memory bus controller는 외부메모리와의 통신을 담당하며, fabric은 PE array 역할을 한다. 재구성과 관련해서는 configuration controller가 내부에 configuration memory에 임시로 저장된 재구성 정보를 통해 fabric을 재구성한다. Fabric은 16×16 배열의 PE들로 구성되어 있으며 PE는 8비트 연산을 수행할 수 있다. 각 DC는 하나씩의 글로벌 버스를 관리하며 상태나 입출력 데이터를 제어한다. 각 stripe의 상태 정보는 state memory에 저장되며, 응용에 따라 상태정보를 저장할 수 있다. 또한 이를 위해 각 행마다 ATT가 존재한다.



(그림 9) PipeRench의 구조

(그림 10)은 PipeRench의 상호연결 구조를 보여준다. Fabric은 같은 행의 PE간에는 양방향 통신이 가능하며, 다음 행의 PE로는 단방향 통신이 가능하도록 상호연결 네트워크가 갖춰져 있다. 또한 상호연결 네트워크와 하나의 파이프라인 스테이지로 이



(그림 10) PipeRench의 상호연결 구조

워지는 stripe 간의 원활한 파이프라인 연결을 위해 패스 레지스터를 갖추고 있다.

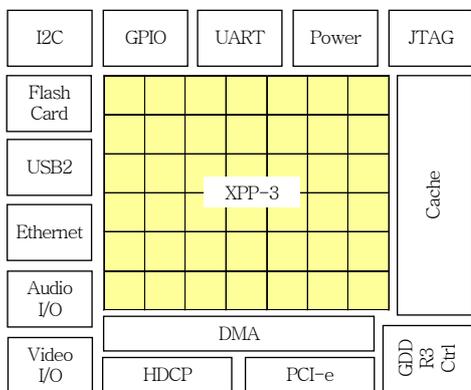
PipeRench를 사용하여 ATR, Cordic, DCT, FIR 필터, IDEA, N-queens 문제, population count instruction 등을 수행하였을 때 300MHz Ultra-SPARCII에서 수행시켰을 때보다 11.3배에서 189.7배의 성능향상을 보였다.

### 3. 재구성 프로세서 기반 SoC 기술

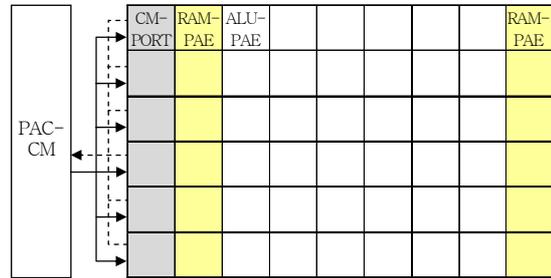
#### 가. SMExPP-3H

SMExPP-3H는 2006년에 PACT사에서 개발한 멀티미디어 병렬 프로세서이다[14]. SMExPP-3H 이전에는 먼저 2000년에 XPP128, 2003년에 XPP 64-A가 개발되었으며 사용자 환경을 위해 컴파일러와 라이브러리 개발을 통해 2006년 XPP-3이라는 코어를 개발하였다. 또한 HD A/V를 위한 주변장치를 추가하여 SMExPP-3H 칩이 나오게 되었다.

(그림 11)은 SMExPP-3H의 구조를 보여준다.



(그림 11) SMExPP-3H의 구조



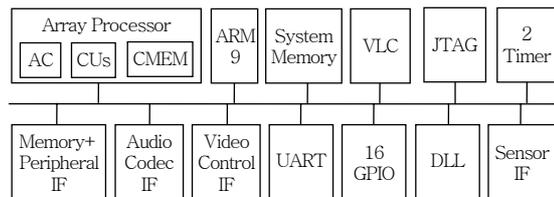
(그림 12) XPP 코어의 구조

SMExPP-3H는 멀티미디어 처리에 초점을 맞추고 있어서 H.264, 고해상도 카메라를 위한 디코더, 멀티채널 오디오 등이 주요 응용분야이며, DCT/IDCT, FFT, quarter-pel reconstruction, luma/chroma inter reconstruction, 디블로킹 필터, deinterlacing, CABAC/CAVLC 등을 라이브러리로 제공한다.

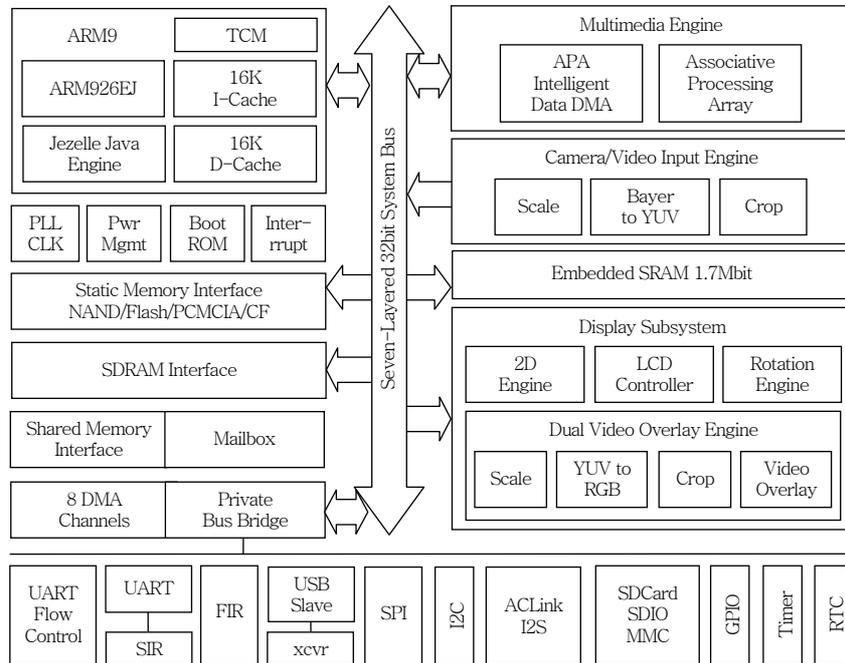
(그림 12)는 XPP 코어의 구조를 보여준다. XPP 코어는 두 가지 종류의 PAE로 구성되어 있다. 먼저 ALU-PAE는 연산을 수행하기 위한 ALU object와 데이터 교환을 위한 FREG, BREG object로 구성되어 있으며, RAM-PAE는 일반적인 RAM이나 FIFO로 사용될 수 있는 RAM object와 FREG, BREG object로 구성되어 있다. 또한 control flow 등의 효율적인 수행을 위해서 VLIW와 유사한 형태의 FNC-PAE도 제공하고 있다.

#### 나. J2210

J2210은 현재는 국내의 엠텍비전사가 인수해 Mtekvision Canada(MTC)로 사명이 변경된 Atsana 회사에서 2002년에 발표한 미디어 프로세서이다[15]. J2210은 모바일 기기에서 적은 전력 소모로 그래픽, 이미지, 음성, 오디오, 비디오 처리를 하기 위한 프로세서이다.



(그림 13) J2210의 구조



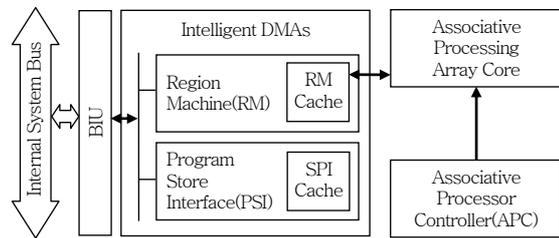
(그림 14) MiMagic6의 구조

(그림 13)은 J2210의 구조를 보여준다. J2210의 핵심부분은 array processor로 SIMD 구조에 기반하고 있고, 96개의 CU로 구성되어 있으며, 각 CU는 8비트 연산을 수행한다. Array controller는 이러한 CU array를 제어하며, CMEM은 각 CU에 4kbyte씩 할당하여 연산에 필요한 데이터를 저장하고 제공하는 SRAM이다. Array processor의 프로그래밍을 위해서는 자체 개발한 SEL을 사용하며, ARM은 API를 통해 array processor를 제어하게 된다.

다. MiMagic6

MiMagic6은 NeoMagic사에서 2003년에 출시한 ARM 프로세서 기반 병렬 프로세서이다[16].

(그림 14)는 MiMagic6의 구조를 보여준다. Mi-Magic6은 200MHz의 ARM 프로세서를 탑재하고 있으며, APA를 기반으로 한 멀티미디어 엔진 블록을 통해 대용량의 병렬 연산을 수행한다. 이를 통해 멀티미디어 중심의 휴대기기에서 저전력을 소모하면서 대용량 멀티미디어 처리를 수행한다.



(그림 15) MiMagic6의 멀티미디어 엔진 구조

(그림 15)는 MiMagic6의 핵심 블록인 멀티미디어 엔진의 구조를 보여준다. APA 코어는 연산 블록과 메모리의 통합을 통해 성능 저하나 과도한 전력 소모 발생을 막는 구조를 택하고 있다. APA array는 SIMD 방식으로 160비트 길이의 512word의 데이터를 매 사이클마다 연산함으로써 낮은 클럭을 사용함에도 불구하고 1GOPS 이상의 성능을 낼 수 있다. APC는 APA array를 프로그래밍하고 제어함으로써 다양한 멀티미디어 알고리즘을 수행한다.

이러한 구조를 통해 QCIF 크기의 15fps짜리 동영상을 MPEG4로 인코딩 및 디코딩하기 위해 45MHz의 클럭을 사용하여 수행할 수 있다.

#### 4. 재구성형 프로세서 기술 요약

재구성형 프로세서 기반의 시스템 제어를 위해서는 일반적으로 RISC 프로세서를 사용하며, 경우에 따라서는 VLIW 프로세서를 사용하기도 한다. 재구성형 프로세서 코어는 2차원 배열 구조를 택하고 있으며, 각 프로세서에 따라 다양한 상호 연결 구조를 택하고 있다. 이러한 구조는 재구성형 프로세서에 기반한 시스템이 거의 대부분 멀티미디어 처리에 초점을 맞추고 있기 때문이다. 이는 다른 응용에 비해 멀티미디어 처리가 대용량의 연산을 필요로 하면서 병렬 연산에 적합한 응용이기 때문이다.

앞에서 살펴본 바와 같이 재구성형 구조를 통한 멀티미디어 처리 프로세서들이 많이 개발되고 있으며 현대 단말에서의 사용을 위해 성능뿐만 아니라 저전력 소모를 위한 연구들이 계속되고 있다. 비록 아직은 면적과 소모 전력 문제로 인해 제품에 많이 사용되지는 않고 있지만, 반도체 집적 기술과 저전력 기술의 발전으로 재구성형 기반의 프로세서에 대한 수요는 증가할 것으로 보인다.

#### IV. 결론

향후 현대 단말기에 사용될 SoC 기술 동향을 살펴 보았다. 유비쿼터스 환경에서 수많은 종류의 대용량 정보를 처리하기 위하여 저전력 고성능 SoC 기술이 필요할 것으로 예측되고, 기존의 SoC는 듀얼 프로세서 형태로 발전하고 있으며 멀티미디어 데이터를 처리하기 위하여 하드웨어 가속기를 사용하고 있다. 한편 재구성형 프로세서를 개발함으로써 다양한 멀티미디어 데이터를 처리하는 기술이 발전되어 왔고, 일부 회사는 재구성형 프로세서와 고성능이 요구하는 부분에 하드웨어 블록을 삽입함으로써 저전력을 달성하여 현대 단말기에 사용하고 있다. 그렇지만 기존의 현대 단말용 SoC는 프로세서나 DSP와 함께 하드웨어 블록을 동시에 사용하여 데이터를 처리하고 있기 때문에 새로운 표준의 데이터를 처리하는 데에는 한계가 있다. 따라서 향후에

는 제어를 위한 프로세서와 재구성형 프로세서만으로 다양한 종류의 데이터를 처리할 수 있게 하는 SoC 기술 연구를 많이 수행할 것으로 예측된다.

### 약어 정리

APA	Associative Processing Array
APC	APA Processor Controller
ASIC	Application Specific Integrated Circuit
ATR	Automatic Target Recognition
ATT	Address Translation Table
CU	Computational Units
DC	Data Controller
DCT	Discrete Cosine Transform
DLP	Data Level Parallelism
DSM	Deep Sub-Micron
DSP	Digital Signal Processor
FB	Frame Buffer
FNC-PAE	Function PAE
IDCT	Inverse Discrete Cosine Transform
IDEA	International Data Encryption Algorithm
ILP	Instruction Level Parallelism
ME	Motion Estimation
MiMagic6	Mobile Internet Magic6
MSM	Mobile Station Modem
OMAP	Open Multimedia Application Platform
PAE	Processing Array Element
RC	Reconfigurable Cell
RISC	Reduced Instruction Set Computer
SEL	SIMD Engine Language
SIMD	Single Instruction Multiple Data
SoC	System-on-a-Chip
VLIW	Very Long Instruction Word

### 참고 문헌

- [1] 최호진, 연승준, 하원규, "미국과 EU의 유비쿼터스 IT 추진동향 분석," 전자통신동향분석, 제21권 제2호, 2006. 4., pp.26-40.
- [2] 통신 단말의 Convergence 동향, MindBranch Asia Pacific Co. Ltd, 2005.
- [3] 이재영, 김민식, 이경남, "핵심부품의 고집적화에 따른 글로벌 모바일 시장구조 변화 방향," KISDI 이슈리포트, 2005.

- [4] 김진희, 정지범, 김한주, "세계 이동통신 단말기 시장 환경 변화 및 경쟁구도 분석," ITFIND 주간기술동향, 2005.
- [5] Qualcomm web site, <http://www.qualcomm.com>.
- [6] ARM web site, <http://www.arm.com>.
- [7] TI web site, <http://www.ti.com>.
- [8] STMicroelectronics web site, <http://www.eu.st.com>.
- [9] Analog Devices web site, <http://www.analog.com>.
- [10] H. Singh, M.H. Lee, G. Lu, F.J. Kurdahi, N. Bagherzadeh, and E.M. Chaves Filho, "MorphoSys: An Integrated Reconfigurable System for Dataq-Parallel and Computation-Intensive Applications," *IEEE Trans. Computers*, Vol.49, No.5, May 2000, pp.465-481.
- [11] J.R. Hauser and J. Wawrzynek, "Garp: A MIPS Processor with a Reconfigurable Coprocessor," *FPGAs for Custom Computing Machines*, 1997, pp.12-21.
- [12] S. Cadambi, J. Weener, S.C. Goldstein, H. Schmit, and D.E. Thomas, "Managing Pipeline Reconfigurable FPGAs," *ACM Int'l Symp. on FPGAs*, 1998, pp.55-64.
- [13] S.C. Goldstein, H. Schmit, M. Budiu, S. Cadambi, M. Moe, and R.R. Taylor, "PipeRench: A Reconfigurable Architecture and Compiler," *IEEE Computer*, Vol.3, No.4, Apr. 2000, pp.70-77.
- [14] M.A. Syed and E. Schueler, "Reconfigurable Parallel Computing Architecture for On-Board Data Processing," *NASA/ESA Conf. on Adaptive Hardware and Systems*, 2006, pp.229-236.
- [15] K.C. Breen, J.H. Tapia, and D.G. Elliott, "Implementation of Three SIMD Algorithms for Graphical User Interface Processing in Mobile Devices Using the Atsana J2210 Media Processor," *Canadian Conf. on Electrical and Computer Engineering*, 2005, pp. 931-934.
- [16] <http://www.neomagic.com/product/mimagic6.asp>