

# 디지털 방송 수신용 System in Package 칩의 성능 검사에 관한 연구

論 文

57-12-15

## Research on the Performance Test of System in Package Chips for the Digital Broadcasting Receiver

金 志 均\* · 李 憲 用†

(Jee-Gyun Kim · Heon-Yong Lee)

**Abstract** - This research paper aims to establish a test process of the AFE SiP chip. It measured the sensitivity, current consumption and power consumption both on the evaluation socket board and Catalyst load board. As a result, the sensitivity became deteriorated with an average of 0.2[dBm] at the channel 62 only, the current consumption increased to an average of 0.57[mA] and the power consumption increased to an average of 1.76[mW]. But all characteristics incomes the tolerance of the measurement, it also keeps almost the same level. Therefore this design of the test process improved a valid design.

**Key Words** : Digital broadcasting, SiP, MCM, SoC, AFE, ATE

### 1. 서 론

휴대용 멀티미디어 기기 산업의 발전은 진보와 진화를 거듭하여 휴대용 디지털 방송 수신기 산업으로 발전하였다. 기존에는 동영상과 음악을 재생하는 기기들이 휴대용 멀티미디어 기기 산업을 주도했었으나, 지금은 이 기능들을 기본 사양으로 한 이동 중에도 디지털 방송 시청이 가능한 휴대용 방송 수신 기기들이 시장을 주도하고 있다. 또한, 수요와 공급이 가장 활발한 휴대용 이동 전화 기기 산업과 접목되면서 이들 기기의 고기능화와 고성능화 그리고 초소형화의 기술이 활발하게 진행되고 있다.

이러한 시장 요구에 대응하고자 여러 기능의 핵심 부품들을 고밀도 집적화 한 단일 칩 개발이 전 세계적으로 진행되고 있으며, 핵심 부품들의 단일 칩화 기술에는 대표적으로 System in Package(이하, SiP), System on Chip(이하 SoC) 그리고 Multi Chip Module(이하 MCM)이 있다. SiP는 이종간의 칩을 각각 웨이퍼 공정한 die들을 사용하면서 R, L, C 등의 수동소자를 함께 집적화할 수 있다. 이렇듯 개발자에게 있어서 크기와 성능 부분 모두, 가장 효율적인 SiP 기술은 표면 실장 기술과 임베디드 기술을 기반으로 발전한 기술로써 각각 패키지 된 칩들보다 단일 칩화에 의한 크기 축소, 짧은 개발 주기를 이용하여 시장 요구에 대응할 수 있는 빠른 Time to market, 응용회로까지 집적화하여 보다 짧은 내부 연결 경로와 디멘전 오차 감소 그리고 국지적 차폐를 통한 고성능 확보, 자체 신호 노이즈 문제로 단일화에 가장 큰 걸림돌인 되는 RF와 Wireless까지도 집적화가 가능하여

최저의 개발 비용으로 최적의 성능을 갖는 칩 개발이 가능하다는 큰 장점을 가지고 있다[1~6].

하지만, SiP 단일 칩은 검사 공정 부분에서 SoC보다 단순 기능별 검사 외에 이종의 die를 합하는 공정상에서 대부분 die의 본딩 패드가 기판 본딩 패드와 가까워지기 때문에 RSSB(Reversed Stand off Stitch Bond) 방법을 이용하여 공정을 진행하게 되고[7], MCM과 달리 공정 완료 후 육안 검사가 불가능한 단점을 가지고 있다. 또한, SiP 칩 개발 후 양산을 위한 검사 공정에서는 이종의 칩을 검사한 후 SiP 제조 공정에서 스트레스로 인한 die, 솔더 그리고 기판의 미세한 크랙이 발생될 수 있으므로 신호 입력에서 데이터 출력까지의 동작 주기 동안 칩 전체의 연계 검사 공정을 통한 성능 확보가 필수적이며, 공정 설계 확립이 가장 중요한 요소가 된다. 이것은 VCO, AGC, PLL, I/O 등의 각 시스템 블록 특성 검사 항목보다 검사 시간이 오래 소요되며, 전체 검사 시간의 증가는 생산 단계에 직접적인 영향을 미치기 때문에 상대적으로 검사시간이 짧은 시스템 블록별 특성 검사를 선호하지만 정확한 성능 검사라고는 할 수 없다[8].

따라서, 본 논문은 휴대용 디지털 방송 수신기의 Analog Front-End(이하 AFE) 즉, RF 신호 입력부, 신호 처리부, 디지털 신호 입력부 그리고 디지털 신호 처리부까지 응용소자를 포함한 핵심 부분을 하나의 시스템으로 구성한 SiP 칩의 검사 공정을 구축하기 위한 연구로써, 연계 검사의 유효성을 검증하도록 한다.

### 2. 실 험

#### 2.1 AFE SiP 칩 정보

##### 2.1.1 기본 사양

표 1은 검사 공정에 사용할 SiP 칩의 물리적·전기적 사양을 정리한 것으로써 어떤 종류의 검사 장비를 선정해야

\* 正 會 員 : 明知大 工大 電氣工學科 博士課程

† 교신저자, 正會員 : 明知大 工大 電氣工學科 教授 · 工博

E-mail : hylee@mju.ac.kr

接受日字 : 2008年 9月 3日

最終完了 : 2008年 10月 14日

하며, 어떤 방법으로 검사 공정 설계를 해야 하는지에 있어서 가장 기본이 되는 자료다.

표 1 SiP 칩의 사양

Table 1 Specifications of SiP chip

항목	내용
패키지 및 크기	73 LGA, 8 x 8 x 1.25 mm <sup>3</sup>
칩 구성	RF 튜너, Demodulator, 수동 소자
밴드	470 MHz ~ 770 MHz
데이터 인터페이스	Serial / Parallel MPEG2 TS
버스 인터페이스	I2C
공급 전압	1.2 V, 2.8 V
소비 전력	135 mW ± 10%

2.1.2 내부 구조

AFE SiP Chip은 RF 입력에서 디지털 데이터 출력까지로 구성된 원 칩으로 전체적인 시스템 내부는 그림 1에서 보는 바와 같다. RF 입력 주파수(470MHz ~ 770MHz)를 RFAGC(RF Auto Gain Control)과 DIV(Divider)를 통한 주파수 혼합 단계를 거치고, Low-IF Filter를 통하여 중간 단계의 IF(Intermediate Frequency)로 변환한다. 그리고 IF의 아날로그 값을 디지털 데이터 형태로 변환하고자 ADC(A/D Converter)를 이용하고, IFAGC를 통하여 안정적인 레벨의 신호를 유지하도록 한다. OFDM(Orthogonal Frequency Division Multiplexing)과 PLL(Phase Locked Loop)를 통하여 변조된 데이터의 심볼과 위상 처리과정을 거치고 FEC(Forward Error Correction)을 통하여 에러 정정을 한 후 I2C 통신을 이용하여 디지털 MPEG2 TS(Technical Specification of Carrier-Based Transport Stream) 데이터를 출력하는 구조이다.

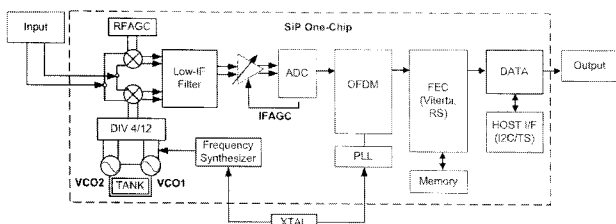


그림 1 SiP One Chip의 내부 시스템 블록 구조  
Fig. 1 Inside system block structures of SiP one chip

2.1.3 외부 구조

일반적으로 AFE SiP 칩의 패키지 핀은 아래의 그림 2에서 보는 바와 같이 (a) 53핀, (b) 73핀 그리고 (c) 89핀으로 설계된다. (a)의 경우는 End User가 응용회로 구성하기에 유리한 반면 집적화된 이종 간의 칩에 대한 독립적인 검증이 수월하지 않아 주로 연계 검사를 통해 칩 검증이 이루어지고, 검사 시간이 길어지며 수율 저하 발생 시 문제의 원인을 찾는데 I/O 핀의 부족으로 어려운 단점이 있다. (c)의 경우는 집적화된 이종 간의 칩에 대하여 독립 검사가 가능하므로 검사 효율이 높고, 검사시간을 단축할 수 있지만, End User가 응용회로를 구성하기에 복잡한 패턴을 사용해야 하

는 등의 단점이 있다. (b)의 경우는 (a)와 (b)의 중간적인 형태로써, 집적화 된 이종 간의 칩에 대한 독립적인 검증에서 필수적인 사항을 검사하고 SiP 공정에서의 문제를 검사하기 위한 최소의 연동 검사로 가장 안정적인 형태라고 할 수 있다[9~10].

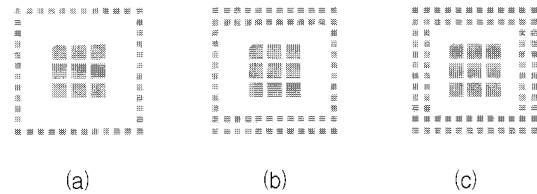


그림 2 I/O 설계별 종류  
Fig. 2 Types of I/O design

본 논문에서 검사하고자 하는 SiP 칩은 그림 2의 (b) 형태이며, 검사 공정에 사용될 주요 핀에 대하여 살펴보면 아래의 표 2와 같이 9개의 검사용 핀, 15개의 전원 핀, 1개의 RF 입력 핀, 9개의 I/O 핀, 2개의 I2C 핀 그리고 12개의 TS 핀으로 구성되어 있다.

표 2 핀 구성

Table 2 Pin structures

구분	설명
검사 핀	RF SCL/SDA, RF AGC 1/2, IF AGC, IF, ADC, VCO, PLL Lock
전원 핀	1.2 V 디지털, 2.8 V 디지털, 2.8 V 아날로그
RF입력 핀	RF 입력
I/O 핀	General port, RF Shutdown, PLL Jumper, Reset, Standby, Interrupt, TMCC, DAC, I2C jumper
I2C 핀	SCL, SDA
TS 핀	TS[7:0], Packet Valid Data/Error/Start Signal/ Clock

2.2 검사 공정 설계

검사 공정 설계는 크게 두 가지 목적을 위하여 최적화되어야 한다. 첫째는 최종 소비자의 품질 만족을 위한 품질 안정화와 수율 향상이 목적이고, 둘째는 총 검사 시간으로 생산 원가 결정에 직접적인 상관관계를 갖기 때문에 제작자의 측면에서 최소의 검사로 최상의 수율을 위한 검사 공정 설계가 필수적이다.

이상의 목적들을 위해 검사 공정 설계에서는 SiP 칩에 대한 정보 수집, 기능 및 성능을 기준값으로 확보하여야 한다. 평가용 소켓 보드에서의 검사와 최종적인 ATE(Automatic Test Equipment)에서의 검사 특성을 비교하여 그 타당성을 정의하기 때문에 각 검사 공정에서 발생 될 수 있는 RF 신호 손실 등도 함께 고려하여야 하며, 고수율을 위하여 성능의 양품 범위 변화도 고려해야 한다.

그림 3은 AFE SiP 칩 검사 공정 설계 및 검증을 위한 순서도로서, 본 검사 공정 설계는 서로 다른 검사 환경에서의 제한적인 요소 때문에 연계 검사 항목인 감도(Sensitivity),

소비 전류(Current) 그리고 소비 전력(Power)에 대하여 유효성을 검증하도록 한다. 또한, 연계 검사는 검사 시간이 가장 긴 검사 항목이므로 검사 시간 단축을 위하여 저대역(13CH, 473.143MHz), 중대역(38CH, 623.143MHz) 그리고 고대역(13CH, 767.143MHz)에서 표본 검사를 진행하며, 이때 감도 측정 단위는 1[dBm] 단위로 한다.

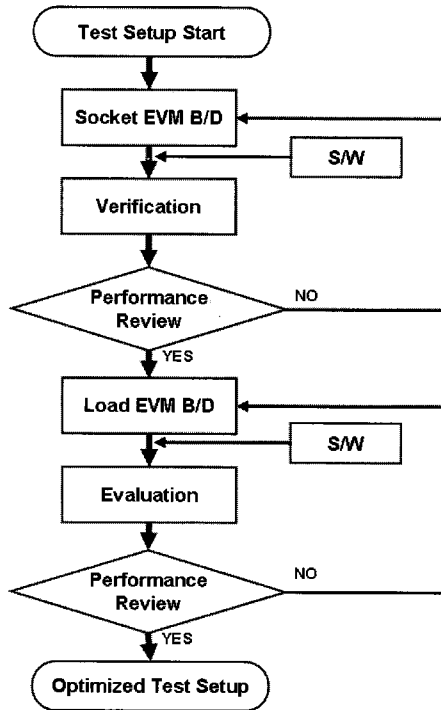


그림 3 검사 공정 순서도  
Fig. 3 Flow chart of the test process

표 3 전기적 특성의 측정 조건  
Table 3 Measurement conditions of electrical characteristic

특성	측정 조건	
공통	Mode	3 (8K)
	Guard	1/8
	QPSK	2/3
	IL	4
	Noise	Off
감도	BW	5.572MHz
	Frequency	13CH, 38CH, 62CH
소비 전류	Frequency	473.143MHz
	RF Power	-60dBm

특성 측정에서는 LEADER사의 LG-3805 OFDM Signal Generator를 사용하여 채널 주파수 별로 신호를 입력하고 USB 통신으로 운영 소프트웨어가 실행 중인 퍼스널 컴퓨터에서 영상, 음성신호 그리고 에러를 확인하고 BER 규격 기준  $2 \times 10^{-4}$ 로 판정한다. 이때 감도 측정은 약전계 -90dBm ~ -100dBm 에서 진행하며, 소비 전류와 소비 전력을 측정한다. 전기적 특성 측정 조건은 해당 디지털 방송 규격에 따라 표 3과 같이 적용한다.

### 2.2.1 기본 사양

검사 공정 설계의 전 단계로 기준값 확보를 위하여 평가용 소켓 보드를 제작하고, 평가용 S/W를 이용하여 기능 및 성능을 검증하고, 최적화된 자료를 기준값으로 설정하는 것이 첫 번째 단계이다.

하지만, 전용 검사 장비가 아닌 평가용 소켓 보드에서 검증할 수 있는 검사는 튜너와 Demodulator 각각의 특성 검사들은 극히 제한적이다. 따라서 AFE SiP 칩의 검사 공정 설계 유효성 검증에는 RF 입력에서 TS출력까지 연계 동작 후 특성 결과를 기준값으로 사용한다. 따라서 그림 4에서 보는 바와 같이 제작된 평가용 소켓 보드를 이용하여 연계 검사를 진행하고 감도, 소비 전류 그리고 소비 전력을 기준값으로 설정한다. 또한, 그림 5는 평가용 소켓 보드와 Load 보드에 장착되어 검사에 사용된 소켓의 도면이다.

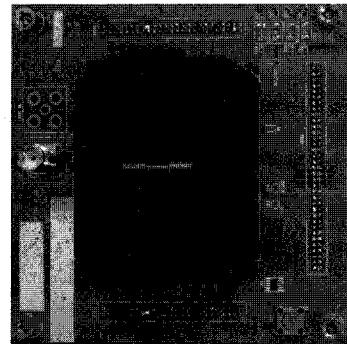


그림 4 평가용 소켓 보드  
Fig. 4 Socket board for the evaluation

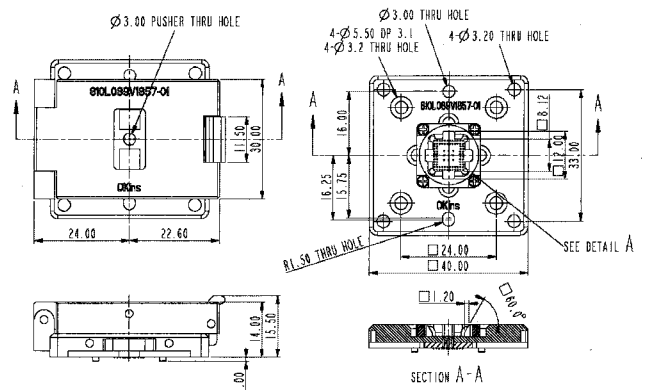


그림 5 소켓 도면  
Fig. 5 Socket drawing

### 2.2.2 ATE Load 보드 제작

ATE를 이용한 검사 공정은 디지털 기능, 아날로그/RF 기능 그리고 전원 공급 및 측정 장치까지 정밀한 검사를 진행할 수 있다. 하지만, 기본적으로 RF 입력 손실과 장비 노이즈의 문제로 특성이 열화 될 수 있는 요소를 내포하고 있다. 따라서 본 논문에서는 AFE SiP 칩의 가장 중요한 전기적 특성인 감도, 소비 전류 그리고 소비전력의 검증을 제안하였으며, 이를 위하여 그림 6에서와 같이 Teradyne사의 Catalyst에 장착하는 Load 보드를 제작하였다.

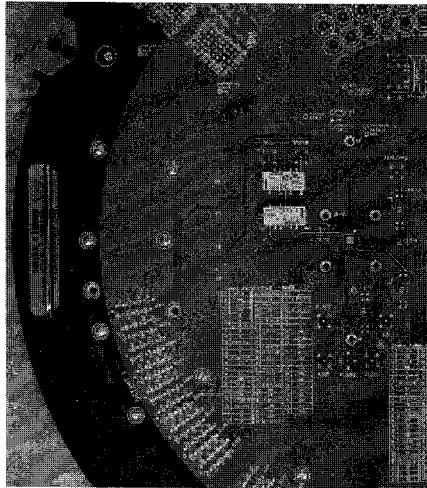


그림 6 Load 보드 제작 사진  
Fig. 6 Picture of load board

검사 공정은 로봇 팔인 핸들러가 SiP 칩을 ATE 검사 장비 Catalyst에 장착된 Load 보드의 소켓까지 운송하고 검사가 끝날 때까지 일정 압력으로 전기적 접촉 상태를 유지시킨 후 칩 탈거 공정 완료까지를 해주기로 한다.

검사 공정의 유효성이 검증된 후, 중요한 요소로는 검사용 장비 즉, ATE라 할 수 있다. 최상의 특성을 갖는 SiP 칩도 장비가 특성을 제대로 검사하지 못하면 그 목적을 달성할 수 없으므로 표 4에서는 AFE SiP 칩 검사시 보편적으로 요구되는 ATE 기능을 정리하였다.

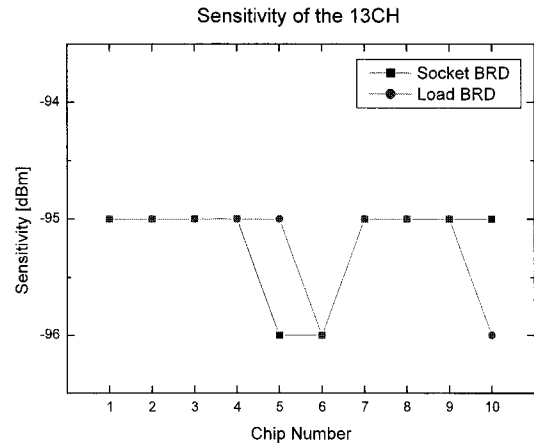
표 4 ATE 주요 기능

Table 4 Main functions of ATE

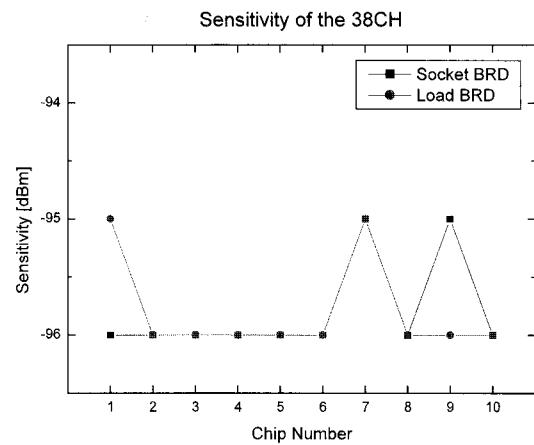
항목	세부 기능
디지털 기능	고속 디지털(100MHz/10ns), 고용량 벡터 메모리(4MB/pin), 범용 레지스터 접근을 위한 다이내믹 읽기/쓰기 기능
아날로그/RF 검사기능	최소 2톤 CW(~2GHz), 노이즈 소스, 위상 노이즈, 디지털 변조, 최소 12Bit 고해상도 디지털화, 고성능 AWG(1MB/min, 400MHz 샘플링 속도)
기타 기능	고속 전원 공급, 정확한 전압/전류 측정, 외부장치 컨트롤러(GPIB, RS232)

### 3. 결과 및 고찰

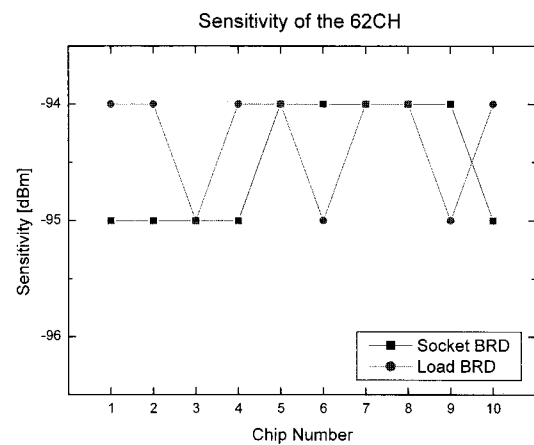
AFE SiP 칩의 검사 공정 검증은 위에서 살펴본 바와 같이 연계 검사를 통한 전기적 특성으로 진행하였다. 그림 7은 평가용 소켓 보드에서의 기준 감도와 ATE Load 보드에서의 검증 감도 결과로써 (a)는 채널 13번, 중심 주파수 473.143[MHz], (b)는 채널 38번, 중심주파수 623.143[MHz] 그리고 (c)는 채널 62번, 중심주파수 767.143[MHz]에서의 감도 결과 비교 그래프이다.



(a) 저대역 감도  
(a) Low-band sensitivities



(b) 중대역 감도  
(b) Middle-band sensitivities



(c) 고대역 감도  
(c) High-band sensitivities

그림 7 채널 대역별 감도 특성  
Fig. 7 Sensitivity characteristics of channel band type

감도 특성은 저대역에서 칩 번호 5번과 10번이, 중대역에서 칩 번호 1번과 9번 그리고 고대역에서 칩 번호 1번, 2번, 4번, 6번, 9번과 10번이 기준값과 비교하여 각각 1[dBm]씩의 편차를 보이고 있다. 또한, 저대역과 중대역에서의 평균 감도 편차는 0[dBm]이고, 고대역에서만 평균 감도 편차 0.2[dBm]로 감도의 열화가 거의 없는 것을 확인하였다.

그림 8은 소비 전류 검사 결과를 비교한 그래프로써 기준값 즉, 평가용 소켓 보드에서의 평균 소비 전류는 51.30[mA]이고 Catalyst Load 보드에서는 평균 51.87[mA]로 약 1.1[%]인 0.57[mA]의 미비한 편차를 보였으나 소비 전류 경향은 동일한 것을 확인하였다.

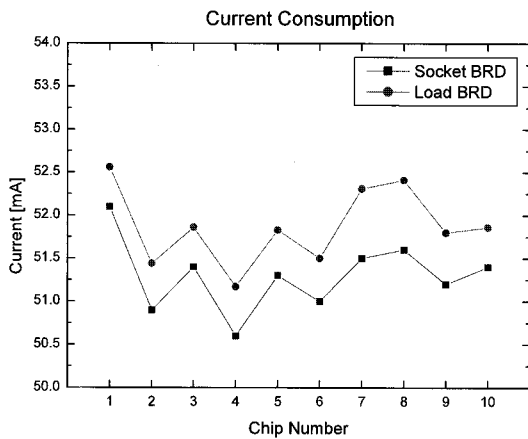


그림 8 소비 전류 특성

Fig. 8 Characteristics of current consumption

그림 9는 소비 전력 검사 결과를 비교한 그래프로써 기준값에서 평균 소비 전력은 137.85[mW]이고 Catalyst Load 보드에서는 평균 139.61[mW]로 약 1.3[%]인 1.76[mW]의 미비한 편차를 보였으나 소비 전력 경향은 소비 전류 결과처럼 동일한 것을 확인하였다.

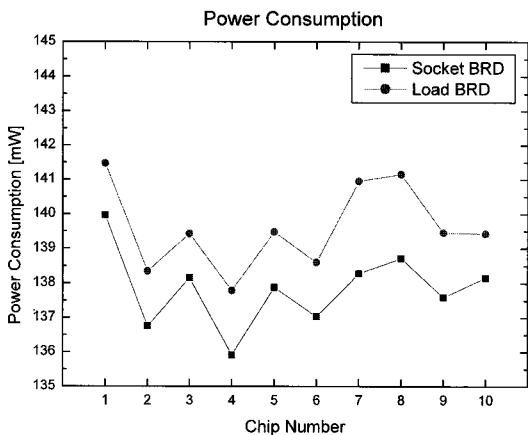


그림 9 소비 전력 특성

Fig. 9 Characteristics of power consumption

#### 4. 결 론

이상의 결과와 같이 AFE SiP 칩의 ATE 검사 공정 설계는 연계 검사를 통하여 유효성이 검증되었으며, 아래와 같이 결론을 정의하였다.

첫째, 연계 검사를 통한 감도 특성은 저대역(13CH)과 중대역(38CH)에서 열화 현상을 보이지 않았으며, 고대역(62CH)에서 평균 0.2[dBm]의 열화 현상을 보였으나 측정 오차 범위 ±0.5[dBm] 이내로 동등한 특성임을 확인하였다.

둘째, 소비 전류와 소비 전력 특성은 각각 평균 0.57[mA], 1.76[mW]씩 증가 하였으나 측정 오차 범위 ±10[%] 이내로 동등한 특성임을 확인하였다.

결론적으로 연계 검사를 통한 ATE 검사 공정 설계는 전기적 특성 모두가 측정 오차 범위 내에서 동일한 특성을 갖기 때문에 유효성이 검증되었으며, 이후에 진행할 디지털 접촉 검사, 누설 및 DC 검사, 클럭 및 통신 검사 그리고 각종 튜너 및 Demodulator 특성 검사 공정 설계의 기반을 확립하게 되었다.

#### 참 고 문 헌

- [1] Christopher M. Scanlan and Nozad Karim, "System-in-Package technology, application and trends", SMTA International Proceedings, pp. 764-773, 2001.
- [2] 이성수, "SiP(System-in Package) 기술", 주간기술동향, Vol. 242, pp. 25-33, 2006. 4.
- [3] 윤종광, "SOP(System-on-Packaging) for Mega-Function System Integration", 세라미스트, Vol. 8, No. 6, pp. 46-52, 2005. 12.
- [4] Andrew Holland, "Innovations in QFN Packaging Targeting RF and Image Sensor System-in-Package", IMAPS MicroTech 2006.
- [5] Wei Koh, "System in Package (SiP) Technology Applications", IEEE Electronic Packaging Technology Conference, pp. 61-66, 2005. 8.
- [6] Shan Gao, Jupyong Hong 외 3인, "Effects of Packaging Materials on the Reliability of System in Package", IEEE/ICEPT Electronic Packaging Technology Conference, pp. 1-5, 2007. 8
- [7] Tiao Zhou, Mark Gerber, Moody Dreiza, "Stacked Die Package Design Guidelines", IMAPS 2004.
- [8] Priest, J., Ahmad, M. 외 3인, "Feasibility Study of a SiP for High Performance and Reliability Product Application", IEEE High Density Microsystem Design and Packaging and Component Failure Analysis Conference, pp. 1-5, 2005. 7.
- [9] Fujitsu, "Development of System in Package Using Simulation Technologies", FIND, Vol. 23, No. 1, pp. 3-8, 2005. 2.
- [10] 서기복, "Test 관점에서 본 Analog Front-End SiP의 I/O Pad 설계 및 BER Test 제안", IT SoC magazine, Vol. 14, pp. 37-42, 2007. 7.

저 자 소 개



**김지균 (金志均)**

1976년 1월 29일생. 1998년 명지대 전기  
공학과 졸업. 2000년 동 대학원 전기공학  
과 졸업(공석). 2000년~현재 동 대학원  
전기공학과 박사과정

Tel : 031-330-6360

Fax : 031-321-0271

E-mail : ratvirus@empal.com



**이헌용 (李憲用)**

1949년 7월 25일생. 1975년 고려대 전기  
공학과 졸업. 1983년 동 대학원 전기공학  
과 졸업(공박). 1979년~현재 명지대 전  
기공학과 교수

Tel : 031-330-6360

Fax : 031-321-0271

E-mail : hylee@mju.ac.kr