

논문 2008-45SD-12-4

SOC 응용을 위한 효율적인 8비트 CMOS AD 변환기 설계

(Design of Efficient 8bit CMOS AD Converter for SOC Application)

권 승 탁*

(Seungtag Kwon)

요 약

본 논문은 SOC 응용을 위한 효율적인 8비트 AD 변환기(Analog-to-Digital Converter)를 설계하였다. 이 구조는 2개의 수정된 4 비트 플래시 AD 변환기로 구성되었고, 그것은 기존의 플래시 AD변환기 보다 더 효율적인 구조를 가지고 있다. 이것은 입력신호에 연결된 저항들의 일정 범위를 예측하고 초기 예측을 기반으로 입력신호에 가까운 위치를 정한다. 입력신호의 예측은 전압예측기에 의하여 가능하다. 4비트 해상도를 가진 경우 수정된 플래시 AD변환기는 단지 6개의 비교기가 필요하다. 그러므로 8비트 AD변환기는 12개의 비교기와 32개의 저항을 사용한다. 이 AD 변환기의 변환속도는 기존의 플래시 AD 변환기와 거의 같지만 비교기와 저항의 수가 줄어들기 때문에 다이의 면적의 소모를 현저하게 줄일 수 있다. 이것은 반 플래시 AD변환기보다 더 적은 비교기를 사용한다, 본 논문에서 구현한 회로들은 LT SPICE 컴퓨터 소프트웨어 툴을 이용하여 시뮬레이션 하였다.

Abstract

This paper designed a efficient 8-bit CMOS analog-to-digital converter(ADC) for an SOC(System On Chip) application. The architecture consists of two modified 4-bit full-flash ADCs, it has been designed using a more efficient architecture. This is to predict roughly the range in which input signal resides and can be placed in the proximity of input signal based on initial prediction. The prediction of input signal is made available by introducing a voltage estimator. For 4-bit resolution, the modified full-flash ADC need only 6 comparators. So a 8-bit ADC require only 12 comparators and 32 resistors. The speed of this ADC is almost similar to conventional full-flash ADC, but the die area consumption is much less due to reduce numbers of comparators and registers. This architecture uses even fewer comparator than half-flash ADC. The circuits which are implemented in this paper is simulated with LT SPICE tool of computer.

Keywords: Flash ADC, Voltage estimator, SOC, Thermometer code, Comparator

I. 서 론

AD 변환기 중 가장 빠른 변환을 할 수 있는 구조는 플래시 형 AD 변환기이다^[1]. 따라서 여러 개의 아날로그 신호를 컴퓨터에 실시간으로 입력하여 고속으로 처리를 하려면 여러 개의 플래시 AD 변환기가 필요하다^[2]. 그러나 기존의 플래시 AD 변환기는 해상도가 증가할수록 회로의 크기가 크게 증가한다. 즉 N비트의 디지털 데이터를 출력하기 위하여 2^N 개의 저항과 $2^N - 1$ 개의 비교기를 사용한다^[3]. 이것은 플래시 AD변환기의

분해능(resolution)이 8비트 이상이 되면 비교기의 수가 255개 이상이 필요하여 회로가 매우 복잡해지므로 가격이 비싸진다. 더 나아가 분해능이 10 비트 이상이 되면 비교기 수가 1023개 이상이 필요하므로 회로구현이 거의 불가능하게 된다^[4~5].

따라서 본 논문은 기존의 플래시 변환기의 구조를 변경하여 효율적인 구조를 가지는 8비트 AD변환기의 구조를 제안하고 CMOS 회로로 구현한다. 우선, 참조신호에 연결된 저항들 사이의 점 2^N 개를 $2^N/N$ 개로 나누어 입력신호(V_{in})와 참조신호(V_{ref})를 비교하여 전압의 크기가 변하는 점을 예측하고, 그 범위의 첫 번째 비교기 출력에 부가회로와 스위치에 연결하고, 다시 그 범위 안에 구조가 변경된 N/2 비트의 플래시 AD변환기

* 정희원, 서남대학교 컴퓨터 정보통신학과
(Department of Computer and Information
communication, Seonam University)

접수일자: 2008년6월5일, 수정완료일: 2008년12월1일

를 연결하여 회로를 구성한다. 즉, 이 AD변환기는 먼저 입력 신호와 참조신호를 비교하여 일정범위를 예측한 다음 상위 N/2 비트와 하위 N/2를 나누어 동시에 처리하도록 회로를 구성한다.

본 논문의 II장에서는 기존의 플래시 AD변환기와 동작을 설명하고 III장과 IV장에서는 제안된 AD변환기 회로 설계와 시뮬레이션 결과를 설명하고 V장에서 결론을 맺는다.

II. 플래시 A/D 변환기 구조와 동작

플래시 AD 변환기의 구조는 그림 1 에서 보는바와 같이 아날로그 입력신호와 참조신호를 비교하는 비교기 블록과 비교기에서 출력된 온도계 부호(Thermometer code)중 1개를 선택하는 엔코더 블록, N 비트 디지털 데이터를 출력하는 디코더 블록으로 구성된다. 그림 1 은 4비트 플래시 AD변환기의 구조이다.

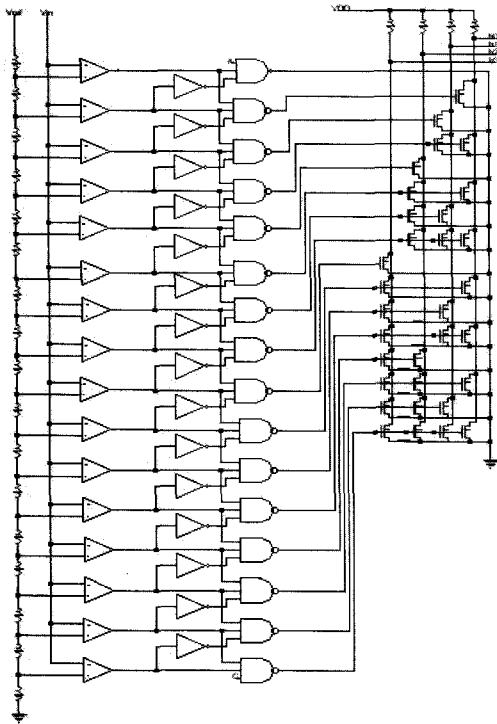


그림 1. 4 비트 플래시 AD 변환기 구조
Fig. 1. The structure of 4 bit Full-Flash ADC.

1. 기존 플래시 AD 변환기 구조와 동작

N 비트의 플래시 AD 변환기는 아날로그 입력신호와 참조신호의 전압이 병렬 비교기에서 비교한 다음 그 값을 이용하여 N비트의 디지털데이터를 출력하는 구조를 가진다. 이 AD 변환기는 N비트의 디지털데이터를 출력

하려면 2^N 개의 저항과 $2^N - 1$ 개의 비교기를 사용한다. 각각의 비교기들은 아날로그 입력신호(V_{in})와 참조신호를 비교하면 높은 전압이 걸리는 비교기의 아래 비교기들은 모두 “1”(high)이 출력되고, 나머지 상위 비교기들에서는 모두 “0”(low)이 출력된다. 이때 병렬 비교기들에서 출력되는 데이터를 입력신호의 전압 크기순으로 정리하면 “1”의 수가 1개씩 연속적으로 증가하는 2^N 개의 부호가 만들어진다.

8 비트 플래시 AD 변환기의 경우 “0” 과 “1”로 구성된 256×256 개의 행렬이 만들어진다. 이 행렬은 1의 개수가 온도계처럼 1 개씩 증가하는 형태로 가짐으로 온도계 부호(Thermometer code)라 한다^[6].

온도계 부호에서 “0”과 “1”이 바뀌는 곳을 찾는 회로는 엔코더인데 이 엔코더와 디코더를 연결하면 입력된 아날로그 신호의 전압의 세기와 맞는 곳의 N비트의 디지털 데이터를 얻을 수 있다^[7].

2. 효율적인 AD 변환기 구조의 제안 및 구현 방법

가. 입력신호의 범위 예측

참조신호가 저항에 의하여 분압 되는 점(dp)의 전압은 다음 식에 의하여 구할 수 있다.

$$V_{dp}(r) = (r/4) \cdot V_{ref} \quad (1)$$

여기서 $r = 1, 2, 3$ 이다. 각 점들은 비교기들에 연결한다. 이 점들은 전압 예측과 상위 N/2비트를 출력하는 비교기들을 연결하는 곳이다.

입력전압이 입력되는 범위의 예측(e)은 다음 식으로 표현할 수 있다.

$$((e/4) \cdot V_{ref}) < V_{in} < ((e+1)/4 \cdot V_{ref}) \quad (2)$$

여기서 $e = 0, 1, 2, 3$ 이다. 즉 $e=0$ 일 때 $0 < V_{in} < ((e+1)/4 \cdot V_{ref})$ 이고 $e=3$ 이면 $3/4 < V_{in} < ((e+1)/4 \cdot V_{ref})$ 로 표현할 수 있다.

이 회로는 비교기와 저항의 수를 줄이는 데 중요한 역할을 한다.

나. 효율적인 AD 변환기 구조 구현

본 논문에서 구현 한 AD 변환기의 구조는 그림 2와 같이 기존의 플래시 AD변환기의 참조신호 선에 연결된 저항사이의 점들 2^N 을 $2^N/N$ 개 단위로 나누고, 입력전압과 참조전압을 비교하여 비교기의 출력이 “0”에서

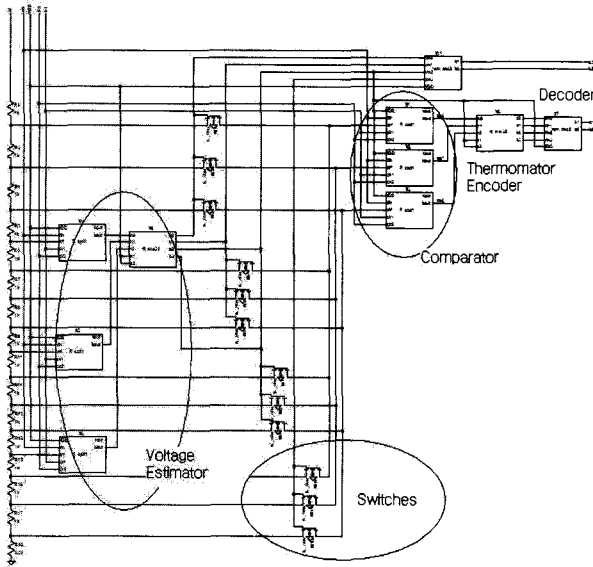


그림 2. 스위치를 이용한 4비트 플래시 AD 변환기
Fig. 2. A structure of 4 bit ADC using switch.

“1”로 변하는 구역을 예측하기 위하여 나누어진 구역의 맨 위 점에 비교기와 스위치 블록을 연결한다. 이렇게 연결된 회로는 N 비트 AD변환기의 상위 N/2 비트를 출력한다. 또한 예측된 범위는 N/2 비트의 AD 변환기를 연결하여 하위 N/2비트를 출력한다.

3. 8비트 AD 변환기 구조

그림 3은 제안된 8비트 AD변환기의 구조이다. 이 AD 변환기는 기존 8비트 플래시 AD 변환기보다 비교기를 현저히 줄여든 구조이다. 또한 반 플래시 AD 변환기와 같이 별도의 사이클을 사용하지 않고 두 개의

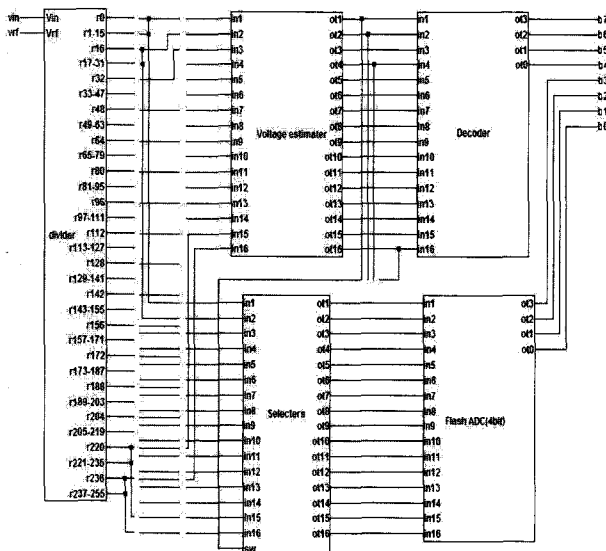


그림 3. 제안된 8비트 AD변환기
Fig. 3. Proposed 8bit AD converter.

AD변환기를 병렬로 처리하기 때문에 기존의 플래시 AD 변환기와 거의 같은 변환속도를 가진다.

이 회로는 분압기(divider)에서 참조신호와 입력 신호의 전압을 비교하여 출력하도록 설계하였다. 분압기는 전압 예측기와 분압 점을 일정한 구역으로 나누고, 각 구역을 스위치로 연결한 후 소규모 플래시 AD 변환기(N/2)에 연결하였다. 그 결과 일정 구역의 점들 중 최상위 점은 전압 예측기와 자기 구역에 포함된 스위치에 연결되므로 전압 예측기는 상위 N/2비트(MSB) 출력하고, 스위치를 통과한 플래시 AD변환기는 하위 N/2비트 (LSB) 데이터를 출력한다.

4. AD 변환기들의 비교기와 저항의 수 비교

가. N비트 플래시 AD 변환기 구조

플래시(Full-Flash) 구조에서 N비트 출력을 위해서는 2^N 개의 저항과 $2^N - 1$ 개의 비교기가 필요하다. 이것을 수식으로 나타내면

$$N_c(N) = 2^N - 1 \tag{3}$$

여기서 N은 AD변환기의 해상도 이고 N_c 는 비교기의 수이다.

나. 반 플래시 구조

반 플래시(Half-Flash)구조는 플래시 변환기와 비교하여 저항의 수를 줄일 수 있다. 반 플래시 변환기 구조는 다음 식과 같다.

$$N_c(N) = 2 \cdot 2^{N/2} - 2 \tag{4}$$

여기서 N은 AD 변환기의 해상도이다. 이 구조는 비교기와 저항의 수를 식(4)와 같이 줄일 수 있으나 변환이 2단계로 처리하기 때문에 변환 시간이 증가 한다

다. 제안된 AD 변환기의 구조

제안된 AD 변환기의 구조는 입력신호(V_{in})이 입력되는 참조신호(V_{rf})의 일정범위를 예측하여 상위 N/2 비트와 하위 N/2를 나누어 처리하도록 회로를 구성하였다. 이 때 AD 변환기는 회로의 크기를 줄여서 설계한 수정된 N/2 비트 플래시 AD변환기 2개를 사용하였고 각 변환기는 스위치를 이용하여 병렬로 연결하여 설계 하였다. 이 구조를 식으로 나타내면 다음과 같다.

표 1. 8 비트AD변환기들의 비교기와 저항의 수 비교
Table 1. Compare of the number of 8 bit ADC.

종류	Flash ADC	Half Flash ADC	Modify Flash ADC
비교기	255	30	12
저항	256	32	32

$$N_c(N) = 2(2^{N/2} \cdot 2 + 2) \quad (5)$$

여기서 N 은 AD 변환기의 해상도(resolution)이고 N_c 는 비교기의 수이다. 이러한 방법은 상위 $N/2$ 비트를 예측하여 처리하는 동시에 스위치를 이용하여 하위 $N/2$ 비트를 처리 할 수 있다^[9].

이 AD 변환기는 기존 8비트 플래시 AD 변환기보다 비교기를 현저히 줄어든 구조로 설계하였으며 별도의 사이클을 사용하지 않았으므로 반 플래시 AD 변환기보다 빠르고, 기존의 플래시 AD 변환기와 거의 같은 변환속도를 가진다. 표 1은 각 AD 변화기의 비교기와 저항의 수 비교한 결과이다.

III. 제안된 AD 변환기 회로설계

효율적인 구조를 갖는 8 비트 AD 변환기는 앞 절에서 설명한 수정된 4 비트 플래시 AD 변환기 2개를 병렬로 배치하였다. 이 2개의 변환기들은 비교기, 엔코더, 디코더 등으로 구성하였으며, 아날로그 전자회로 설계 소프트웨어인 LT-SPICE^[10]로 시뮬레이션 동작을 확인하였다.

1. 수정된 4비트 AD 변환회로

본 논문에서 제안한 AD 변환기는 상위 $N/2$ 비트를 동일 크기의 저항에 의하여 분압 된 점들을 해상도(N)의 크기에 따라 일정 범위를 정하고, 그 구역의 가장 윗 부분에 위치한 비교기와 나누어진 각 구역을 스위치 블록과 연결한다. 이 선은 선택된 구역의 스위치 블록을 동작시켜 하위 $N/2$ 비트를 출력시키고, 상위 $N/2$ 비트를 출력 시키는 회로에 연결시킨다. 이 구조는 선택된 구역을 스위칭 하는 시간 이외에 별도의 단계를 추가하지 않고 병렬로 처리하므로 플래시 AD 변환기와 거의 같은 속도로 동작한다. 따라서 위와 같은 방법으로 AD 변환기를 설계하여 플래시 변환기보다 비교기 수와 연결된 회로의 크기를 현저하게 줄일 수 있었다.

표 1에서 보는 바와 같이 기존 플래시 AD 변환기는

255 개의 비교기가 필요하지만, 새로운 방법으로 AD 변환기로 설계한다면 12 개의 비교기만으로도 8비트 AD 변환기의 설계가 가능하였다. 더 나아가 비교기와 연결되는 엔코더와 디코더 회로들도 줄어들므로 회로의 크기를 더 줄일 수 있었다.

가. 비교기 (Comparator)

비교기는 입력신호 전압과 참고 신호전압의 크기를 비교하여 그에 따른 결과 신호를 디지털 회로에 전달하기 위한 회로이다. 입력신호 전압 V_{in} 이 비교기 참고신호 전압 V_{ref} 보다 높으면 비교기의 출력은 “1” (high) 이 출력되고 반대로 기준신호 전압이 입력신호 전압보다 낮다면 “0” (low)이 출력 하도록 설계하였다. 그림 5는 자동영 기능을 가진 비교기이다.

본 플래시 AD 변환기에서는 비교기의 정확성이 설계에서 중요하다. 따라서 비교기의 오프셋 오류들을 줄이고 회로의 크기를 줄이기 위하여 자동 영 기술을 적용하였으므로 샘플홀드 회로를 사용하지 않았다.

래치 회로의 게이트들은 비교기의 출력이 첫 번째 인버터에 입력되고 비교기에서 적당하게 쉘 된 후 유효 논리 단계로 전송된다. 클록단계에서 자동 영으로 되는 동안, 래치의 출력은 두 번째 인버터로부터 입력되어 피드백에 의하여 수용된다^[8]. 그림 4는 본 논문에서 사용한 자동 영 기능을 가진 래치가 연결된 비교기회로이다. 입력신호가 2^N 개의 비교기를 통과하면 비교기의 상태에 따라 “0”과 “1”이 출력된다. 즉, 전에 충전된 참조신호 전압보다 입력신호 전압이 높으면 비교기는 “1”을 출력하고, 충전된 참조신호 전압보다 입력신호 전압이 낮으면 비교기는 “0”을 출력한다. 이 비교기 회로는

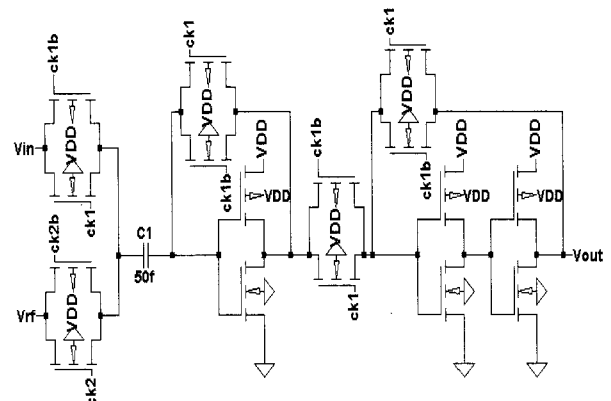


그림 4. CMOS 비교기와 래치
Fig. 4. CMOS Comparator and Latch.

참조신호와 입력신호의 크기가 바뀌어질 때까지 “0”이 나 “1”신호를 연속적으로 출력한다.

나. 스위치 (Switch)

디코더는 엔코더에서 출력되는 신호 중 “1”이 출력되는 선의 신호가 출력되도록 설계하였다. 그림 4는 이 변환기를 이용하여 이진 출력되는 디코더 회로이다. 일반적인 CMOS 에서는 NMOS와 PMOS 의 트랜지스터를 이용하여 디코더를 설계할 수 있지만 트랜지스터의 총 수를 줄이기 위하여 NMOS 트랜지스터만 가지고 엔코더를 설계하였다.

다. 엔코더 (Encoder) 와 디코더 (Decoder)

비교기를 통과한 아날로그 신호는 온도계 부호를 만들어 낸다. 본 논문에서는 이 부호를 사용하여 “0”과“1”의 경계점의 한 개를 선택할 수 있도록 회로를 구성하였다. 디코더는 엔코더에서 출력되는 신호 중 “1”이 출력되는 선이 출력되도록 설계하였다. 일반적인 CMOS 에서는 NMOS와 PMOS 의 트랜지스터를 이용하여 디코더를 설계할 수 있지만 트랜지스터의 총 수를 줄이기 위하여 NMOS 트랜지스터만 가지고 엔코더를 설계하였다.

2. 제안된 8-비트 AD변환기

본 논문에서 설계한 효율적인 8비트 플래시 AD 변환기(Efficient Flash ADC:EFADC)의 전체회로는 그림 5와 같다. 이 회로는 소규모 수정된 플래시 AD 변환기를 이용하여 8-비트를 출력하는 효율적인 AD변환기의 전체 회로이다. 그림 5의 위쪽은 4 비트 수정된 플래시

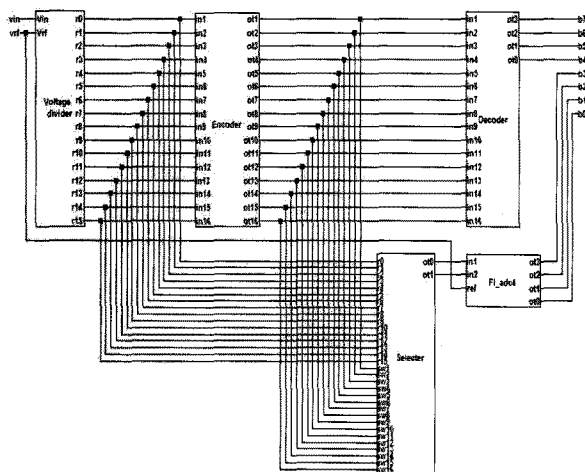


그림 5. 8비트 EFADC 회로
Fig. 5. Circuit of EFADC.

AD 변환기회로이고 상위 4비트를 출력하도록 회로를 구성하였고, 아래 회로는 16개의 점들 사이 서이에 수정된 4 비트 플래시 AD 변환기를 연결하여 하위 4비트를 출력하도록 하였다. 즉 이 회로는 각 스위치 블록의 동작에 따라 동시 8비트 디지털 데이터가 출력되도록 설계하였다.

IV. 시뮬레이션 결과

효율적인 8비트 CMOS AD변환기는 비교기 블록, 엔코더 블록, 디코더 블록, 스위치 블록 등으로 구성되어 있으며 회로의 검증은 LT SPICE와 Electric^[11]을 이용하였다.

1. 비교기 시뮬레이션

그림 6은 아날로그 입력신호(Vin)와 참조신호(Vrf)가 본 논문에서 사용한 비교기회로를 통과한 후 비교 조건에 따라 “1”과 “0”이 출력된 것을 보여주고 있다.

그림 6에서 V[out]는 비교기와 래치 회로를 통과 한 후의 값이다. 그림에서 입력 신호와 참고신호는 보편 클럭 (V(ck1))에 따라 V(bout)이 결정되는 것을 확인할 수 있다.

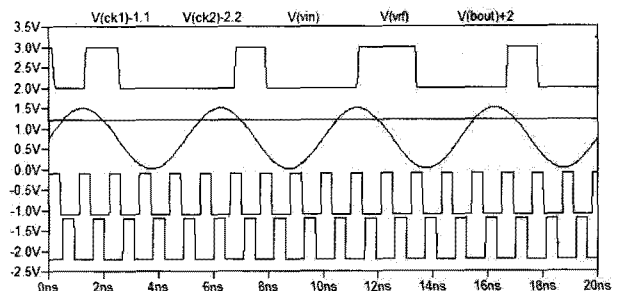


그림 6. 비교기 출력
Fig. 6. Output of comparator.

2. 온도계 부호 엔코더 시뮬레이션

저항으로 분압 된 점에 연결된 8개의 비교기를 연결하여 시뮬레이션 하여 그림 7의 아래 부분과 같은 결과를 얻었다. 그림을 보면 “1”의 개수가 시간이 지남에 따라 순차적으로 증가하는 것을 확인할 수 있었다. 즉 온도계부호가 출력되는 것을 확인할 수 있다. 이 회로에 엔코더를 연결하여 시뮬레이션하면 그림의 위쪽에서 보는 바와 같이 온도계부호들은 각각 한 개의 “1”이 출력된 것을 확인할 수 있었다.

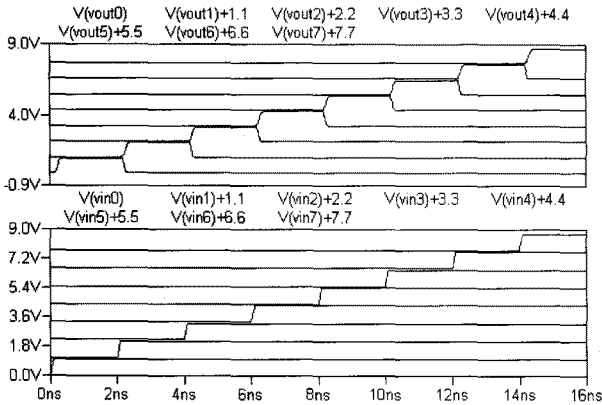


그림 7. 온도계부호 엔코더 시뮬레이션 결과
Fig. 7. Simulation Result of Thermometer decoder.

3. 디코더 시뮬레이션

그림 8은 온도계 부호 엔코더에 3 비트 디코더를 연결하여 시뮬레이션 한 결과이다. 그림 아래를 보면 이진 데이터(000-111)₂가 순차적으로 출력 되는 것을 확인 할 수 있다.

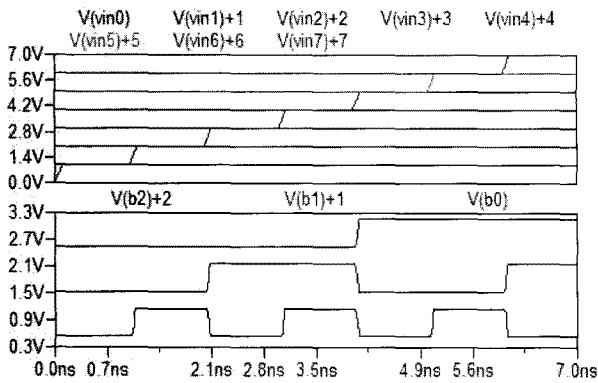


그림 8. 3비트 디코더 시뮬레이션
Fig. 8. Simulation Decoder.

4. 수정된 4비트 플래시 AD 변환기

플래시 AD 변환기의 구조는 전압 예측 회로와 N/2 비트 플래시 AD 변환기에 사용한다. 그림은 본 논문에서 사용한 4비트 수정된 플래시 AD변환기의 시뮬레이션 결과이다. 시뮬레이션결과와 아날로그 데이터를 입력하여 4비트 디지털 데이터(0000-1111)₂가 차례로 출력되는 것을 확인할 수 있었다 그림 9는 4비트 수정된 AD변환기의 시뮬레이션 결과이다.

5. 효율적인 8비트 AD변환기

본 논문에서 설계한 효율적인 8 비트 AD 변환기의

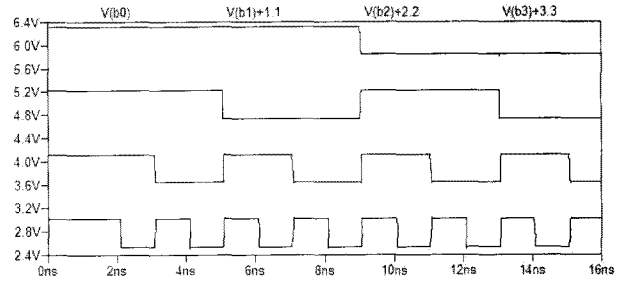


그림 9. 4비트 AD 변환기 시뮬레이션
Fig. 9. Simulation of 4-bit ADC.

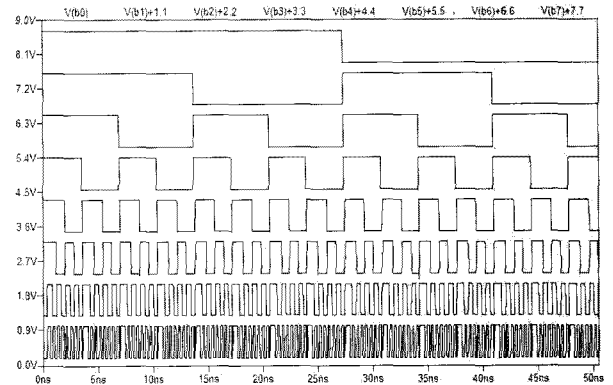


그림 10. 효율적인 8비트 ADC 시뮬레이션 결과
Fig. 10. Simulation Result of Efficient 8 bit ADC.

시뮬레이션결과는 그림 10과 같다. 아날로그 신호를 입력하여 LT-spice로 출력 하면 그림 9와 같이 8비트 디지털데이터(00000000-11111111)₂가 출력되는 것을 확인할 수 있었다.

V. 결 론

본 논문은 효율적인 8비트 AD 변환기의 구조를 제안 하고 CMOS로 구현하였다. 본 논문에서 설계한 AD변환기는 기존의 8 비트 플래시 변환기의 비교기의 수 255개를 12개로 각각 줄일 수 있었고 저항의 수도 266 개에서 32개로 줄일 수 있었고 엔코더와 디코더 회로도 줄어들었기 때문에 다이 면적을 최소한으로 줄일 수 있었다. 또한 이 구조는 참고 전압을 저항으로 분압 회로를 4 비트를 처리할 수 있도록 영역을 나누어 이 구역을 스위치로 연결하고 입력전압과 참조전압의 비교기 출력 값이 변하는 구역을 정하여 상위 4비트를 정하고 그 구역 안의 전압을 다시 분압 하여 하위 4비트를 동시에 처리 하도록 설계하였기 때문에 별도의 사이클을 사용하지 않고 스위치를 사용하기 때문에 기존의 플래시 변환기와 거의 같은 처리 속도를 갖게 설계하였다. 이것은 반 플래시 AD변환기 보다 적은 수의 비교기를

사용하였으나 변환속도를 훨씬 빠른 결과를 얻었다.

본 논문에서 구현한 회로는 여러 개의 아날로그 신호를 수집하여 고속으로 디지털 신호로 변환기 위한 장치를 설계 하는데 유용하게 사용될 것으로 기대된다.

참 고 문 헌

- [1] Sherman, L, "Fast CMOS A/D chip samples inputs," Electron. Design .pp. 149-159. July 8, 1982.
- [2] Michael J. Demler, "High-speed Analog-To-Digital Conversion", Academic Press, pp. 24 - 67, 1991.
- [3] R. Jacob Baker, "CMOS Circuit Design, Layout, and Simulation," IEEE Press, pp. 932-1015, 2005.
- [4] C.-W. Hsu and T.-H. Kuo, "6-bit 500 MHz flash A/D converter with new design techniques," in Proc. of IEEE Conf. on Circuits Syst., pp. 460-464, Vol. 150, No 5. October 2003.
- [5] Marc L. Simpson, and Ronald D. Williams, "A Simple Design Methodology for Table Flash A/D Converter Output Encoding," IEEE Trans. on Instrumentation and Measurement, Vol. 37, no. 4, pp. 605-609, December 1988.
- [6] Marcel J. M. Pelgrom, A. C. Jeannet v. Rens, Maarten Vertregt, and Marcel B. Dijkstra, "A 25-Ms/s 8-bit CMOS A/D Converter for Embedded Application," IEEE Solid-State Circuits, Vol. 29, no. 8, pp. 879-886, August 1994.
- [7] C.-W. Hsu and T.-H. Kuo, "6-bit 500 MHz flash A/D converter with new design techniques," in Proc. of IEEE Conf. on Circuits Syst., pp. 460-464, Vol. 150, No 5. October 2003.
- [8] Michael K. Mayes and Sing W. Chin, "A Multistep A/D Convert Family with Efficient Architecture," IEEE Solid-State Circuits, Vol. 24, no. 6, pp 1492-1497 December 1989.
- [9] Bruce Peetz, Brian D. Hamilton, and James Kang, "An 8-bit 250 Megasample per Secoung Analog-to-Digital Converter: Operation Without a Sample and Hold," IEEE Solid-State Circuits, Vol. sc21, no. 6, pp 997-1002, December 1986.
- [10] Steven M. Rubin, " Using Electric VLSI Design system," <http://www.staticfreesoft.com/>
- [11] Mike Engelhardt, "About LT spice/Switcher CADIII," <http://www.linear.com/designtools/software/>

— 저 자 소 개 —



권 승 탁(정회원)

1987년 원광대학교 전자공학과
학사 졸업.

1989년 전북대학교 전자공학과
석사 졸업.

1997년 전북대학교 전자공학과
박사 졸업.

1992년 3월~현재 서남대학교

컴퓨터정보통신학과 교수

2006년 3월~2008년 2월 Boise State University

(미국) 객원교수

<주관심분야: 반도체 회로 설계, 정보 통신, 의료 영상 처리>