

논문 2008-45SD-12-7

저 전력 UHF 태그 칩 설계

(Low Power UHF Tag Chip Design)

권혁제*, 이평한*, 이철희**, 김종교***

(Hyukje Kwon, Pyeonghan Lee, Chulhee Lee, and Chongkyo Kim)

요약

최근 대두되고 있는 유비쿼터스(ubiquitous) 환경과 같이 어느 곳, 어느 때, 누구든지 원하는 정보를 획득할 수 있는 무선 네트워크의 구축을 위해서는 반드시 필요한 기술로 RFID 시스템은 기본적으로 정보를 저장하고 있는 태그(tag, transponder)를 아이টে에 부착하고, 리더(reader)는 라디오(radio) 주파수를 이용하여 태그에 저장하고 있는 고유 번호(identification number) 등의 정보를 읽어 낸다. 본 논문은 FeRAM을 내장한 EPCglobal UHF 태그 칩 설계에 관한 내용이다. 태그 칩의 구성은 메모리, 아날로그, 디지털 3부분으로 나눌 수 있는데 디지털 부분에서 전력 소모를 줄이는 방법으로 순차적인 데이터 처리 구조에 게이티드 클럭(gated clock)을 사용하여 해당 모듈의 동작에 의한 동적 전력 소모량을 최대한 줄였다. 태그는 0.25 μm CMOS 공정을 사용하여, 잔류 분극 값이 $32\mu\text{C}/\text{cm}^2$, 3V 인가전압에서 $2.5 \times 10^{-6}\text{A}/\text{cm}^2$ 누설 전류를 가진 ferro-capacitance를 사용하고 있다. 태그의 면적은 절단선을 포함하여 $750\mu\text{m} \times 750\mu\text{m}$ 이며, 태그 소모 전력은 인가전압 2V에서 약 $17.8\mu\text{W}$ 이다.

Abstract

An RFID system comprises a reader and a tag, and this paper focuses on a tag design. A UHF tag is activated by energy supply using electromagnetic waves and energy reflection through impedance mismatching. The tag uses a 0.25 μm CMOS process and comprises a digital part executing tag protocols, a 512-bit memory, and an analog part having a rectifier, a modulation/demodulation unit, a clock generator, etc. The total dimension of the tag, including a saw line, is $750\mu\text{m} \times 750\mu\text{m}$ and the power consumption of the tag consumption power is about $17.8\mu\text{W}$ at a supply voltage of 2V.

Keywords: RFID, UHF, tag chip

I. 서론

RFID 및 EPC(Electric Product Codes) 기술은 급증하는 물류의 자동식별과 경로 추적을 통해 기록을 남기고 이벤트를 발생시켜 해당 물체에 대한 관리 작업하기 위한 필수 기술이다. 글로벌한 상품 교역의 편리성을 위해 개발하고 있는 표준 시스템 EPC는 상품 인식 표준이나 데이터 수집 방법, 교환 등을 정의하고 있다. 태그 칩의 구성은 메모리, 아날로그와 디지털 부분으로

구분이 된다. 본 논문은 FeRAM 메모리를 내장하여 RFID의 고유 번호 저장과 기타 새로운 정보의 기록과 갱신을 하도록 한 것으로, 아날로그 부분은 전력 소모를 줄이기 이전에 안정적인 동작을 우선적으로 고려하였다. 디지털 부분은 전력 소모를 줄이는 방법으로 순차적인 데이터 처리 구조에 게이티드 클럭(gated clock)을 사용하여 해당 모듈의 동작에 의한 동적 전력 소모량을 최대한 줄였다. 태그의 면적은 절단선을 포함하여 $750\mu\text{m} \times 750\mu\text{m}$ 이며, 태그 소모 전력은 인가전압 2V에서 약 $17.8\mu\text{W}$ 이다.

본 논문은 II장에서 인터로게이터(interrogator)와 태그간의 통신을 위한 프로토콜과 디지털 부분의 저 전력 설계와 과전압 방지를 위한 프로텍터, 신호에 대한 변복조기 등에 대한 아날로그 부분을 기술하고, III장에서

* 정회원, 3Alogics
(3Alogics)

** 정회원, ***평생회원, 전북대학교 전자정보공학부
(Division of Electronics & Information Engineering,
Chonbuk National University)

접수일자: 2008년6월2일, 수정완료일: 2008년12월1일

는 제작한 칩과 테스트를 위한 COB(Chip-On-Board) 및 테스트 결과를 기술하며, IV장에서 결론을 맺는다.

II. 저 전력 UHF 태그 칩 설계

UHF 대역 태그는 인터로게이터(interrogator)와 기본적인 정보교환을 위한 정보 처리, 내부 메모리 제어를 담당하는 태그 로직과 air 인터페이스 신호 생성, RF를 수신하여 정류하는 정류회로, 바이어스 생성 회로 등을 포함하는 프론트-엔드(front-end)로 구성한다. 저 전력 설계를 위해서는 여러 가지 방법이 있지만, 특별한 공정을 사용하지 않고 설계자의 의도에 따라 설계할 수 있는 방법은 클록을 제어하는 방식이다. EPC Class 1 Gen 2의 인터로게이터(interrogator)에서 태그로 정보 교환을 위한 기본 데이터 심벌 시간(tari)은 EPC Class 1과 Class 0에 비해 환경이나 데이터 전송속도, 전송 대역폭, 읽기 가능 범위 등의 여러 요인을 감안하여 선택할 수 있는 유연함을 가지고 있다^[1]. 태그에서 인터로게이터의 데이터 전송에는 역산란(backscattering) 방식을 이용하며, modulation 방식으로는 ASK 또는 PSK를 사용할 수 있다. 데이터 인코딩은 FM0와 Miller 방식이 있으며, Miller의 경우 세부적으로 Miller2, Miller4, Miller8로 구분된다.

1. 태그 프로토콜(protocol)

인터로게이터에서 태그로 전송하는 명령어는 그림 1과 같이 크게 Select, Inventory, Access 명령어로 나눌 수 있다. Select는 인터로게이터 읽기 범위 내에 있는 태그 중 응답할 태그를 그룹 별로 나누는 명령어이다. Inventory는 Select 명령 다음으로 수행할 명령 그룹으로 Query, QueryRepeat, QueryAdjust가 있으며, 태그 응답으로 ACK, NAK가 있다. Query는 선택(selected)된 태그를 확인(identity)하는 과정으로 타임 슬롯(time slot)을 설정하여 전송하면, 태그는 0 부터 $2^Q - 1$ 까지

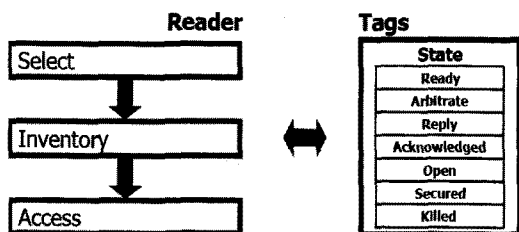


그림 1. 인터로게이터/태그 동작과 태그 상태
Fig. 1. Interrogator/tag operation and tag state.

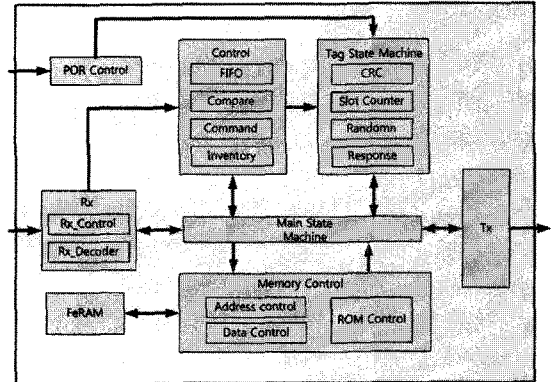


그림 2. 태그 로직 블록도
Fig. 2. Block diagram of tag logic.

임의값을 선택하고 QueryRepeat를 수신한 태그는 슬롯을 다운 카운팅하여 그 값이 0인 순간 응답한다.

0~15까지 설정할 수 있는 Q 값은 QueryAdjust를 통해 변경할 수 있다. Access 명령어에는 Read, Write, Kill, ReqRN의 필수 명령어가 있으며, Lock, Access, BlockWrite, BlockRead와 같은 옵션 명령어가 있다. Access 명령어는 Inventory 과정에서 태그 확인이 끝난 태그에 대해 메모리 쓰기/읽기, 잠금 등의 실질적인 동작을 수행한다.

태그 로직은 그림 2와 같이 AFE(Analog Front-End)에서 RF 신호를 PIE(Pulse Interval Encoding)로 변환하여 Rx 모듈에서 디코딩한다. 디코딩한 신호는 제어 모듈을 통해 명령과 파라미터를 저장하고 주 상태 머신(main state machine)은 Tx를 통해 전송할 데이터의 생성과 제어를 행한다. 데이터 전송을 위해 필요한 데이터의 일부는 메모리에서 읽어 오며 메모리 제어 모듈을 통해 이루어진다. 상태 머신에서는 입력 데이터를 기초로 난수 발생과 응답 신호 생성, 슬롯 카운터 등을 생성하며, Tx 모듈은 이를 데이터 포맷에 맞추어 전송한다.

주 상태 머신(main state machine)은 그림 3과 같이 명령 및 타임아웃 등에 의해 천이하는 기본 특징을 가지고 있으며, 태그의 여러 상태 머신 중 주요한 부분을 상태로 표현한 것이다. Power on reset(por_end)에 의해 초기화가 되면 로직은 Rx 신호의 처음 시작 부분(rx & rx_falling)을 찾아 데이터의 디코딩을 시작한다. 데이터의 디코딩에 따라 수신 명령어가 결정되면 타임아웃(con_t_reply_time_out, con_t_t1_time_out, con_t_t2_time_out)에 따라 역산란할 시간을 정하고 그 사이에 송신할 데이터를 메모리에서 읽어 오거나 생성하는 과정을 거친다. 상태 머신은 내부의 CRC, 슬롯 카운터,

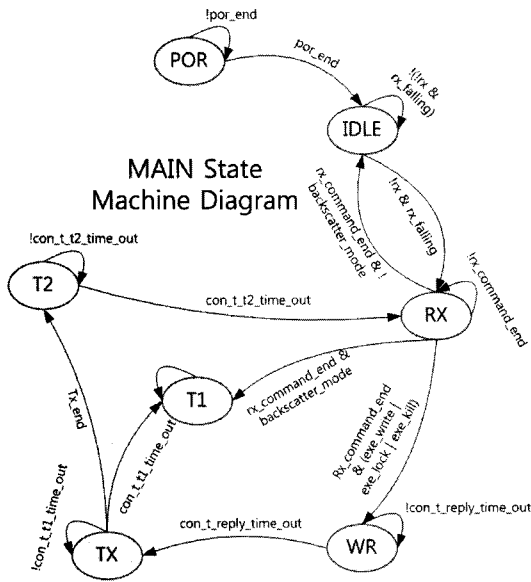


그림 3. 주 상태 머신
Fig. 3. Main state machine.

난수 발생기 및 응답 모듈을 통해 Tx 모듈로 인코딩한 데이터를 전송한다.

2. 저 전력 설계를 위한 태그 로직(tag logic)

디지털 부분의 저 전력 및 침두 전력 감소를 위해서는 $P=0.5\alpha CV_{CC}^2f$ 와 같이 스위칭 변수 α 의 감소, 전원 전압의 감소 또는 동작 주파수 f 의 감소, 또는 커패시턴스의 감소가 필요하다. V_{CC}^2 의 경우 DC 생성기

에 의해 생성되어 일정하게 태그에 공급하므로 감소 요소로 작동하지 않으며, 커패시턴스의 감소도 로직의 간략한 설계를 통해 가능하지만 그 변화 양은 크지 않다. 결국, 주파수 f 를 낮추거나 스위칭 변수 α 를 감소시키는 방법을 통해서 동작에 필요한 전체 전력 양을 줄일 수 있다. 클록의 경우 모든 로직에 필요한 요소이지만, 태그의 동작에 있어 모든 로직에서 동시에 필요하지는 않다. 태그에서 발생하는 일련의 과정은 데이터의 수신에서 처리까지 순차적으로 발생하기 때문에 로직 설계에 있어, 이런 부분을 최대한 활용하는 것이 전체 전력을 줄일 수 있는 한 방법이다.

저 전력 태그 로직 설계를 위해 고려해야 할 사항은 다음과 같다. 첫 번째, 침두 전류의 발생을 가급적 피하는 것이다. 즉, 침두 전류의 발생은 순간 전력 소모량의 증가를 초래한다. 태그와 같은 수동 소자는 외부 리더의 RF 신호를 받아 전력을 생산하는 구조를 가진다. 외부에서 전력을 수신할 경우 전력으로 변환할 수 있는 양은 일정하게 제한 받게 되는 것이 파워 변환율이며, AFE의 멀티플라이어에서 담당한다. 태그 동작은 리더에서 수신하는 RF 신호를 수신하면서 이루어지기 때문에 태그 동작에 필요한 전력을 계속적으로 생산할 수 있다. 하지만, 태그의 동작 시 순간 필요한 전력의 양이 태그가 RF를 파워로 변환한 양보다 적을 경우 동작하지 않거나 오동작을 할 수 있다. 변환 전력보다 필요 전

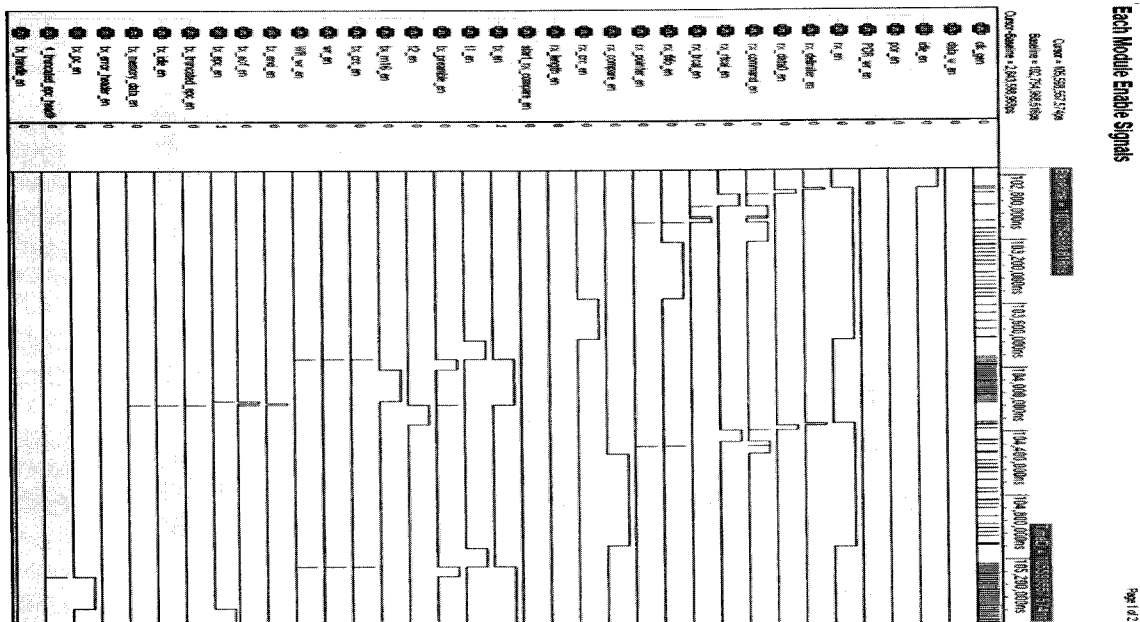


그림 4. 순차적으로 동작하는 태그 로직의 각 모듈 인에이블 신호
Fig. 4. Enable signal of each module operating in sequence.

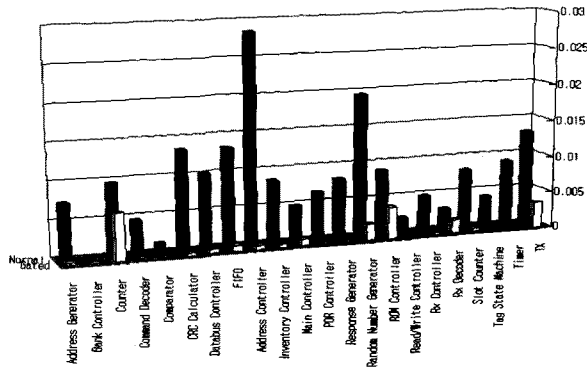


그림 5. 일반 클럭과 게이티드 클럭 구조의 전력 비교 (mW)
 Fig. 5. Power comparison of normal and gated clock logic(mW).

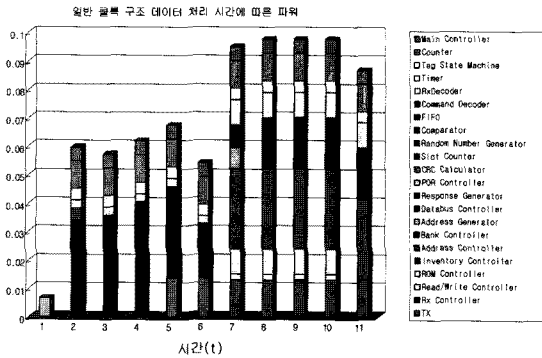


그림 6. 일반 클럭 구조의 시간 흐름에 따른 동작 로직과 해당 전력(mW)
 Fig. 6. Power of logics on time for normal clock (mW).

이 많아지는 현상을 줄이기 위해서는 순간 첨두 전력을 줄여 필요 전력의 양을 줄여야 한다. 두 번째, 저 전력 설계를 위해서는 디지털 부분에서 각 부분을 필요할 때에만 동작할 수 있도록 선택적 동작이 필요하다. 이 경우 필요한 설계 방법은 게이티드 클럭(gated clock)의 사용이다. 그림 4에서 게이티드 클럭의 사용은 인에이블 신호를 이용하여 태그의 각 동작 시 필요한 블록에만 클럭을 공급함으로써 저 전력 설계가 가능하다. 게이티드 클럭의 사용에는 time violation이 발생할 가능성이 높아지는 단점을 가지고 있다. 일반적인 클럭 구조를 가진 형태로 디자인한 경우 CADtool을 이용한 예상 소모 전력은 약 0.187mW인 반면에 게이티드 클럭을 사용할 경우 예상 소모 전력은 약 0.023mW이다. 그림 5는 각 모듈에 대한 일반적인 클럭과 게이티드 클럭의 전력량을 비교한 그래프이다.

입력 신호가 존재할 경우 동작하는 태그 로직의 동작 시간에 따른 일반 클럭 구조를 그림 6에 각 모듈별로

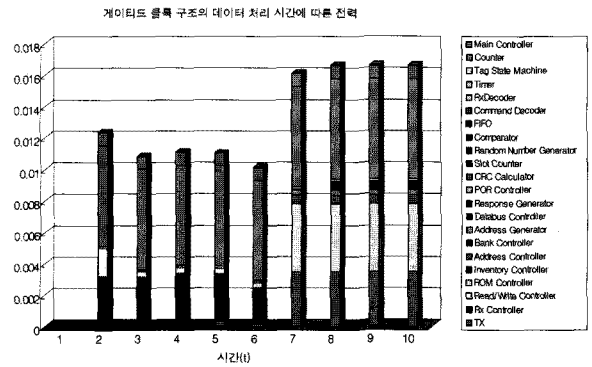


그림 7. 게이티드 클럭 구조의 시간 흐름에 따른 동작 로직과 해당 전력(mW)
 Fig. 7. Power of logics on time for gated clock(mW).

표현하였으며, 게이티드 클럭 구조는 그림 7과 같이 각 모듈별로 표현하였다.

그래프를 보면 순간 최대 전력이 그림 6에서 약 0.0977mW, 그림 7에서 약 0.0166mW를 보이고 있다. 게이티드 클럭 구조가 일반 클럭 구조에 비해 현저하게 적은 전력을 소모하고 있는 것을 알 수 있다.

3. 아날로그 Front-End

RF 아날로그 부분은 그림 8과 같이 RF를 안테나로부터 수신하여 전원을 생성하는 멀티플라이어(multiplier), 이 전원으로부터 내부 동작에 필요한 바이어스를 생성하는 바이어스 생성기(bias generator), 내부 로직의 동작을 위해 필요한 클럭 생성기(clock generator), 태그가 리더에 가까이 다가갈 경우 과도한 RF 전력에 의해 칩의 손상을 방지하기 위한 프로텍터(protector), RF 입력 신호의 변조와 복조를 담당하는 변조기/복조기(modulator/demodulator)의 형태로 구성되어 있다.

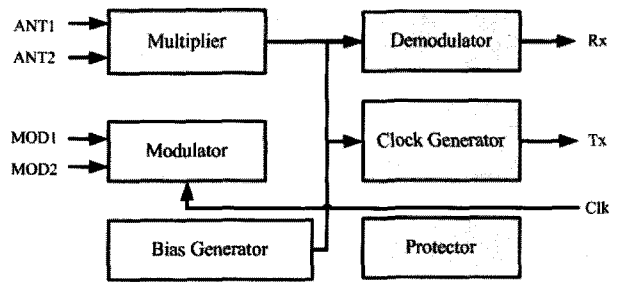


그림 8. 아날로그 블록도
 Fig. 8. Analog block diagram.

가. 멀티플라이어(Multiplier)

태그와 같이 외부 전원을 공급받지 못한 상황에서 RF신호를 정류할 경우 다이오드의 정류 효율이 좋아야

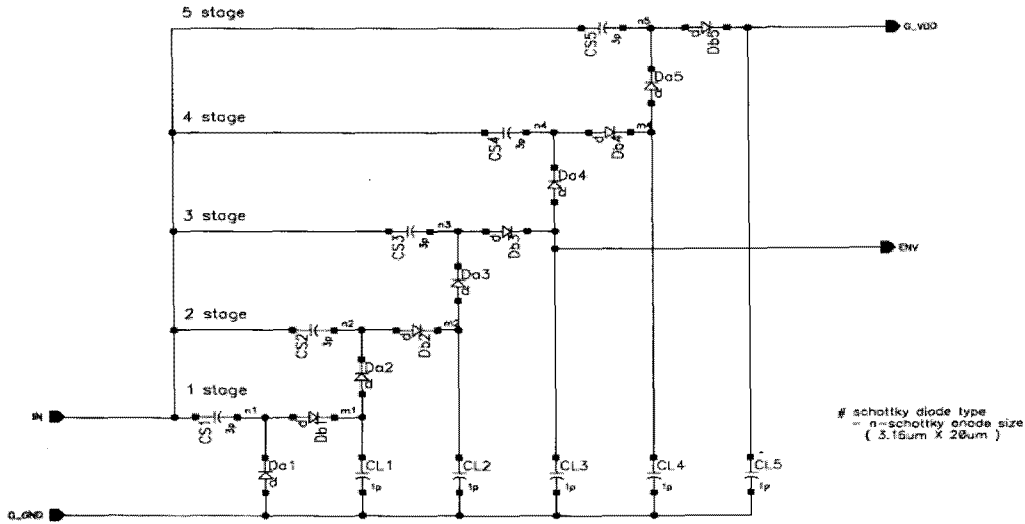


그림 9. 5 단 멀티플라이어 구조
Fig. 9. 5-stage multiplier schematic.

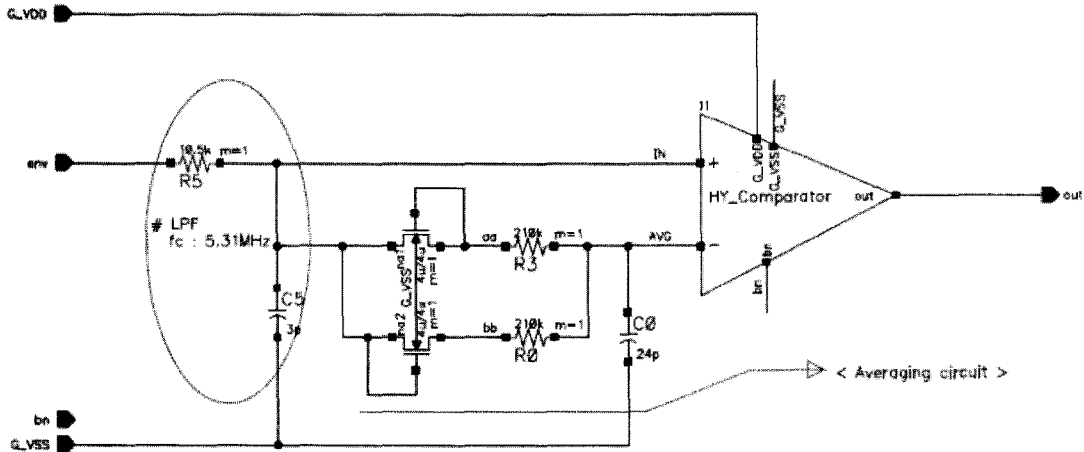


그림 10. 복조기 회로 구조
Fig. 10. Demodulator schematic.

하는 필요조건이 있다. RF 신호를 정류할 경우 정류 소자는 누설 전류와 높은 기생 저항 등에 의한 전력 소모를 초래한다. 전력 소모를 최대한 줄이기 위해 정류한 전력을 효율적으로 관리하는 방법으로는 포화 전류 I_S 가 크고, 낮은 접합 커패시턴스 C_j , 작은 직렬 저항 R_s , 낮은 기생 커패시턴스 C_{sub} 등을 유지하는 것이다. 이를 만족하는 다이오드로는 Schottky diode가 있다^[2]. 그림 9는 본 논문에 적용한 Dickson의 전압 멀티플라이어 구조의 5단 형태이다.

입력 전압이 식 (1)과 같을 때 멀티플라이어의 전압 입출력 특성을 나타내는 식 (2)는 고정된 출력 전압에 대해 단수 N 의 함수이다. 따라서 단수가 증가하면 입력 전압은 감소한다^[3].

$$V_{IN} = V_o \cos(\omega_0 t) \tag{1}$$

$$\left(1 + \frac{I_U}{I_S}\right) \exp\left(\frac{V_U}{2NV_T}\right) = B_0 \left(\frac{V_0}{V_T}\right) \tag{2}$$

멀티플라이어의 입력은 유럽 표준인 0.5W ERP를 기준으로 2m거리에서 수신하는 전력을 기준으로 하였으며, 이에 따라 약 $0.25V_p$ 가 되어 정류하면 0.5V가 되며, 5단 구성으로 하면 최종 출력 전압은 약 2.5V가 된다.

나. 복조기(Demodulator)

복조기는 비교기와 포락선 검출기로 구성하며 RF 신

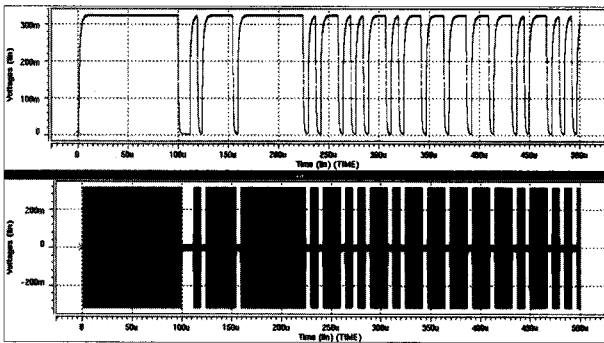


그림 11. 포락선 검출 시뮬레이션 파형
Fig. 11. Envelope detector simulation waveform.

호를 디지털화하는 것으로 그림 10과 같다. 포락선 검출기는 두 개의 MOS 다이오드와 두 개의 RC 저역 통과 필터로 구성되어 있으며, 이 포락선 검출기는 파워 멀티플라이어와 같은 구조로 3단으로 되어 있다. 파워 멀티플라이어 입력인 RF의 포락선을 검출하기 위해 중간 값을 취해야 하는데 이때 5단으로 구성된 파워 멀티플라이어의 3단 위치와 같은 신호를 취하기 위해 3단의 포락선 검출기를 새로 구성하여 안정성을 확보하였다. 복조기의 두 MOS 다이오드는 서로 반대 방향으로 위치하고 있어 극성이 반대인 신호를 모두 정류할 수 있으며, 그림 10의 원 안의 RC 필터는 고조파 성분들로부터 DC 성분을 분리해 낸다. 그림 11은 시뮬레이션 결과로 RF 신호가 250mV_{PP}로 입력될 때 포락선 출력은 이에 해당되는 DC와 포락선 신호를 출력하게 된다.

다. LDO(Low Drop Output)

LDO는 프로텍터에서 생성된 전원에 대하여 좀 더

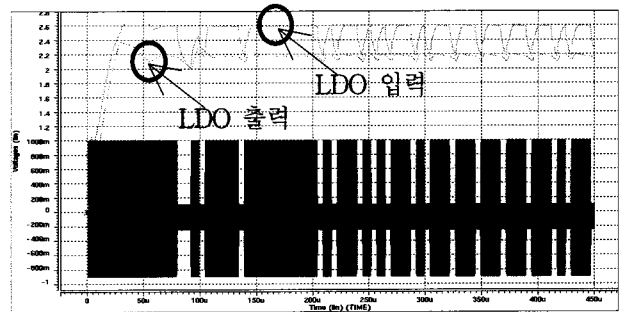


그림 13. RF 입력 전압 1.0V_{PP}에서 LDO 시뮬레이션
Fig. 13. LDO simulation at RF input 1.0V_{pp}.

세밀하게 DC 값을 조절하는 기능을 한다. LDO의 구성은 그림 12와 같이 밴드갭과 증폭기 및 스위치로 구성된다. LDO 출력 전압 조절은 전압 분배기 비율과 증폭기를 이용한다.

그림 13에 RF 입력 1.0 V_{PP}에 대한 LDO 시뮬레이션 결과를 나타냈다. LDO 출력 전압 조절은 전압 분배기 비율과 증폭기를 이용한다. 증폭기 출력 전압이 특정 전압 이하로 떨어졌을 때 PMOS gate 전압 즉, 증폭기 출력은 0 V가 되어 PMOS 스위치를 on시키고 외부 입력 전압을 출력한다.

다. 프로텍터(Protector)

프로텍터는 두 가지 기능을 가지고 있다. 하나는 내부적으로 필요한 전압으로 조절하는 것이다. 다른 하나는 높은 RF 입력 전력에 대하여 내부 회로를 보호하는 역할을 한다. 위와 같은 역할은 전자기장의 변화가 심한 환경에서는 여러 하위 회로를 이용하여 두 가지 기

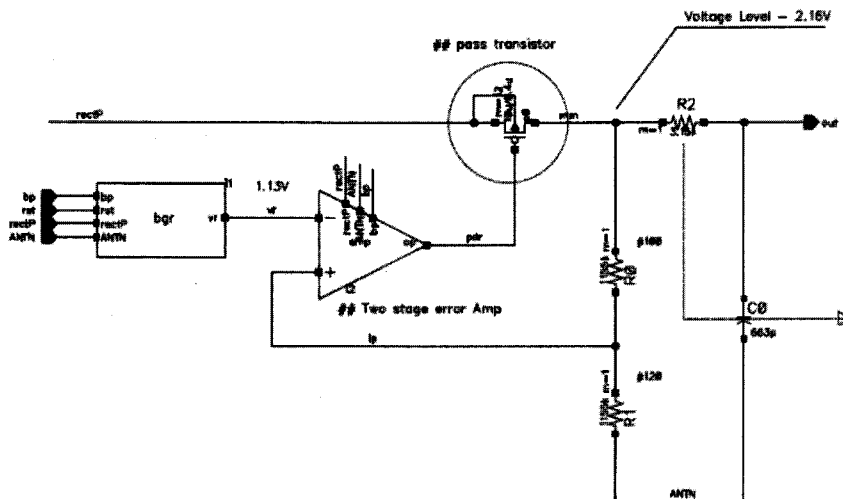


그림 12. LDO 회로도
Fig. 12. LDO schematic.

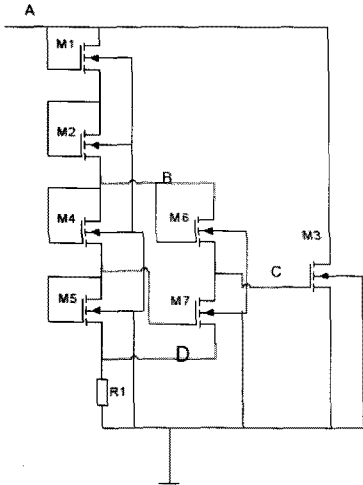


그림 14. 프로텍터
Fig. 14. Protector.

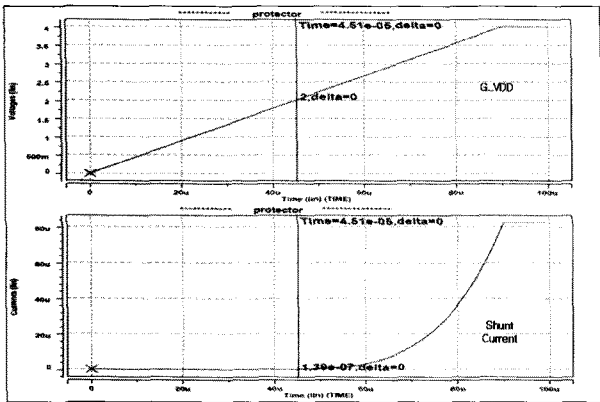


그림 15. 프로텍터 시뮬레이션
Fig. 15. Protector simulation.

능을 수행한다. 하지만, 구조면에서는 비슷한 측면이 있다. 두 가지 기본적인 회로는 션트(shunt) 조절기와 결합인자 감쇠(coupling factor attenuation)이다^[4]. 션트 조절기는 저항 성분을 통한 RF 입력 전력의 잉여 성분을 태그 칩 내부에서 소모하는 기능을 가지고 있어 고정된 전력을 가지고 있는 회로에 있어서 인식 거리가 줄어드는 단점을 가지고 있다. 결합인자 감쇠 회로의 경우 태그 입력 커패시터나 바랙터(varactor)를 제어함으로써 결합인자의 증감에 따라 태그로 전달되는 전력이 감소한다. 회로의 구성은 두 가지 비슷하지만, 제어 부분에서 션트 조절기는 전압 제어 저항을 사용하고 결합인자 감쇠 회로는 전압 제어 커패시터나 바랙터를 사용한다. 결합인자 감쇠의 경우 공진 주파수와 커패시터 값의 상관관계를 정리하여 바랙터 값을 결정해야 하는 과정을 거쳐야 한다. 이와 같은 이유로 인해서 태그 내부에서 전력을 소모하는 단점을 가지고 있지만, 본 논문에서는 제어하는 부분의 복잡성이 낮은 션트 조절기를 사용하였다.

프로텍터의 기본적인 구조는 그림 14와 같이 부 캐환 시스템으로 구성되어 있는데, 본 논문에서도 동일한 구조를 사용하였다. 션트(shunt) MOS는 임의로 설정한 기준 전압을 기준으로하여 입력 전압 차이만큼을 더하거나 빼는 것으로 출력 전압의 안정성 향상과 내부 회로 보호를 행한다. 공급 전압이 상승함에 따라 MOS 디바이스가 도통하면 전압 분배 역할을 한다.

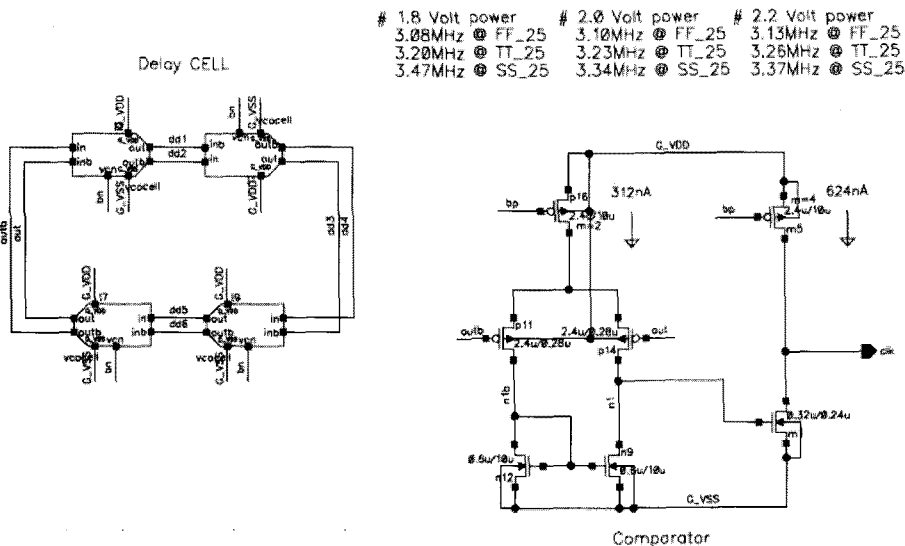


그림 16. 차동 링 오실레이터 회로도
Fig. 16. Differential ring oscillator schematic.

분배된 전압은 셉트 MOS의 게이트의 입력이 된다. 일정 전압 이상 상승할 경우 셉트 MOS의 게이트 전압은 상승하고 MOS의 도통으로 그라운드로 전류 경로가 형성되어 공급 전원전압이 하강하게 된다.

그림 15와 같이 저전압에서 MOS는 오프(off) 상태로 셉트 MOS는 다른 MOS에 비해 상당히 크며, 약 2.3V 근처에서 셉트 MOS의 도통으로 Vgs-Ids 곡선과 같이 전류가 선형적인 특징을 가지는 변이 부하 역할을 하고 있다.

라. 클럭 생성기(Clock generator)

클럭 생성기는 주파수 합성기 및 클럭 데이터 복원기에서 출력 주파수 및 샘플링을 위해서 필요한 신호를 만들어 내는 역할을 한다. 태그의 특성상 외부 오실레이터를 이용한 클럭 공급을 할 수 없기 때문에 클럭을 자체 생성하거나 인터로게이터(interrogator) 안테나에서 방사하고 있는 캐리어 신호로부터 클럭을 복원하는 방법이 있을 수 있다. 본 논문에서는 저 전력 및 회로 복잡도를 고려하여 내부 생성 클럭으로 설계하였다.

그림 16은 차동 링 지연셀을 4단으로 구성하여 발진 신호를 연산증폭기의 입력으로 사용하여 기저 대역 신호를 생성하는 구조를 보여주고 있으며, 발진 초기화를 위해 스타트 업 회로와 각 지연셀 넷(net)에 연산증폭기 입력단 더미 회로(dummy circuit)로 구성되어 있다. 회로의 구성은 태그의 특성상 면적과 안정성을 고려하여 가장 간단한 지연셀을 이용하였다.

III. 실험 및 결과

그림 17과 제작된 저 전력 태그 칩의 레이아웃과 태그 칩의 확대 사진이다. AFE, Digital Block, Memory로 구성되어 있으며, 총 4개의 PAD로 Antenna PAD

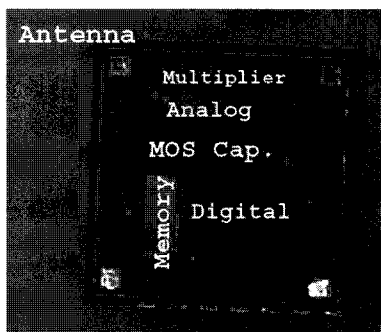


그림 17. 태그 칩
Fig. 17. Tag chip.

표 1. 소모 전류(μA)
Table 1. Current consumption(μA).

Bias	Modulator	LDO	Clock	Digital + Memory	Total
0.511	0.713	1.73	1.132	4.82	8.906

표 2. 실험을 위한 다양한 COB
Table 2. Various COBs for test.

실험 목적	번호	구성	비고
Full Chip	0	Analog(Half-Wave) + Digital + Memory	Full function Test (Demo 용)
Analog	1	Analog(Dual) + RNG	Dual-Path방식, RNG test
	2	Analog(Half) + RNG	Half-Wave방식, RNG test
Digital	3	Analog(Half-Wave) + Digital + Memory	Memory는 연결하지 않음(PAD) Digital Test용
	4	Digital Block Test	Digital Block Test용
Memory	5	Memory Test Block	Memory Test용

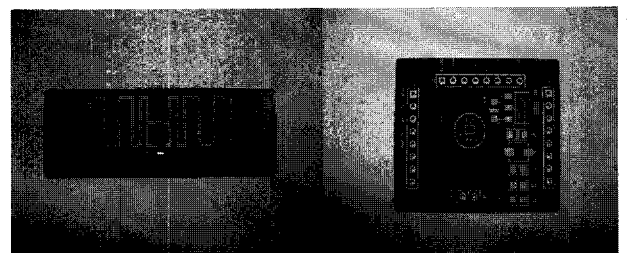


그림 18. 테스트를 위한 COB 보드와 제작 안테나
Fig. 18. COB board and antennae for test.

외에 외부 복조(external modulation)를 위한 PAD도 포함하고 있다(Basic split). 레이아웃의 크기는 외곽의 sealing을 포함하여 $750\mu m \times 750\mu m$ 이며 표 1과 같이 총 소모 전류가 $8.906\mu A$ 로서, 공급 전원전압이 2V 일 때 소모 전력은 $17.8\mu W$ 가 된다.

실험을 위한 다양한 COB는 표 2와 같이 크게 4종류로 나눌 수 있다. 전체 기능을 모두 가지고 있는 칩과 아날로그, 디지털, 그리고 메모리 모듈을 실험하는 부분이다. 그림 18은 실험을 위해 사용한 COB 보드와 제작 안테나이다. 그림 19와 같이 실험 환경으로 구성하여 상용 제품으로 판매하고 있는 SAMsys 리더기를 이용하여 리더기 요청 신호를 발생하고, 다이폴 안테나와 결합한 COB 상의 태그 응답을 Tektronix사의

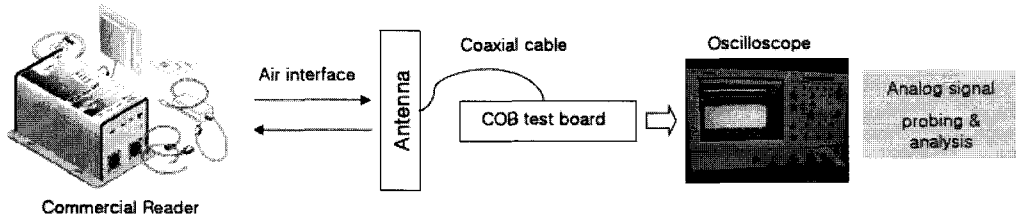


그림 19. UHF 리더와 오실로스코프의 테스트 환경
 Fig. 19. Test environment with UHF reader and oscilloscope.

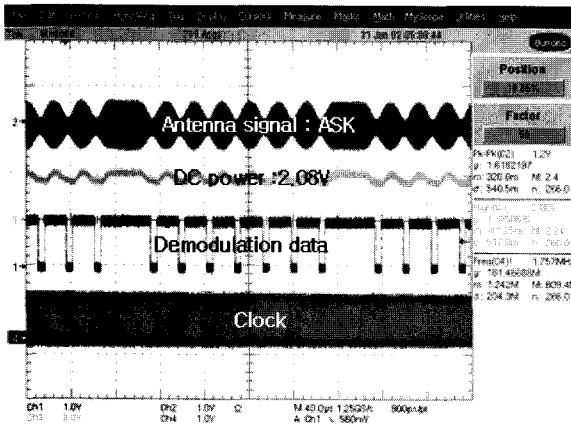


그림 20. 태그 칩 실험 파형
 Fig. 20. Tag chip test waveform.

TDS5104B 오실로스코프를 이용하여 검침하고 그 테스트 결과를 그림 20에 나타냈다.

IV. 결 론

제작한 태그 칩은 RF신호를 송수신하는 아날로그와 기저 대역의 신호를 생성하는 디지털 부분으로 구성되어 있다. 클럭 구조의 변경에 의한 저 전력화는 일반 클럭보다는 게이티드 클럭(gated-clock)에서 훨씬 좋은 결과를 얻을 수 있었으며, 로직 동작 구조의 세밀한 분석 과정을 거쳐 좀 더 효율적인 구성을 한다면 순간 최대 전력을 줄일 수 있을 것이다. 내부 전력의 생성을 위해 5단 멀티플라이어를 구성하였으며, 복조회로와 바이어스 회로를 구성하고 칩 전체를 보호하는 회로인 프로텍터는 션트(shunt)방식의 회로를 채택하였다. LDO는 멀티플라이어에서 생성한 DC 전원을 더 안정적으로 생성하기 위해 사용하였다. 태그 로직은 전체를 관장하는 주 상태 머신(main state machine)이 있고 이를 기반으로 각 모듈로 구성되어 있으며, 태그 로직의 면적은 $101,952\mu\text{m}^2$ 이고, 약 5,900개의 게이트로 되어 있다. 태그 칩을 검증하기 위해 보드 등을 제작하여 기능 검증 및 소모 전류 측정을 수행하였다. 본 논문에서 설계한 태그 칩은 $0.25\mu\text{m}$ CMOS/FeRAM 공정을 사용하였다.

제작한 태그 칩의 면적은 절단 선을 포함하여 $750\mu\text{m} \times 750\mu\text{m}$ 이며, 태그는 인가전압 2V에서 전류 소모가 $8.906\mu\text{A}$ 로서 소모 전력은 약 $17.8\mu\text{W}$ 의 아주 작은 값을 확인할 수 있었다.

참 고 문 헌

- [1] Daniel M. Dobkin, Daniel J. Kurtz, "Overview of EPCglobal Class 1 Generation 2 and Comparison with 1st Generation EPCglobal Standards".
- [2] Ulrich L. Rohde, David P. Newkirk, *RF/Microwave Circuit Design for Wireless Applications*, John Wiley & Sons, Inc., 2000.
- [3] Giuseppe De Vita, Giuseppe Iannoaccone, "Design Criteria for the RF Section of UHF and Microwave Passive RFID Transponders," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 9, pp. 2978~2990, Sep. 2005.
- [4] Zheng Zhu, "RFID Analog Front End Design Tutorial (version 0.0)," Auto-ID Labs. at University of Adelaide, Aug. 2004, <http://autoidlab.eleceng.adelaide.edu.au/Papers.html>

저 자 소 개



권 혁 제(정회원)
1995년 전북대학교 자원공학과
학사 졸업.
2005년 전북대학교 전자공학과
석사 졸업.
2008년 전북대학교 전자공학과
박사 졸업.

<주관심분야 : 통신, 신호처리, 반도체>



이 철 희(정회원)
1997년 원광대학교 제어계측공학
학사 졸업.
2001년 전북대학교 전자공학과
석사 졸업.
2001년~전북대학교 전자공학과
박사 과정.

<주관심분야 : 통신, 음성신호처리, 반도체 >



이 평 한(정회원)
1985년 부산대학교 전자공학과
학사 졸업.
1997년 한국과학기술원
전자공학과 석사 졸업.
1992년 한국과학기술원
전자공학과 박사 졸업.

<주관심분야 : 통신, CAD, 반도체>



김 종 교(평생회원)
1966년 전북대학교 전자공학과
학사 졸업.
1977년 전북대학교 전자공학과
석사 졸업.
1983년 전북대학교 전자공학과
박사 졸업.

1979년~현재 전북대학교 전자정보공학부 교수.
<주관심분야 : 통신, 음성신호처리, CAD>