

논문 2008-45SD-12-9

0.4-2GHz, Seamless 주파수 트래킹 제어 이중 루프 디지털 PLL

(A 0.4-2GHz, Seamless Frequency Tracking controlled Dual-loop
digital PLL)

손 영 상*, 임 지 훈*, 하 중 찬*, 위 재 경**

(Young-Sang Son, Ji-Hoon Lim, Jong-Chan Ha, and Jae-Kyung Wee)

요 약

이 논문은 seamless 주파수 트래킹 방법을 이용한 새로운 이중 루프 디지털 PLL(DPLL)을 제안한다. Coarse 루프와 fine 루프로 구성되는 이중 루프 구조는 빠른 획득 시간과 스위칭 잡음 억제를 위하여 successive approximation register 기법과 TDC 회로를 사용하였다. 제안된 DPLL은 입력 주파수의 long-term 지터에 따른 지터 특성을 보상하기 위하여 Coarse와 fine의 코드 변환 주파수 트래킹 방법을 새로이 추가하였다. 또한, 제안된 DPLL은 넓은 주파수 동작 범위와 낮은 지터 특성 위하여 전류 제어 발진기와 V-I 변환기로 구성되는 전압제어 발진기를 채택하였다. 제안된 DPLL은 동부 하이텍 0.18- μm CMOS 공정으로 구현하였으며 1.8V의 공급전압에서 0.4-2GHz의 넓은 동작 주파수 범위와 0.18mm²의 적은 면적을 가진다. H-SPICE 시뮬레이션을 통하여, DPLL은 2GHz의 동작 주파수에서 18mW 파워소비와 전원잡음이 없는 경우 3psec이하의 p-p period 지터를 확인하였다.

Abstract

This paper proposes a new dual-loop digital PLL(DPLL) using seamless frequency tracking methods. The dual-loop construction, which is composed of the coarse and fine loop for fast locking time and a switching noise suppression, is used successive approximation register technique and TDC. The proposed DPLL in order to compensate the quality of jitter which follows long-term of input frequency is newly added cord conversion frequency tracking method. Also, this DPLL has VCO circuitry consisting of digitally controlled V-I converter and current-control oscillator (CCO) for robust jitter characteristics and wide lock range. The chip is fabricated with Dongbu HiTek 0.18- μm CMOS technology. Its operation range has the wide operation range of 0.4-2GHz and the area of 0.18mm². It shows the peak-to-peak period jitter of 2 psec under no power noise and the power dissipation of 18mW at 2GHz through HSPICE simulation.

Keywords : digital phase-locked loop, time-to-digital converter, digital-to-analog converter, successive approximation register, dual-loop PLL

I. 소 개

Phase-locked loops (PLL)는 다양한 응용부에서 사용되며 특히 데이터 통신 시스템에서의 필수적인 요소로 사용되는 시스템이다. 일반적으로, 아날로그 PLL

은 낮은 지터 특성을 갖는 장점으로 인해 널리 사용된다. 하지만 deep sub-micron 공정에서 저역 통과 필터에서의 커패시터의 누설전류의 증가는 아날로그 PLL의 지터 성능에 영향을 미치는 하나의 제한 요소가 된다. 따라서 이를 해결하기 위한 방법 중의 하나가 Digital PLL(DPLL)을 사용하는 것이다. DPLL은 아날로그 PLL과 비교해서 몇 가지 장점을 가진다. 우선 DPLL 저항과 커패시터와 같은 수동소자 없이 적은 면적으로 구현 가능하며 커패시터의 누설 전류 문제를 고려할 필요가 없는 장점이 있다. 또한 DPLL은 아날로그 PLL에

* 학생회원, ** 정회원, 숭실대학교 정보통신전자공학과 (School of Electronic Engineering, Soongsil University):

※ 본 연구는 숭실대학교 교내연구비 지원으로 이루어 졌음

접수일자: 2008년 월 일, 수정완료일: 2008년 월 일

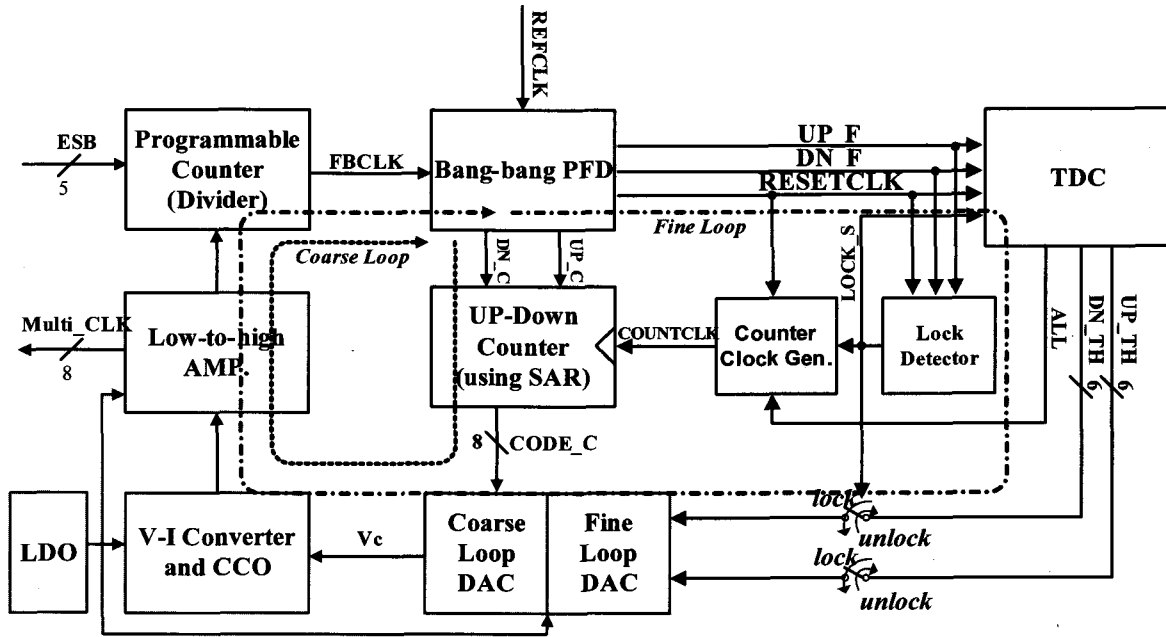


그림 1. 제안된 이중 루프 DPLL 구조
 Fig. 1. Architecture of the proposed Dual-loops DPLL.

비해 전원 잡음에 상당히 강한 특성을 가진다^[1].

하지만 DPLL은 디지털 제어 방식을 이용하여 루프를 제어하기 때문에 코드 변환 시 스위칭 잡음과 비트당 해상도의 제한으로 인하여 아날로그 PLL에 비하여 지터 특성이 좋지 않다. 이를 해결하기 위해 DPLL은 지터 특성 향상을 위한 회로의 복잡성이 요구되며 이것은 파워 소모와 면적을 증가시키는 원인이 된다^[2]. 따라서 저 전력, 저 면적 구조의 고 해상도를 가지는 이중루프 제어 방식이 필요하다. 또한, PLL의 주요한 특성 중의 하나는 입력 REFCLK 클럭 신호의 long-term 지터에 대하여 PLL의 출력 주파수가 트래킹(tracking)되어야 한다. 하지만 이중 루프의 DPLL의 경우 fine 루프의 주파수 트래킹 범위를 벗어나는 long-term 지터의 발생에 대해서는 재획득을 위하여 PLL이 다시 동작하게 된다^[2]. 이러한 재획득 과정에서 PLL의 지터 성능이 나빠지게 된다. 따라서 이러한 재획득 과정 없이 seamless 동작을 위한 제어방식이 필요하다.

본 논문에서는 coarse 루프와 fine 루프의 제어 코드 변환을 이용하여 seamless한 주파수 트래킹이 가능한 이중 루프 DPLL을 제안한다. Coarse 루프와 fine 루프로 구성되는 이중 루프 구조는 빠른 획득 시간과 스위칭 잡음 억제력을 위하여 successive approximation register (SAR)기법과 TDC 회로를 사용하였다. 또한 입력 주파수의 long-term 지터에 따른 지터 특성을 보

상하기 위하여 Coarse와 fine의 코드 변환 주파수 트래킹 방법을 새로이 추가하였다. 제안된 DPLL은 넓은 주파수 동작 범위와 낮은 지터 특성 위하여 전류 제어 발진기와 V-I 변환기로 구성되는 전압제어 발진기를 채택하였다. 제안된 DPLL은 동부 하이텍 0.18- μ m CMOS 공정으로 구현하였으며 1.8V의 공급전압에서 0.4-2GHz의 넓은 동작 주파수 범위와 0.18mm²의 적은 면적을 가진다.

II. 제안된 DPLL의 구조 및 lock-in 절차

그림 1은 제안된 이중 루프 DPLL의 구조를 보여준다. 제안된 이중 루프 DPLL은 크게 UP/Down counter와 coarse DAC에 의해 제어되는 coarse 루프와 time-to-digital converter(TDC)와 fine DAC로 제어되는 fine 루프로 구성된다. Coarse 루프는 빠른 획득 시간을 얻기 위하여 successful approximation register (SAR) 기법을 이용하여 lock in 절차가 이루어지며 fine 루프는 코드 변환 시 스위칭 잡음의 억제를 위하여 thermometer 코드 방식으로 lock in 절차가 진행된다.

초기 동작 시, bang-bang PFD (위상 주파수 검출기)는 REFCLK과 FBCLK의 위상과 주파수를 서로 비교하여 RESET_CLK, UP_F, UP_C, DN_F 그리고 DN_C 신호를 출력한다. UP_C와 DN_C의 신호는 UP/DOWN

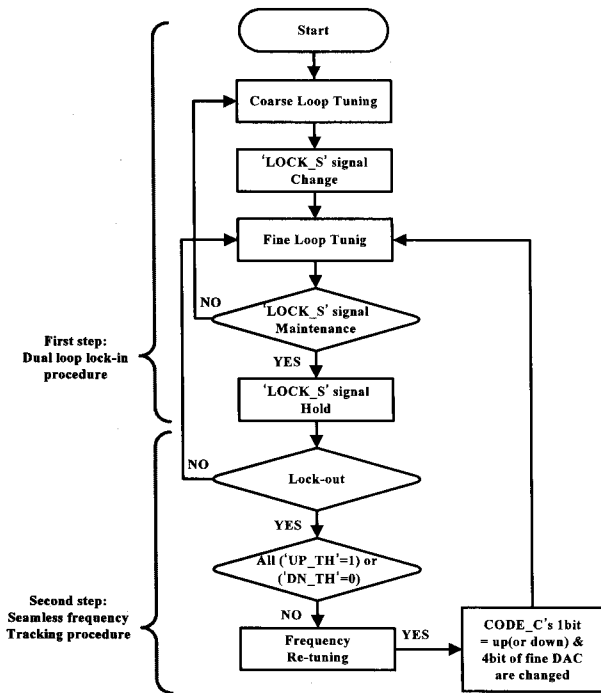


그림 2. 제안된 DPLL의 동작 흐름도
Fig. 2. Operation flow chart of the proposed DPLL.

counter에 입력되고 8-bit 출력 데이터를 coarse DAC에 전달한다. Coarse DAC는 디지털 코드를 VCO의 제어 전압 (V_{Ctrl})으로 변환시켜 루프를 제어한다. Coarse 루프 동작 시 lock detector는 bang-bang PFD의 출력 신호인 UP_F, DN_F, RESET_CLK을 이용하여 coarse 루프가 lock 상태인지를 체크한다. Coarse 루프가 lock 되면 count clock generator의 count_clk 출력 신호를 'high'로 유지시켜 UP/Down counter를 비활성화시키고 fine 루프를 동작시킨다. TDC는 UP_F와 DN_F의 펄스 폭 차를 디지털 출력인 UP_TH 과 DN_TH 신호로 변환시키고 fine DAC에 직접 인가함으로써 루프를 제어한다.

그림 2는 전체 이중 루프 DPLL의 동작 흐름 도를 보여준다. 동작 방법은 순서적으로 이중 루프 lock-in 절차와 seamless 주파수 트래킹 절차로 이루어진다. 이중 루프 lock-in 절차는 LOCK_S 신호가 'high'에서 'low'로 천이되어 RESET_CLK 신호가 10 클럭 사이클 이상 'low'로 상태로 유지되는지에 의해서 coarse 또는 fine 루프의 동작 유무가 결정되고 lock이 이루어진다. DPLL의 lock 상태에서 REFCLK 신호의 long-term 지터에 대한 주파수 트래킹이 시작될 때 TDC의 UP_TH 또는 DN_TH 출력 신호가 "111111" 또는 "000000"의 최종 값이 되면 fine 루프의 제어 범위를 벗어나게 된다. 이를 해결하기 위해 fine DAC의 1bit에 해당되는

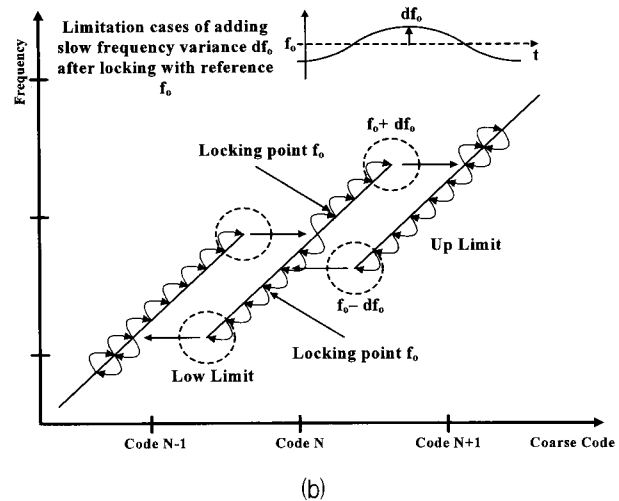
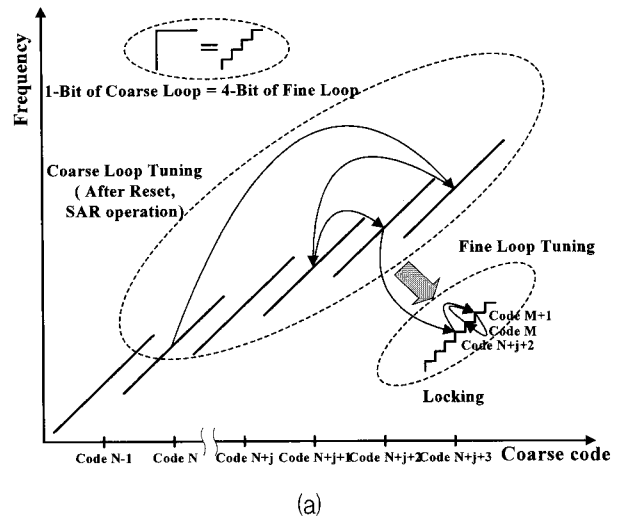


그림 3. (a) 제안된 DPLL의 lock-in 절차 (b) lock-in 후 주파수 (f_0)의 변화에 따른 seamless lock-in 절차
Fig. 3. (a) The lock-in procedure of the proposed DPLL (b) The seamless lock-in procedure according to the frequency (f_0) variation after lock-in.

해상도를 증가 또는 감소시키기 위하여 CODE_C의 1bit는 증가 또는 감소하고 TDC의 하위 4bit 출력 신호는 "110000" 또는 "001111"로 변환된다. 이러한 방법을 통해 제안된 DPLL은 Coarse 루프의 재 튜닝 없이 seamless하게 주파수를 트래킹 할 수 있다.

그림 3은 그림 2에서의 2 단계의 lock-in 절차에 대한 도식적 표현을 보여준다. 그림 3의 (a)는 제안된 이중 루프 DPLL의 coarse/fine 루프의 lock 과정을 보여준다. 초기 coarse 루프 튜닝 과정에서 가령 코드 N이 SAR 기법 후 coarse 루프 동작에 의해 N+j+2로 변화되면 코드 M은 fine 루프 튜닝 과정에 의해 얻어지고 코드 M과 코드 M+1사이에서 lock이 유지된다. Coarse DAC의 bit당 해상도는 fine DAC의 비트당 1/4의 해

상도를 가지며 더욱더 정밀한 제어가 가능하다.

그림 3의 (b)는 재획득 과정에서 발생하는 지터를 줄이기 위해서 seamless 하게 주파수를 트래킹 하는 과정을 보여준다. 입력 주파수의 variation을 PLL의 출력 주파수는 트래킹해야 한다. 1 비트의 coarse 코드의 범위를 넘는 입력 주파수의 variation이 발생하게 되면 그림 3의 (b)에서 보듯이 coarse code가 seamless하게 변화하면서 입력 주파수의 변화량을 따라간다. dual-loop의 문제점인 coarse 코드 1 비트로 입력 주파수를 트래킹 할 수 없을 때 발생하는 문제점을 최소화하기 위한 방법을 설명하였다.

III. 회로 설계

가. Coarse & Fine Digital-to-Analog Converter

그림 4는 Coarse 와 fine DAC의 블록 도를 보여준다. Coarse DAC는 UP/Down counter의 출력인 8bit binary weighted 코드에 의해서 제어되고 fine DAC는 TDC의 출력인 12bit thermometer 코드에 의하여 제어된다. Coarse 루프의 동작 시, TDC의 UP_TH와 DN_TH의 6bit 출력 값은 각각 "000000"과 "111111"로 초기 세팅되어 중간 값을 유지하고 있다가 Lock 검출기의 출력신호인 LOCK_S가 'high'에서 'low'로 천이되면 TDC가 활성화되어 Fine DAC가 동작하게 된다. Coarse DAC에서 최소 cell에 흐르는 전류소모는 5-μA이며 fine DAC의 단위 셀의 전류소모는 1.25μA이다. 또한 DAC의 cell은 cascade 전류미러를 이용한 전류 바이어스를 사용하여 전원 잡음에 둔감하게 설계하였다.

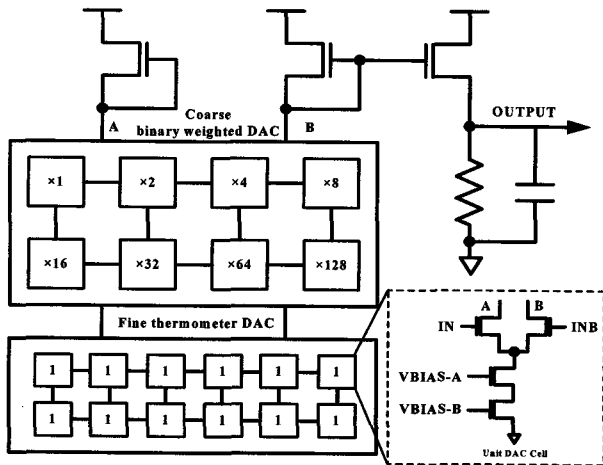


그림 4. Coarse 와 fine 디지털-아날로그 변환기의 블록도
Fig. 4. Block diagram of the coarse and the fine digital-to-analog converter.

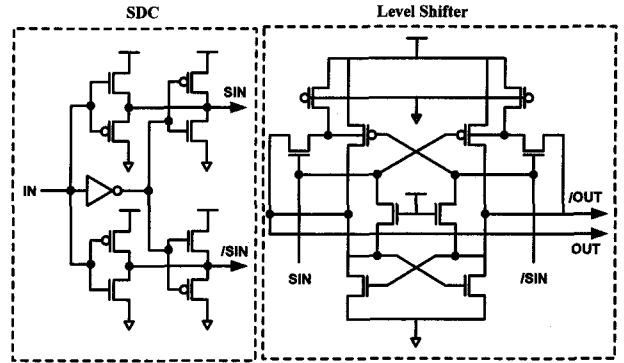


그림 5. 수정된 차동 클럭 발생기
Fig. 5. Modified differential clock generator.

그림 5는 differential clock generator (DCG)를 보여준다. DCG는 DAC cell의 정확한 차동 입력 클럭을 제공하기 위해 single input-to-differential output converter (SDC)와 level shifter회로로 구성된다. SDC는 phase interpolation 기술과 대칭적인 구조로 인해 공정, 동작전압, 온도변화에 대하여 차동 출력 클럭의 왜곡을 최소화한다^[4]. 또한, Level shifter 회로는 SDC 차동 출력 클럭의 천이 변화에 대하여 듀티 사이클 왜곡과 전달 지연을 개선시키기 위해 사용되었다^[5].

나. Lock detector

그림 6 (a), (b)는 lock 검출기의 블록도와 타이밍 도를 나타낸다. lock 검출기는 두 입력 클럭의 위상차를

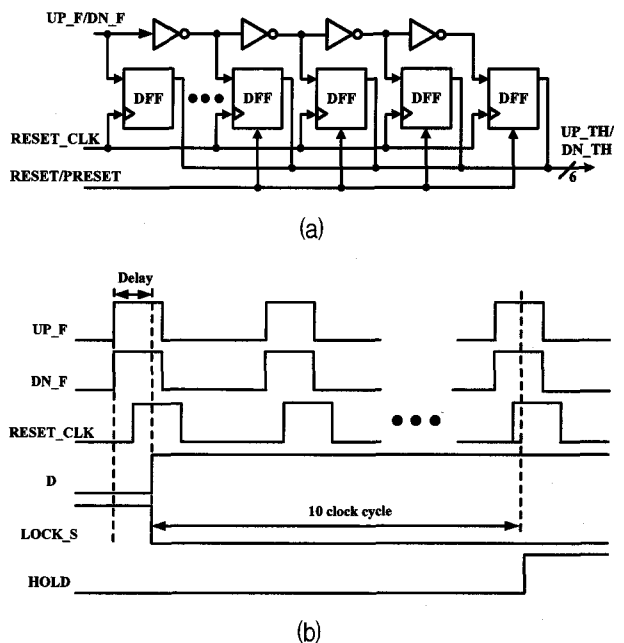


그림 6. (a) Lock 검출기 블록도 (b) 타이밍도
Fig. 6. (a) Block diagram of lock detector (b) Timing diagram.

비교하는 것으로 간단한 디지털 discriminator aided 위상 검출기를 사용하였다^[6]. lock 검출기의 타이밍 도는 그림 6 (b)에서 보인 바와 같이 DPLL이 lock 상태에 근접할 때, UP_F와 DN_F 클럭신호의 rising 에지가 가까워지게 된다. 이 때, OR 게이트와 지연 회로를 통한 D 신호가 지연회로의 지연시간보다 작아지면 결과적으로 LOCK_S는 'low'상태가 된다. 여기에 10bit 쉬프트 레지스터를 추가하여 RESET_CLK 클럭 신호의 10 사이클 동안 LOCK_S가 유지되면 'hold'가 되어 fine 루프가 활성화된다.

다. Seamless Frequency Tracking Circuits

그림 7의 (a), (b), (c)는 TDC의 블록도와 카운터 클럭 발생기 회로, RESET 생성 회로를 보여준다. TDC는 UP_F와 DN_F의 클럭신호에 대하여 각각 6개의 플립플롭으로 구성되고 플립플롭은 지연시간과 구동 능력을 향상시키기 위하여 대칭적 구조의 sense amplifier bases flip-flop(SAFF)를 사용하였다^[9]. 카운터 클럭 발생기는 coarse 루프의 대역폭을 보장하기 위하여 1/16

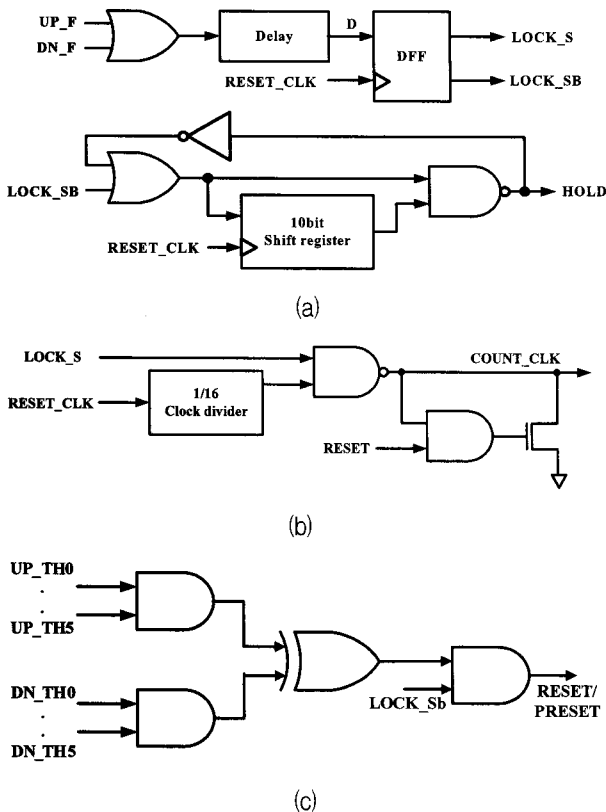


그림 7. (a) TDC 블록도 (b) 카운터 클럭 발생기 회로 (c) RESET 생성 회로
 Fig. 7. (a) Block diagram of the TDC (b) The counter clock generator circuit (c) The RESET generation circuit.

클럭 분주기를 사용하였다. REFCLK신호의 seamless 주파수 트래킹하기 위하여 RESET/ PRESET 신호는 fine 루프 동작 시, fine DAC 범위를 벗어나는 경우 UP_TH와 DN_TH 신호 값을 “110000”과 “001111”로 변환시킨다. 또한, RESET이 'high'가 되면 COUNT_CLK 신호는 'high' 상태에서 'low'로 변화시켜 falling 에지에서 동작하는 8bit 업/다운 카운터의 1bit를 증가 또는 감소시킨다.

라. V-I Converter & Current Controlled Oscillator VCO는 넓은 주파수 범위, 선형 이득 특성, 전원 전압 잡음 억제 그리고 낮은 파워소모를 위하여 전압-전류 변환기와 전류 제어 발진기로 구성되는 VCO를 채택하였다^[3]. VCO 특성 곡선은 그림 8의 시뮬레이션 결과에서 보인바와 같이 DAC 코드 값에 대하여 높은 선형 이득 특성을 얻을 수 있으며 공정 변화에 따른 최대 주파수는 1.91GHz이다.

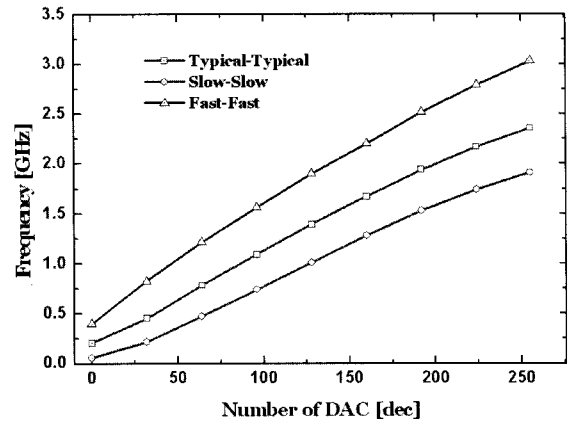


그림 8. 공정 변화에 따른 VCO 특성 곡선
 Fig. 8. VCO characteristic curve according to the process variation.

IV. 실험 결과

그림 9는 HSPICE 시뮬레이션을 통하여 각 출력 주파수 0.5GHz, 1GHz 그리고 1.5GHz의 주파수 획득 과정에 대한 V_{ctrl} 변화를 보여준다. Coarse 루프의 SAR 기법을 이용하여 최대 획득시간은 0.5GHz에서 5usec 이하이며 V_{ctrl}의 p-p 전압은 ±1mV 로서 출력 주파수의 낮은 지터를 발생시킨다. 그림 10은 1MHz의 ±5%의 전원 전압 잡음을 인가하였을 때 2GHz의 출력 주파수에 대한 period 지터와 히스토그램을 보여준다. 시뮬레이션

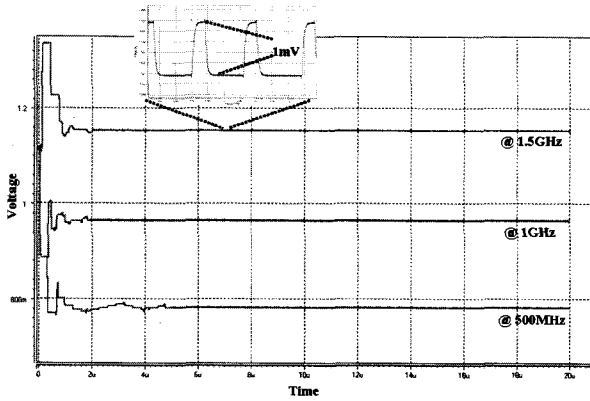


그림 9. 출력 주파수에 따른 주파수 획득 시간
Fig. 9. The frequency acquisition time according to the output frequency.

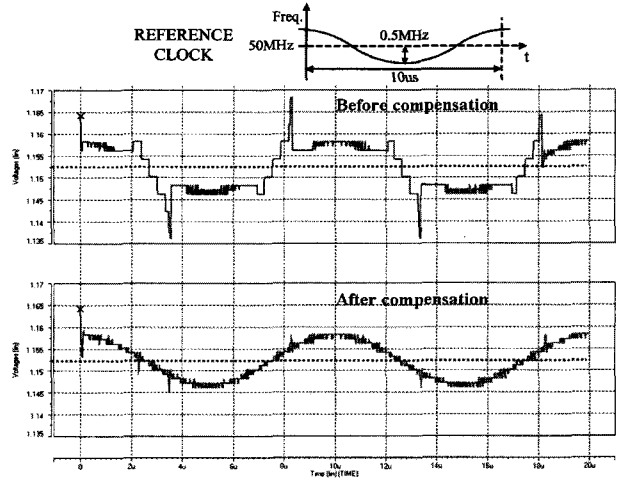


그림 11. 1.5GHz 대역에서 seamless 주파수 트래킹을 위한 보상 전과 후의 시뮬레이션 결과
Fig. 11. The simulation result before and after compensation for seamless frequency-tracking at 1.5GHz.

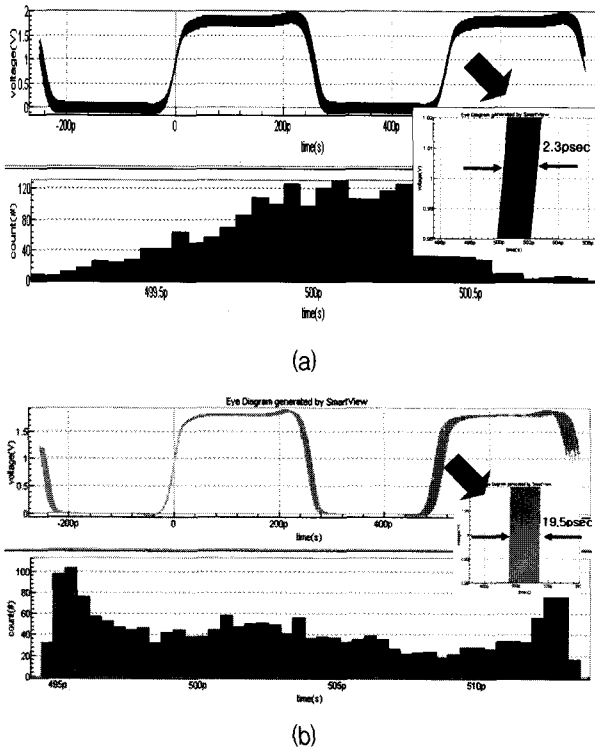


그림 10. 2GHz 대역에서의 period jitter 및 히스토그램,
(a)전원잡음이 없을때, (b) 5% 전원잡음시
Fig. 10. The period jitter and the histogram at 2GHz.
(a) without power noise, (b) with 5% power noise

결과를 통하여 DPLL은 전원 전압 잡음에 둔감한 19.5psec p-p jitter의 낮은 jitter를 가진다. 또한 전원 잡음이 없는 경우는 2.3psec p-p jitter를 가진다.

그림 11은 DPLL이 locking 시, 50MHz의 입력 REFCLK 클럭 신호의 long-term jitter 특성에 따른 V_{ctrl} 신호의 트래킹 변화를 보여준다. 보상 전의 DPLL은 fine DAC 코드 범위를 벗어나게 되면 주파수 재획득을 위해 coarse 루프가 재동작하여 높은 jitter 특성

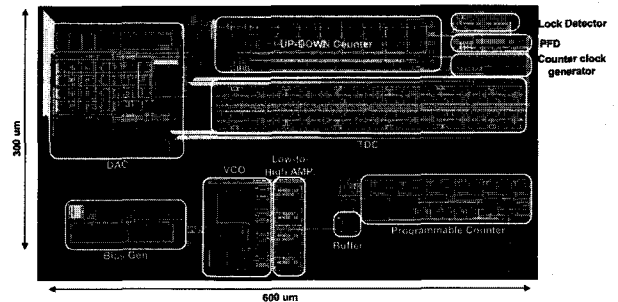


그림 12. 제안된 이중 루프 DPLL의 layout
Fig. 12. The layout of the proposed dual-loops DPLL.

의 출력 주파수 갖지만 보상 후의 제안된 DPLL은 coarse 루프의 재동작 없이 seamless하게 주파수를 트래킹을 하여 낮은 jitter 특성을 갖는 출력 주파수를 얻을 수 있다.

그림 12는 0.18µm CMOS 공정으로 구현된 제안된 이중 루프 DPLL을 보여준다. seamless 주파수 트래킹 방법을 이용한 제안된 DPLL은 표 1에서 보인 바와 같이 [2], [8], [9]에 비교하여 0.18 mm²의 작은 면적을 갖는다. 또한, [1], [2] 그리고 [9]의 기존 DPLL에 비교하여 높은 출력 주파수에서 적은 파워를 소모하는 장점을 가진다.

V. 결론

본 논문은 seamless 주파수 트래킹 방법을 이용한 이중 루프 DPLL을 제안한다. 제안된 DPLL은 0.18µm CMOS 공정으로 구현되었으며 1.8V 공급전압에서 0.4-2GHz의

표 1. 성능 비교
Table 1. Performance Comparison

Performance Parameter	[1]	[2]	[8]	[9]	This work
Output Frequency	152-366 MHz	0.5-1.5GHz	0.7-1.7 GHz	57.2-934 MHz	0.4-2GHz
Supply Voltage	3V	1.8V	N/A	3.3V	1.8V
Technology	0.35- μ m	0.18- μ m	0.13- μ m	0.6- μ m	0.18- μ m
Active Area	0.07mm ²	0.27mm ²	0.6mm ²	0.83mm ²	0.18 mm ²
Power Dissipation	24mW @366MHz	27mW @670MHz	17mW @ 1.2GHz	105mW @ 400MHz	18.23mW @1GHz
Periodic Jitter (peak to peak jitter @ operation frequency)	N/A	70ps @ 670MHz	56ps @ 1.2GHz	N/A	2.3ps @ 2GHz (by simulation)
Jitter of Other Types (peak to peak jitter @ operation frequency)	1.2ns @ 320MHz (edge to reference)	N/A	N/A	136ps @ 400MHz (Cycle to cycle jitter)	N/A

넓은 주파수 출력 범위를 가진다. 또한, 시뮬레이션 결과에서 period p-p 지터는 2GHz에서 전원 잡음이 없는 경우 3psec 이하이고 $\pm 5\%$ 의 전원잡음이 있는 경우 20psec 정도를 갖는다. 전력소모는 1GHz출력 주파수에서 18.23mW의 파워 소모를 가진다. 제안된 DPLL은 seamless 주파수 트래킹 방법을 이용한 저 전력/저면적 구조로서 향후 system-on-chip 응용에 활용될 수 있다.

참 고 문 헌

[1] Thomas Olsson and Peter Nilsson, "A Digitally controlled PLL for SoC Applications", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 39, NO. 5, pp. 751-760, MAY 2004.

[2] Kwang-Jin LEE, Hyo-chang KIM, Uk-Rae CHO, Hyun-Geun BYUN, and Suki KIM, "A Low Jitter ADPLL for Mobile Applications", IEICE TRANS. ELECTRON., VOL.E88-C, NO.6 JUNE 2005

[3] Mozghan Mansuri and Chih-Kong Ken Yang, "A Low-Power Adaptive bandwidth PLL and Clock Buffer With Supply-Noise Compensation", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 38, NO. 11, pp. 1804-1812, NOVEMBER 2003.

[4] Youn-Sik Park, Bai-Sun Kong and Young-Hyun Jun, "PVT Invariant Single Input-to-Differential Output Converter For High Speed DDR SDRAM" SoC Conference, 2007.

[5] Ji-Hoon LIM, Jong-Chan HA, Won-Young JUNG, Yong-Ju KIM, Jae-Kyung WEE, "A Novel High-Speed and Low-Voltage CMOS Level-Up/Down Shifter Design for Multiple-Power and Multiple-Clock Domain Chips" IEICE TRANS. ELECTRON., VOL.E90-C, NO.3 MARCH 2007.

[6] Wei-Hao Chiu, Tai-Shun Chan, and Tsung-Hsien Lin, "A 5.5-GHz 16-mW Fast-locking Frequency Synthesizer in 0.18- μ m CMOS", IEEE Asian Solid-State Circuits Conference, sec. 17-4, p.p 456-459, November 12-14, 2007.

[7] Borivoje Nikolic', , Vojin G. Oklobd'zija, Vladimir Stojanovic', Wenyan Jia, James Kar-Shing Chiu, and Michael Ming-Tak Leung, "Improved Sense-Amplifier-Bases Flip-Flop: Design and Measurements" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 35, NO. 6, pp. 876-884, JUNE 2000.

[8] Volodymyr Kratyuk, Pavan Kumar Hanumolu, Kerem Ok, Kartikeya Mayaram and Un-Ku Moon, "A Digital PLL with a Stochastic Time-to-Digital Converter" 2006 Symposium on VLSI Circuits Digest of Technical Papers, pp. 31-32, Honolulu, June 2006.

[9] Inchul Hwang, Soonsub Lee, Sangwon Lee, Soowon Kim, "A Digitally Controlled Phase Locked Loop with Fast Locking Scheme for Clock Synthesis Application" 2000 IEEE International Solid-State Circuits Conference, pp. 168-169, 453, San Francisco, Feb. 2000.

 저 자 소 개



손 영 상(학생회원)
 2006년 숭실대학교 전자공학과
 학사 졸업.
 2006년 숭실대학교 전자공학과
 석사 과정.
 <주관심분야 : CMOS High
 speed PLL and Clocking design>



하 중 찬(학생회원)
 2002년 한림대학교
 전자공학과 학사 졸업.
 2004년 한림대학교
 전자공학과 석사 졸업.
 2005년 숭실대학교
 전자공학과 박사 과정.
 <주관심분야 : CMOS High speed Clocking and
 I/O interface circuit design >



임 지 훈(학생회원)
 2004년 한림대학교
 전자공학과 학사 졸업.
 2008년 한림대학교
 전자공학과 석사 졸업.
 2008년 숭실대학교
 전자공학과 박사 과정.
 <주관심분야 : CMOS High speed DLL/PLL 과
 VRM, Gate Driver 및 Power I.C 설계>



위 재 경(정회원)-교신저자
 1998년 연세대학교
 물리학과 학사 졸업.
 1990년 서울대학교
 물리학과 석사 졸업.
 1998년 서울대학교
 전자공학과 박사 졸업.
 1990년~2002년 하이닉스 메모리 연구소 근무
 2002년~2004년 한림대학교 정보통신공학부
 조교수
 2004년~2007년 숭실대학교 정보통신전자공학부
 조교수
 2008년~현재 숭실대학교 정보통신전자공학부
 부교수
 <주관심분야 : System-in-Package 설계 및 고속
 SoC, high speed I/O interface, DLL/PLL, Mixed
 Mode 설계>