







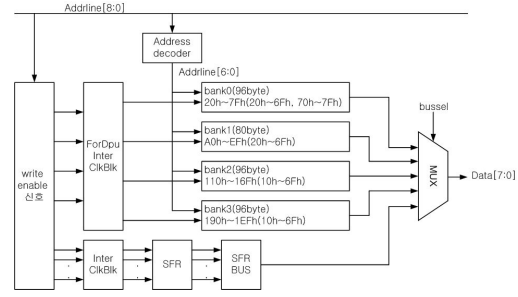


레지스터를 구성하는 플립-플롭은 클럭 뿐만아니라 외부 입력 신호들도 존재한다. 이는 비트 단위당 클럭과 외부 입력 신호가 존재하는 것을 의미한다. 따라서 8비트 레지스터는 8개의 클럭과  $n$ (외부입력신호수)  $\times$  8개의 외부 입력 신호선이 존재한다. <그림 2>는  $(8 \times \text{Clock} + n \times 8)$  개의 레지스터 입력 신호수를 클럭 게이팅 블록을 통해 생성된 슬레이브 클럭으로 레지스터 입력의 수를 단일화하고 입력 신호수를 줄였다. <그림 2>에서 레지스터는 write enable 인  $wrtEn$  신호와 write 인  $wrt$  신호를 입력으로 가지고 있고 이를 클럭에 동기시켜 슬레이브 클럭인 로드신호를 생성한다.

본 논문에서 적용하고자 하는 저전력 프로세서 데이터 패스 설계 기법은 레지스터 입력신호인 클럭과 외부 입력 신호간의 논리식을 통해 공통항을 생성하고 클럭을 효율적으로 통제하기 위한 방법으로 클럭 게이팅을 적용하는 것이다. 이러한 적용 방법에서 가장 중요한 것은 클럭 게이팅 블록의 역할이다. 기존의 레지스터는 데이터 쓰기 (write) 동작이외에도 클럭이 공급되도록 되어 있으나 이러한 것은 클럭을 소모하게 되며 이에 따라 전력 소모가 발생되어 진다. 따라서 이러한 클럭을 줄이기 위해서는 특정 조건외의 클럭에 대해서는 로드 신호를 '0' 으로 만들고 트리거가 발생하지 않도록 한다. 이러한 방법은 클럭이 차지하는 전력 낭비를 근본적으로 줄이게 된다.

### 3-1-3. 데이터 패스 응용

<그림 3>은 메모리 블록을 나타내었다. <그림 3>의 "InterClkBk" 블록은 SFR(Special Function Register)을 위한 클럭 게이팅 블록이고, "ForDpuInterClkBk"는 GPR(Global Purpose Register)을 위한 클럭 게이팅 블록이다. 각각의 클럭 게이팅 블록은 이미 <그림 1>과 <그림 2>를 통해 나타내었던 각각의 레지스터에 고유의 슬레이브 클럭을 생성하고 이를 통해 클럭을 제어함으로써 전력손실을 줄일 수 있다.



<그림 3> 프로세서 데이터 패스 블록

### 3-2. 프로세서 속도 결정 방법

프로세서의 속도를 결정하는 것은 프로세서의 속도 변화에 따른 에너지 이득과 손실을 구하여야 한다. 에너지 이득과 손실은 각각 식 (2)와 식 (3)에 나타내었다[15].

$$E_{gain} = P_{proc}^{now} t - P_{proc}^{fix} t' = \frac{(f_{now})^2 - (f_{fix})^2}{(f_{now})^2} P_{proc}^{now} t \quad (2)$$

$$E_{loss} = P_{proc}^{fix} t' - P_{proc}^{now} t = \frac{(f_{fix})^2 - (f_{now})^2}{(f_{now})^2} P_{proc}^{now} t \quad (3)$$

$E_{gain}$  은 프로세서의 에너지 이득을 나타내며,  $P_{proc}^{now}$  는 현재 시점에서의 단위시간당 프로세서의 전력소모량을 나타낸다.  $P_{proc}^{fix}$  는 속도를 조절했을 때의 단위시간당 프로세서의 전력소모량을 나타내며,  $f_{now}$  는 현재시점 프로세서의 주파수를 나타내고  $f_{fix}$  는 프로세서의 속도를 조절했을 때의 주파수를 나타낸다.  $E_{loss}$  는 프로세서의 에너지 손실을 나타낸다. 식 (2)와 식 (3)을 이용하여 에너지 이득과 손실의 차이( $\Delta E$ )를 구한다.  $\Delta E$ 를 구하는 식은 식 (4)에 나타내었다.

$$\Delta E = E_{gain} - E_{loss} = 2 \frac{(f_{now})^2 - (f_{fix})^2}{(f_{now})^2} P_{proc}^{now} t \quad (4)$$

식 (4)에서  $P_{proc}^{now}$  와  $f_{now}$ ,  $t$  는 상수 값으로 알 수 있는 값이다. 따라서 시스템이 지원하는  $f_{fix}$  값들을 입력하여

$\Delta E$ 의 값이 최대가 되는  $f_{fix}$ 를 구하여야 한다.  $f_{fix}$ 의 값은 태스크의 시간 제약 조건을 만족하는 범위에서 최대의 값을 갖는 주파수이다. 이를 수식으로 표현하면 식 (5)와 같다.

$$\max |f_{fix}| \leq TC_{task} \quad (5)$$

식 (5)에서  $TC_{task}$ 는 태스크의 시간제약 조건(time constraint)을 나타낸다.

위와 같은 방법은 이동형 시스템에서 프로세서와 디바이스를 같이 사용할 경우에 효율적으로 전력 소모를 줄일 수 있는 주파수를 결정하는 방법이며, 디바이스를 사용하지 않는 태스크의 경우에는 슬랙 시간을 이용하여 프로세서의 전력 소모를 줄일 수 있다.

#### IV. 실험 결과

본 논문에서 제안한 주파수 선택 알고리즘의 효율성을 입증하기 위한 방법으로 클럭 게이팅을 적용한 프로세서에  $f_{fix}$  값의 변화에 따른 소모 전력과 면적을 비교하여 최소 전력 소모를 갖는 주파수와 최적의 주파수를 선택하였다. 전력 비교 값은 Altera의 Quartus II를 이용하였으며 회로구현 소자는 Stratix-EP1S10F484C5로 하여 얻은 결과이다. 소모 전력에 대한 결과 값은 <표 1>에 나타내었으며, 면적에 대한 결과 값은 <표 2>에 나타내었다. <표 2>의 면적은 사용된 LE의 수/전체 LE의 수로 표시하였다.

<표 1> 소모 전력 비교

주파수 ( $f_{fix}$ ) MHz	소모전력 mW		평균과 비교 mW	
	알고리즘 적용 전	알고리즘 적용 후	알고리즘 적용 전	알고리즘 적용 후
29.2	204.56	196.95	-0.67	-0.09
29.4	204.44	197.02	-0.79	-0.02
29.6	204.49	196.87	-0.74	-0.17

29.8	204.61	196.63	-0.62	-0.41
30.0	205.03	196.66	-0.20	-0.38
30.2	205.44	196.62	+0.21	-0.42
30.4	205.98	197.46	+0.75	+0.42
30.6	207.31	198.11	+2.08	+1.07
평균	205.23	197.04		

<표 2> 면적 비교

주파수 ( $f_{fix}$ ) MHz	면적		평균과 비교	
	알고리즘 적용 전	알고리즘 적용 후	알고리즘 적용 전	알고리즘 적용 후
29.2	6,285/10,570 (59.46%)	5,946/10,570 (56.25%)	-0.17%	+0.56%
29.4	6,302/10,570 (59.62%)	5,876/10,570 (55.59%)	-0.01%	-0.10%
29.6	6,252/10,570 (59.15%)	5,911/10,570 (55.92%)	-0.48%	+0.23%
29.8	6,255/10,570 (59.18%)	5,864/10,570 (55.48%)	-0.45%	-0.21%
30.0	6,311/10,570 (59.71%)	5,878/10,570 (55.61%)	+0.08%	-0.08%
30.2	6,389/10,570 (60.44%)	5,789/10,570 (54.77%)	+0.81%	-0.92%
30.4	6,287/10,570 (59.48%)	5,942/10,570 (56.22%)	-0.15%	+0.53%
30.6	6,345/10,570 (60.03%)	5,887/10,570 (55.69%)	+0.40%	-
평균	6,303/10,570 (59.63%)	5,887/10,570 (55.69%)		

실험 결과 소모 전력의 경우 알고리즘 적용 전에는 주파수가 29.4MHz일 때 204.44mW로 평균값에 비해 0.79mW 작은 값을 나타내어 최소의 전력 소모를 갖는 주파수로 선정되었다. 이에 반해 본 논문에서 제안한 알고리즘을 적용한 후의 결과 주파수가 30.2MHz일 경우 196.62mW로 평균값에 비해 0.42mW 작은 최소의 소모 전력을 갖는 것으로 나타났다. <표 1>의 결과 주파의 경우 평균값에서는 알고리즘을 적용 한 후의 평균 소모 전력이 적용 전에 비하여 205.23mW에서 197.04mW로 4% 감소된 결과를 나타내

었다. 주파수의 경우도 29.4MHz에서 30.2MHz로 향상된 결과를 나타내었다.

면적에서는 알고리즘 적용전의 경우 29.6MHz일 때 59.15%로 평균값에 비해 0.45% 감소된 최소의 면적을 갖는 주파수로 나타났으며, 알고리즘 적용 후에는 30.2MHz일 경우에 54.77%로 평균값에 비해 0.92% 최소의 면적을 갖는 것으로 나타났다. 면적의 경우 평균 3.94% 감소된 결과를 나타내었다. 이러한 실험 결과를 토대로 선정된 결과 30.2MHz의 경우에 소모 전력과 면적에서 최적의 결과를 나타내는 것으로 나타나 최적의 주파수로 선정되었다.

## V. 결론

본 논문에서는 이동형 시스템의 프로세서에 대한 최소 전력 소모를 위한 주파수 선택 알고리즘을 제안하였다.

제안한 방법은 클럭 게이팅 방법을 이용하여 저전력 프로세서를 설계한다. 클럭 게이팅 방법은 내장된 클럭 블록을 이용하여 주 클럭을 제어함으로써 전력 낭비를 개선시킨다. 설계 방법은 프로세서에 대해 동적 전력을 고려하여 소모 전력을 비교하고, 설계된 프로세서에 대해 에너지 이득과 소모를 고려하여 주파수를 결정한다. 또한, 슬랙 시간을 이용하여 프로세서의 속도를 낮추어 소모 전력을 감소시킨다.

이러한 기술은 클럭 게이팅 방법과 에너지, 슬랙 시간을 이용하여 이동형 시스템의 사용 시간이 개선하였다. 실험 결과 제안한 알고리즘은 알고리즘을 적용하지 않은 이동형 시스템의 프로세서에 비해 평균 전력이 4% 감소되었다. 또한 주파수의 경우 29.4MHz에서 30.2MHz로 향상되었으며, 면적은 평균 3.94% 감소된 결과를 나타내었다.

따라서 본 논문에서 제안한 방법의 효율성이 입증되었으며 시스템이 클수록 전력 감소량이 커질 것으로 기대되며, 유비쿼터스나 휴대용 기기의 소형화와 휴대성에 기여할 것으로 본다.

## 참고문헌

- [1] A. Chandrakasan, R. Brodersen, "Low power digital CMOS design," Kluwer Academic Publishers, 1995.
- [2] Qing Wu, Massoud Pedram, Xunwei Wu, "Clock-Gating and Its Application to Low Power Design of Sequential Circuits," IEEE Custom Interated Circuits Conference, 1997, pp.479-482.
- [3] D. Garrett, M. Stan, and A. Dean, "Challenges in clock gating for a low-power ASIC methodology," in Proc. ISLPED, San Diego, CA, August, 1999, pp. 176-181.
- [4] T.Mudge, "power: a first-class architectural design constraint," IEEE COMPUT., vol. 34, no. 4, April, 2001, pp.52-58.
- [5] Pietro Babighian, Enrico Macii, "A Scalable Algorithm for RTL Insertion of Gated Clocks Based on ODCs Computation," IEEE transactions on Computer-Aided Design of Integrated Circuits And Systems, vol. 24, no. 1, Jaunary 2005, pp.29-42.
- [6] Padamnabhan Pillai, Kang G. Shin, "Real time Dynamic voltage scaling for low power embedded operating system," In Proceeding of the 18th ACM symposium on Operating System Principles (SOSP-01), 2001, pp. 89-102.
- [7] A. P. Chandrakasan, S. Sheng, and R.W.Brodersen, "Low-Power CMOS digital design," IEEE J. of Solid-State Circuits, 1992, pp. 473-484.
- [8] A. Chandrakasan, R. Brodersen, "Low power digital CMOS design," Kluwer Academic Publishers, 1995.
- [9] 조준동, 임세진, "소자의 스위칭 동작 최소화를 통한

- 디지털 회로 저전력 상위 레벨 최적화에 대한 연구,“ 서울대 반도체 공동연구소, 10월, 1997년.
- [10] 조준동, “알고리즘 및 아키텍처 수준 저전력 설계자동화,“ 전자공학회, CAD 기술 특집, 12월, 1997.
- [11] M. Pedram, “Power minimization in IC Design: Principles and applications,“ ACM Transactions on Design Automaton, vol. 1, no, 1, Jan. 1996, pp.3-56.
- [12] G. Friedman, “Clock distribution design in VLSI circuits: an overview,“ in Proc. IEEE ISCAS, San Jose, May 1994, pp.1475-1478.
- [13] Qing Wu, Massoud Pedram, Xunwei Wu, “Clock-Gating and Its Application to Low Power Design of Sequential Circuits,“ IEEE Custom Interated Circuits Conference, 1997, pp.479-482.
- [14] Johan Pouwelse, Koen Langendoen, Henk Sips, “Energy priority scheduling for variable voltage processors,“ In Proceeding of Low Power Electronics and Design International Symposium, 2001, pp. 8-33.
- [15] 하란, “이동형 시스템에서의 저전력 기법”, 홍익대학교 과학기술연구논문집 Vol 15, 2004, pp. 177-185.



강진구  
Kang, Jin Gu

2007년 9월~현재  
극동정보대학 애니메이션과 교수  
2001년~2007년 8월  
극동정보대학 방송영상미디어과 교수  
2001년 2월 부산대학교 전자공학과 공학박사  
1998년 2월 부산대학교 전자공학과(공학석사)  
1995년 2월 금오공과대학교 전자공학과 제어공학전공(공학사)

관심분야 : 제어, 알고리즘  
E-mail : jgukang@kdc.ac.kr



허화라  
Hur, Hwa Ra

2000년~현재  
송호대학 컴퓨터정보과 교수  
2001년 8월 부산대학교 전자공학과(공학박사)  
1992년 2월 동아대학교 컴퓨터공학과(공학석사)  
1988년 2월 부경대학교 전기공학과(공학사)

관심분야 : 알고리즘, 컴퓨터구조  
E-mail : hrhur@songho.ac.kr



윤충모  
Yun, Choong Mo

2000년~현재  
서일대학 정보기술학부 교수  
2000년 2월 청주대학교 전자공학과(공학박사)  
1990년 2월 단국대학교 전자과(공학석사)  
1985년 2월 서울산업대학 전자공학과(공학사)  
1981년 3월~1992년 8월  
서울시청 전산실(EDPS) 근무

관심분야 : 알고리즘, 컴퓨터구조  
E-mail : 5420chong@seoil.ac.kr

■ 저자소개 ■



김재진  
Kim, Jae Jin

2001년~현재  
극동정보대학 컴퓨터정보과 교수  
2003년 2월 청주대학교 전자공학과(공학박사)  
1995년 8월 청주대학교 전자공학과(공학석사)  
1993년 2월 청주대학교 전자공학과(공학사)

관심분야 : CAD 알고리즘, 저전력 알고리즘  
E-mail : dkimjj@kdc.ac.kr

논문접수일 : 2008년 2월 28일  
게재확정일 : 2008년 3월 10일