

논문 2008-45SD-1-3

Signal Integrity 연결선 테스트용 다중천이 패턴 생성방안

(An Effective Multiple Transition Pattern Generation Method for Signal Integrity Test on Interconnections)

김 용 준*, 양 명 훈*, 박 영 규*, 이 대 열*, 윤 현 준*, 강 성 호**

(Yongjoon Kim, Myung-Hoon Yang, Youngkyu Park, DaeYeal Lee,
HyunJun Yoon, and Sungho Kang)

요 약

현대 반도체의 소형화 및 고성능화로 인해 반도체 테스트 분야는 다양한 문제점에 봉착하고 있다. 이중 연결선에 대한 signal integrity 문제는 SoC와 같은 고집적 회로에서 반드시 해결해야 할 문제이다. 본 논문에서는 연결선의 signal integrity 테스트를 위한 효과적인 테스트 패턴 적용 방안을 제안한다. 제안하는 테스트 패턴은 경계 주사 구조를 통해 적용 가능하며, 상당히 짧은 테스트 시간으로 매우 효과적인 테스트를 수행할 수 있다.

Abstract

Semiconductor testing area challenges many testing issues due to the minimization and ultra high performance of current semiconductors. Among these issues, signal integrity test on interconnections must be solved for highly integrated circuits like SoC. In this paper, we propose an effective pattern application method for signal integrity test on interconnects. Proposed method can be applied by using boundary scan architecture and very efficient test can be preceded with pretty short test time.

Keywords: Signal integrity, Integrated circuit interconnections, IEEE 1149.1, IEEE 1500

I. 서 론

반도체 공정 기술의 비약적인 발전은 SoC(System-on-Chip)과 같은 초고집적 회로의 설계를 가능하게 한다. 이러한 고성능의 반도체를 통해 현대의 반도체 산업은 과거에는 생산할 수 없던 고성능 시스템을싼 가격에 공급할 수 있게 되었다. 그러나, 이러한 고성능 반도체 생산의 이면에는 이를 테스트하기 위한 다양한 문제점을 함께 야기하고 있다. 즉, 과거에는 고려하지 않던 회로 내부의 수많은 간섭현상들이 이제는 회로의 성능에 상당한 영향을 끼치게 되어 이를 고려하지 않고 설계한 제품은 최초 설계시 기대한 수준의 성능을 발휘

할 수 없는 정도가 되었다. 특히 보드 수준 또는 SoC 수준에서의 칩간 또는 코어간의 연결선의 경우 과거에는 비교적 간단한 로직 테스트 및 지연 테스트를 통해 성능을 검증했으나, 수많은 버스로 구성된 연결선에서의 간섭 현상은 반드시 해결해야 할 부분이 되었다. Signal integrity 문제는 다양한 cross coupling 효과를 야기하여 최종적으로는 회로상의 노이즈(noise) 및 지연(delay)의 형태로 나타난다. 또한 이러한 cross coupling 효과는 종래에는 간헐적인 로직 에러(intermittent logic error), 성능저하 및 회로의 신뢰도 등 다양한 문제를 야기할 수 있다^[1].

따라서 이를 해결하기 위한 설계상의 노력은 당연한 것이지만, 테스트의 관점에서 이러한 문제는 당연히 고려되어야 한다. 연결선상의 signal integrity 테스트는 IEEE std. 1149.1^[2] 또는 IEEE std. 1500^[3]이 제공하는 테스트 구조를 통해 수행이 가능하다. 따라서 연결선상

* 학생회원, ** 정회원, 연세대학교 공과대학 전기전자 공학과

(Department of Electrical and Electronic Engineering, Yonsei University)

접수일자: 2007년6월25일, 수정완료일: 2008년1월4일

의 signal integrity 테스트에 대한 연구는 효과적인 테스트 패턴 생성을 주요한 목적으로 이루어지고 있다.

본 논문은 연결선상의 signal integrity 테스트를 위한 효과적인 테스트 패턴 생성 방법을 제안한다. 제안하는 테스트 패턴 생성 방안은 매우 짧은 테스트 수행 시간을 통해 고성능의 테스트를 수행하는 것이 가능하다. 본 논문의 구성은 다음과 같다. 우선 다음 장에서는 대표적인 기존 연구를 살펴보고 이들의 장단점을 분석한다. III장에서는 제안하는 패턴 생성 방안을 설명하고 IV장에서 기존의 방안과 제안하는 방안의 성능을 비교한 후 V장에서 결론을 맺는다.

II. 기존 연구

Signal integrity 테스트를 수행하기 위해서는 테스트 대상이 되는 연결선을 지정한 후 그에 적합한 테스트 패턴을 인가한다. 그림 1은 aggressor line과 victim line을 설정한 예이다. 이 경우 두 번째 선을 victim으로 설정했지만, 실제로는 첫 번째와 세 번째 선 역시 victim으로 설정되어 테스트되어야 한다. 이 상태에서 victim line의 입력이 일정히 유지되는 동안 aggressor line에 천이를 가하면, victim line은 noise의 영향을 받게 되고, victim line에 천이가 발생하는 동안 aggressor line에 반대방향의 천이를 가하면 victim line은 delay의 영향을 받게 된다. Signal integrity를 고려한 테스트 패턴은 이와 같은 현상을 기반으로 생성 가능하다.

다양한 연구가 연결선상의 signal integrity 테스트를 위해 제안되었다^[4-9]. 이중 MA(Maximum Aggressor) 패턴^[4] 및 MT(Multiple Transition) 패턴^[8]은 가장 대표적인 테스트 패턴이다. MA 패턴은 단일 victim line에 대해 모든 aggressor line에 동일한 패턴을 가하는 방식이다. 이는 최대한의 coupling 효과를 가하기 위한 것이지만, 최근의 연구에 의하면 단일 victim line에 대해 다양한 방향의 천이가 있는 경우에 최대의 coupling 효과

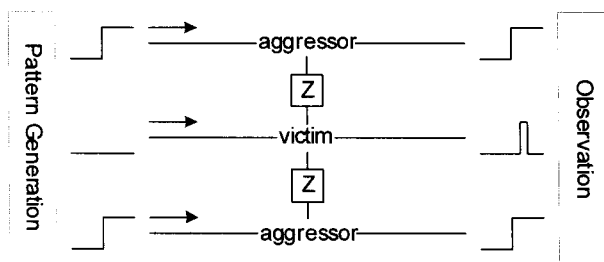


그림 1. 연결선상의 signal integrity 테스트 방법
Fig. 1. Test method of signal integrity on interconnects

lines	Test Patterns													
	X0X→X0X			X0X→X1X			X1X→X X			X1X→X0X				
Aggr. line	0→1	0→1	1→0	1→0	0→1	0→1	1→0	1→0	0→1	1→0	0→1	0→1	1→0	1→0
Vict. line	0→0	0→0	0→0	0→0	0→1	0→1	0→1	0→1	1→1	1→1	1→1	1→0	1→0	1→0
Aggr. line	0→1	1→0	0→1	1→0	0→1	1→0	0→1	1→0	0→1	1→0	0→1	1→0	0→1	1→0

그림 2. 3개의 연결선에 대한 MT 테스트 패턴의 예
Fig. 2. An example of MT test patterns with 3 lines.

가 나타나는 경우도 가능하므로 MA 패턴은 간단하지만 제한적인 성능을 가진다고 할 수 있다^[7].

MT 테스트 패턴은 이러한 문제를 해결하기 위해 제안되었다. MT 패턴에서는 aggressor line에 서로 다른 방향의 천이가 발생하는 경우도 모두 고려하여 테스트 패턴을 가하게 된다. 그림 2는 3개의 연결선으로 구성된 경우에 대한 MT 패턴을 나타낸다. 즉, 2번째 선을 victim line으로 설정한 경우 victim line이 0→0, 0→1, 1→1, 1→0으로 변하는 경우에 대해 각각 aggressor line들의 가능한 모든 천이 경우를 고려한 것이다. 따라서 앞서 언급한 4가지의 victim line에 대해 각각 4가지의 천이 경우가 발생하므로 총 16가지의 테스트 패턴이 필요하며, 한 패턴이 쌍으로 존재하므로 실제로는 32개의 패턴을 생성해야 한다. MT 테스트 패턴은 전수(exhaustive) 패턴과 같은 테스트를 수행하지는 않지만, 이는 aggressor line에 천이가 발생하지 않는 경우를 제외한 것이므로, 고장 검출을 위한 성능에는 문제가 없이 효과적인 signal integrity 테스트가 가능하다.

III. 본 론

MT 테스트 패턴은 고성능의 signal integrity 테스트를 수행할 수 있는 알고리즘이지만, 이를 모든 연결선에 적용하려면 엄청난 수의 연결선이 존재하므로 이는 감당할 수 없는 수준의 테스트 시간을 요구하게 된다. 물론 단일 victim line에 대해 영향을 끼치는 aggressor line의 수는 제한적임을 직관적으로 알 수 있으며, 이는 [7]에서 언급했다. 그러나 공정 기술이 점차 증가하며, SoC와 같이 시스템이 하나의 칩에 집적되는 현대 반도체 산업에서 이 제한적인 연결선의 수 역시 증가할 것이 명확하므로 가하는 테스트 패턴의 수를 줄이는 것은 여전히 크게 요구되는 사안이라 할 수 있다.

그림 3은 기존에 제안된 MT 테스트 패턴을 3개의 연결선이 각각 victim line으로 설정된 경우에 대해 모두 보인 것이다.

그림에서 test strategy 1으로 표시된 것은 첫 번째 연결선을 victim line으로 설정한 경우이며, 나머지 각각

Test strategy		Test Patterns															
Line set		0XX→0XX				0XX→1XX				1XX→1XX				1XX→0XX			
1	Vic. line	0→0	0→0	0→0	0→0	0→1	0→1	0→1	0→1	1→1	1→1	1→1	1→1	1→0	1→0	1→0	1→0
	Aggr. line	0→1	0→1	1→0	1→0	0→1	0→1	1→0	1→0	0→1	0→1	1→0	1→0	0→1	0→1	1→0	1→0
	Aggr. line	0→1	1→0	0→1	1→0	0→1	1→0	0→1	1→0	0→1	1→0	0→1	1→0	0→1	1→0	0→1	1→0
2	Line set	X0X→X0X				X0X→X1X				X1X→X1X				X1X→X0X			
	Aggr. line	0→1	0→1	1→0	1→0	0→1	0→1	1→0	1→0	0→1	0→1	1→0	1→0	0→1	0→1	1→0	1→0
	Vic. line	0→0	0→0	0→0	0→0	0→1	0→1	0→1	0→1	1→1	1→1	1→1	1→1	1→0	1→0	1→0	1→0
3	Line set	XX0→XX0				XX0→XX1				XX1→XX1				XX1→XX0			
	Aggr. line	0→1	0→1	1→0	1→0	0→1	0→1	1→0	1→0	0→1	0→1	1→0	1→0	0→1	0→1	1→0	1→0
	Vic. line	0→0	0→0	0→0	0→0	0→1	0→1	0→1	0→1	0→1	0→1	0→1	0→1	0→1	0→1	0→1	0→1

그림 3. 모든 victim line을 고려한 MT 테스트 패턴

Fig. 3. MT test patterns for all victim lines.

Transitions	Test Patterns							
All the bits	0→1	1→0	0→1	1→0	0→1	1→0	0→1	1→0
	0→1	1→0	0→1	1→0	1→0	0→1	1→0	0→1
	0→1	1→0	1→0	0→1	0→1	1→0	1→0	0→1
2&3 bits	1→1	0→0	1→1	0→0	1→1	0→0	1→1	0→0
	1→0	0→1	1→0	0→1	0→1	1→0	0→1	1→0
	1→0	0→1	0→1	1→0	1→0	0→1	0→1	1→0
1&3 bits	1→0	0→1	1→0	0→1	1→0	0→1	1→0	0→1
	0→0	1→1	0→0	1→1	1→1	0→0	1→1	0→0
	0→1	1→0	1→0	0→1	0→1	1→0	1→0	0→1
1&2 bits	0→1	1→0	0→1	1→0	0→1	1→0	0→1	1→0
	0→1	1→0	0→1	1→0	1→0	0→1	1→0	0→1
	1→1	0→0	0→0	1→1	1→1	0→0	0→0	1→1

그림 4. 재조합된 MT 테스트패턴

Fig. 4. Reordered MT test pattern.

두 번째, 세 번째 line을 victim line으로 설정한 경우이다. [7]에서는 이를 생성하기 위한 별도의 패턴 생성기를 제안하였으나, 이는 회로 내부에 포함되는 것으로써, 하드웨어 오버헤드를 감수해야 한다. 본 논문에서는 경계주사 구조에 의해 테스트 패턴을 인가하는 것을 가정하므로, 이는 고려하지 않는다. 그림 3을 살펴보면 음영으로 표시된 부분은 패턴이 중복으로 가해짐을 알 수 있다.

즉, 000→111의 경우 각 strategy의 0XX→1XX인 경우에 모두 존재함을 알 수 있다. 이와같이 음영에 포함된 모든 패턴은 각 3번씩 반복적으로 사용되고 있으며, 이는 테스트 대상 연결선의 개수가 증가함에 따라 비례한다. 그림 4는 이러한 테스트 패턴의 중복을 제거한 후 순서를 재조합한 MT 패턴을 나타낸 것이다. 그림 4의 테스트 패턴은 결국 앞서 제시한 MT 패턴과 동일한 패턴을 나타낸다. 이 경우 각 행은 천이가 발생하는

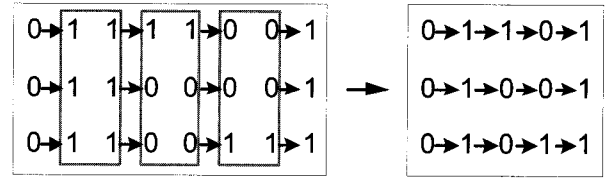


그림 5. 중복 테스트 패턴의 제거

Fig. 5. Removal of repeated test patterns.

seed	Test Patterns
000	0→1→1→1→0→1→0→0→1→0
	0→1→0→0→0→1→0→1→1→0
	0→1→0→1→1→1→0→1→0→0
001	0→1→1→1→0→1→0→0→1→0
	0→1→0→0→1→1→0→1→1→0
	1→0→1→0→0→0→1→0→1→1
010	0→1→1→1→0→1→0→0→1→0
	1→0→1→1→1→0→1→0→0→1
	0→1→0→1→1→1→0→1→0→0
011	0→1→1→1→0→1→0→0→1→0
	1→0→1→1→1→0→1→0→0→1
	1→0→1→1→0→0→1→0→1→1

그림 6. 제안하는 MT 테스트 패턴

Fig. 6. Proposed MT test pattern.

비트에 따라 정렬된 것이다. 위로부터 순서대로 천이는 모든 비트, 두 번째와 세 번째 비트, 첫 번째와 세 번째 비트, 첫 번째와 두 번째 비트에 천이가 발생하는 것이다. 즉 천이가 발생하지 않는 연결선이 없는 경우, 첫 번째 연결선, 두 번째 연결선, 세 번째 연결선인 경우라고 할 수 있다. 이를 다시 열을 따라 분석하면 각 패턴의 천이값이 다음의 초기값으로 설정될 수 있음을 알 수 있다. 즉, 첫 번째 열의 패턴들을 따로 살펴보면 그림 5와 같다.

하나의 테스트 패턴이 초기값과 천이값의 두 개로 이루어져 있으므로, 그림 5에 나타난 것처럼 이전 패턴의 천이값은 다음 패턴의 초기값으로 나타날 수 있다. 이는 그림 4와 같이 재 정렬된 MT 패턴의 구성에 의한 것인데, 그림 4에서 각 행은 서로 다른 비트에 천이를 가하게 되므로 결국 모든 열에 있는 4개의 테스트 패턴을 가한 경우 각 비트는 각 3번 천이를 발생하게 된다.

따라서 초기값의 모든 비트에 천이가 발생한 것과 동일한 상태를 가지게 되는 것이다. 또한 각 행을 살펴보면 초기값과 천이값들은 모두 독립적이며, 이는 곳 각 행별로 존재하는 패턴들의 천이값과 초기값은 일대일 대응이 된다는 뜻이다. 이로 인해 그림 5와 같이 테스트 패턴을 구성하는 것이 가능하며, 결국 8개의 초기값 및 천이값을 통해 생성되는 4개의 테스트 패턴은 5개의 패턴정렬로 표현 가능하다. 더욱 나아가, 그림 5에서 000→111→100→001→111로 변형된 패턴의 경우 최후의 패턴인 111 역시 동일한 행에서 새로 일대일 대응이 가능하므로 다음 패턴의 초기값으로 설정이 가능하다. 이를 통해 최종 테스트 패턴의 개수는 더욱 줄일 수 있다. 따라서 테스트 패턴의 길이는 기존의 방안에 비해 훨씬 짧지만, 전체 테스트 성능에는 전혀 변화가 없는 효과적인 테스트 패턴 생성이 가능하다. 결국 그림 6과 같은 MT 테스트 패턴을 이용하여 경계주사 구조를 기반으로 한 연결선 테스트를 수행한다면 기존의 MT 테스트 패턴에 비해 훨씬 짧은 테스트 시간을 통해 연결선의 signal integrity 테스트가 가능하다.

IV. 결 과

기존의 MT 테스트 패턴은 각 테스트 패턴의 초기값 및 천이값을 모두 경계 주사 구조를 통해 일일이 직렬로 이동하여 연결선에 인가해야 하며, 테스트 패턴의 중복 현상이 발생한다. 이 경우 테스트 대상이 되는 연결선의 개수가 k개라면, 각 연결선이 한번씩 victim line으로 설정되어야 하며, 이 victim line의 변화상태인 0→0, 0→1, 1→1, 1→0에 대해 하나의 victim line을 설정한 나머지 k-1개의 aggressor line에 대한 모든 초기값을 모두 고려해야 한다. 또한 하나의 테스트 패턴은 초기값과 천이값의 두 개 패턴으로 구성되므로 총 테스트 패턴 개수는 다음과 같다.

$$N_{conventional.pattern} = k \cdot 2^{k+2} \quad (1)$$

[7]은 경계 주사 구조가 아닌 자체 테스트를 통한 테스트 수행시간의 감소 방안을 제안한다. 그러나, 이는 경계 주사 셀 각각에 하드웨어를 추가함으로써 상당한 하드웨어 오버헤드를 감수해야 하며, 여기에서 제안한 테스트 시간 감소 방안 역시 충분치 않다. [7]에서 제안된 방안을 경계 주사 셀에 적용하는 것으로 가정하여 필요한 테스트 패턴 개수를 계산하면 다음과 같다.

$$N_{[7].pattern} = 5k \cdot 2^{k-1} \quad (2)$$

제안하는 방안의 경우 최초 seed값은 00...00~11...11의 반만큼만 가하며, 각 seed에 대해 2m-1개의 패턴이 구성되므로 총 테스트 패턴 개수는 다음과 같다.

$$N_{proposed.pattern} = (2k+3) \cdot 2^{k-1} \quad (3)$$

위의 두 가지 경우 모두 연결선의 개수 k를 실제 연결선의 개수 그대로 대입한다면, 전체 테스트 패턴의 수는 감당할 수 없을 정도로 커질 것이다. 그러나, 앞서 언급한 것과 마찬가지로 하나의 victim line의 동작에 영향을 끼칠 수 있는 aggressor line은 제한적이므로, 단일 victim line에 대해서는 주변의 유한개의 aggressor line을 설정하여 사용하는 것이 가능하다.

따라서 위의 결과에 의한 테스트 패턴 생성 시간을 비교하면 표 1과 같다.

본 논문에서 제시한 연결선 수는 한번에 테스트 대상으로 잡는 단위 연결선의 수이다. 따라서 전체 연결선에 대해서는 제시된 단위 연결선에 인가되는 테스트 패턴이 반복적으로 입력될 수 있으며 위의 표에서 3, 5, 7, 9, 11로 테스트 대상을 잡은 것은 단일 victim line이 한 쪽편으로 2, 4, 6, 8, 10개의 aggressor line에 영향을 받는다고 가정한 것이다. 이는 공정 및 설계에 따라 다양하게 적용이 가능하다. 따라서 일반적으로 고려해야 할 단위 연결선의 개수는 제시할 수 없지만, 고집적 설계일수록 여러개의 단위 연결선을 고려해야 함은 자명하다. 표에 나타난 바와 같이 제안된 방안은 MT 패턴을 그대로 경계주사 구조에 적용한 방안이나, [7]에서 제안된 방안에 비해 훨씬 적은 수의 테스트 패턴으로 표현해 낼 수 있다. 이는 단순한 테스트 패턴만 비교한 것이지만, 이를 경계주사 구조에 적용할 때는 상당히 많은 수의 쉬프트 동작을 테스트 패턴 개수만큼 적용해야 하

표 1. 테스트 패턴 개수 비교

Table 1. Comparisons of the test pattern number.

연결선수	테스트 패턴 개수		
	경계주사구조 $k \cdot 2^{k+2}$	[7] $5k \cdot 2^{k-1}$	제안된 방안 $(2k+3) \cdot 2^{k-1}$
3	96	60	36
5	640	400	208
7	3584	2240	1088
9	18432	11520	5376
11	90112	56320	24576

므로, 실제 테스트 수행 시간은 표 1에 제시된 것보다 훨씬 클 것임을 쉽게 유추할 수 있다.

V. 결 론

본 논문에서는 연결선상의 signal integrity 테스트를 위한 효과적인 MT 패턴 생성방안을 제안했다. 제안하는 MT 패턴 생성 방안은 MT 패턴의 적용에서 발생하는 패턴의 중복현상을 제거하고, 패턴의 적용 순서를 효과적으로 조합하여 중복되는 패턴이 최대한 발생하도록 한 다음 이를 제거하여 전체 생성되는 패턴의 수를 감소시킨다. 최종적으로 생성된 MT 패턴은 기존의 패턴에 비해 훨씬 적은 테스트 패턴을 통해 MT 패턴의 성능을 동일하게 발휘할 수 있는 매우 효율적인 테스트 패턴이라 할 수 있다. 따라서 이를 통해 향후 고집적, 고성능 반도체 산업에서 더욱 중요성이 증대될 것으로 예상되는 signal integrity 관련 테스트 문제에 효과적으로 대응하는 것이 가능할 것으로 예상된다.

참 고 문 헌

- [1] L. Green, "Understanding the Importance of Signal Integrity," *IEEE Circuit and Devices Magazine*, pp. 7-10, November, 1999.
- [2] IEEE Computer Society, "IEEE Standard Test Access Port and Boundary Scan Architecture," *IEEE Standards 1149.1-2001*, IEEE, New York, 2001.
- [3] IEEE Computer Society, "IEEE Standard Testability Method for Embedded Core-based Integrated Circuits," *IEEE Standard 1500-2005*, IEEE, New York, 2005
- [4] M. Cuvillo, et al, "Fault Modeling and Simulation for Crosstalk in System-on-Chip Interconnects," in Proc. *Int. Conf. on Computer Aided Design (ICCAD' 99)*, pp. 297-303, 1999.
- [5] W. Chen, et al, "Test Generation for Crosstalk-Induced Delay in Integrated Circuits," in Proc. *Int. Test Conf. (ITC' 99)*, pp. 191-200, 1999.
- [6] W. Chen, et al, "Test Generation in VLSI Circuits for Crosstalk Noise," in Proc. *Int. Test Conf. (ITC' 98)*, pp. 641-650, 1998.
- [7] M. H. Tehranipour, et al., "Multiple Transition Model and Enhanced Boundary Scan Architecture to Test Interconnects for Signal Integrity," in Proc. *Int. Conf. on Computer Design (ICCD'03)*, pp. 554-559, 2003.
- [8] M. H. Tehranipour, et al., "Testing SoC Interconnects for Signal Integrity Using Extended JTAG Architecture," *IEEE Trans. CAD of Integrated Circuits and Systems*, Vol. 23, Issue 5, pp. 800-811, May 2004.
- [9] Y. Kim, et al, "An Effective Test Pattern Generation for Signal Integrity," in Proc. *Asian Test Symposium*, pp. 279-284, 2006.

저 자 소 개



김 용 준(학생회원)
2002년 2월 연세대학교 공과대학
전기공학과 학사졸업.
2004년 2월 연세대학교 공과대학
전기전자공학과 석사졸업.
2008년 현재 연세대학교 공과대학
전기전자공학과 박사과정.

<주관심분야 : SoC 설계, 테스트>



양 명 훈(학생회원)
1996년 2월 연세대학교 공과대학
전기공학과 학사 졸업.
1998년 연세대학교 공과대학
전기전자공학과 석사졸업.
2004년 삼성전자 시스템 LSI 선임
연구원.

2008년 현재 연세대학교 공과대학
전기전자공학과 박사과정.

<주관심분야 : SoC 설계, 테스트>

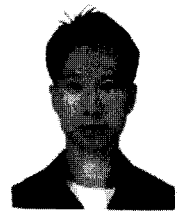


박 영 규(학생회원)
2004년 2월 호서대학교 공과대학
전자공학과 학사졸업.
2007년 2월 연세대학교 공과대학
전기전자공학과 석사졸업.
현 재 연세대학교 공과대학
전기전자공학과 박사과정.

<주관심분야 : SoC 설계, 테스트>



이 대 열(학생회원)
2006년 2월 연세대학교 공과대학
전기전자공학과 학사졸업.
2008년 현재 연세대학교 공과대학
전기전자공학과 석사과정.
<주관심분야 : SoC 설계, 테스
트>



윤 현 준(학생회원)
2004년 2월 연세대학교 공과대학
전기전자공학과 학사졸업.
2008년 현재 연세대학교 공과대학
전기전자공학과 석사과정.
<주관심분야 : SoC 설계, 테스
트>



강 성 호(정회원)
1986년 2월 서울대학교 공대
제어계측공학과 학사졸업.
1988년 5월 The University of
Texas at Austin 전기 및
컴퓨터 공학과 석사졸업.
1992년 5월 The University of
Texas at Austin 전기 및
컴퓨터공학과 박사 졸업.

1992년 미국 Schlumberger 연구원.

1994년 미국 Motorola 선임 연구원.

2008년 현재 연세대학교 전기전자공학과 교수.

<주관심분야 : SoC 설계, SoC 테스트>