

논문 2008-45SD-1-7

ACO를 이용한 저전력 ECC H-매트릭스 최적화 방안

(A Low Power ECC H-matrix Optimization Method using an Ant Colony Optimization)

이 대 열*, 양 명 훈*, 김 용 준*, 박 영 규*, 윤 현 준*, 강 성 호**

(Daeyeal Lee, Myung-Hoon Yang, Yongjoon Kim, Youngkyu Park,
Hyunjun Yoon, and Sungho Kang)

요 약

본 논문에서는 Ant Colony Optimization(ACO)을 이용하여 Single-Error Correcting & Double-Error Detecting(SEC-DED)을 제공하는 메모리 ECC 체크 회로의 소비전력을 절감하는 방안을 제시한다. H-매트릭스를 통해 구현되는 SEC-DED 코드인 Hsiao 코드의 대칭성과 H-매트릭스 구성상의 높은 자유도를 이용하여 회로의 면적, 딜레이에 영향을 주지 않고 최소의 비트 트랜지션이 일어나도록 H-매트릭스를 최적화한다. 실험을 통하여 H-매트릭스의 최적화를 위한 ACO 매핑과 파라미터의 설정을 알아보고 이의 구현 결과를 랜덤 매트릭스 구성을 통한 방식 및 기존의 GA알고리즘을 이용한 최적화 방식과 비교하여 소비 전력이 기존의 방식에 비해 절감될 수 있음을 보여준다.

Abstract

In this paper, a method using the Ant Colony Optimization(ACO) is proposed for reducing the power consumption of memory ECC checker circuitry which provide Single-Error Correcting and Double-Error Detecting(SEC-DED). The H-matrix which is used to generate SEC-DED codes is optimized to provide the minimum switching activity with little to no impact on area or delay using the symmetric property and degrees of freedom in constructing H-matrix of Hsiao codes. Experiments demonstrate that the proposed method can provide further reduction of power consumption compared with the previous works.

Keywords : Ant Colony Optimization(ACO), SEC-DED, Error Correcting Code(ECC), H-matrix

I. 서 론

반도체 공정 기술의 발달에 따라 소자의 소형화와 동작속도의 고속화에 대한 연구가 크게 증가하면서 소프트웨어 에러에 의한 메모리의 안정성과 데이터 무결성의 저하 문제가 증가하고 있다^[1]. 에러 보정 코드(ECC)는 회로의 출력 단에서 이러한 소프트웨어 에러들이 전파되지 않도록 에러를 발견하고 보정하는데 사용되어 시스템의 안정성과 데이터 무결성을 향상시킨다. 일반적으로

SEC-DED(Single-Error Correcting and Double-Error Detecting) 코드가 이러한 목적으로 사용된다. 이 코드들은 1비트의 에러를 보정하고 2비트의 에러를 감지할 수 있다. 기존의 에러 보정 회로 설계 방식은 주로 회로의 크기와 딜레이의 감소에 주안점을 두고 있는 반면에 본 논문에서는 회로의 소형화와 고클럭화에 따라 이슈가 되고 있는 로직과 버스 연결선 등에서의 전력 소비의 절감을 위한 저전력 에러 보정 회로의 설계방식을 제안한다.

저전력의 에러 보정 회로는 일반적인 저전력 설계 방식을 이용해서 개발되어왔다. 하지만 에러 보정 회로의 특성으로 인해 소비 전력은 보다 더 절감될 수 있다. 에러 보정 회로의 대칭성은 입력 데이터의 순서에 대한 제약이 없어 입력값의 순서가 구현된 체커 회로의 면적

* 학생회원, ** 평생회원, 연세대학교 전기전자공학과
(Department of Electrical Electronic Engineering,
Yonsei University)

※ 본 논문은 산업자원부가 지원하는 국가 반도체연구개발사업인 “시스템집적반도체기반기술개발사업(시스템IC2010)”을 통해 개발된 결과임을 밝힙니다.
접수일자: 2007년6월25일, 수정완료일: 2008년1월4일

과 딜레이에 실질적인 영향을 거의 주지 않는다. 예를 들어 패리티 트리와 two-rail 체커 트리는 입력값에 대해 완전한 대칭을 이루어 입력값의 순서에 관계없이 동일한 동작을 한다. 이러한 특성을 이용해서 소비전력 절감을 위한 많은 연구가 진행되었다. [2]에서는 패리티 트리와 Berger 코드 체커 회로의 전력을 입력 신호간의 공간적 상호관계를 이용하여 감소시켰다. [3]에서는 해밍코드와 dual rail 코드를 이용하여 서로 다른 SEC-DED 코드가 각 코드의 특성에 따른 버스 모델에 적용될 경우 효과적으로 전력이 감소될 수 있음을 보여주었다. 본 논문에서는 SEC-DED를 지원하는 메모리 ECC 회로의 소비전력을 절감하는 새로운 방식을 제안한다.

(n, k) 선형 SEC-DED 블록 코드는 k 데이터 비트와 $n-k$ 패리티 비트로 구성된 n 비트의 코드를 나타낸다. 이러한 코드는 패리티 체크 매트릭스 H에 의해 표현될 수 있다. H-매트릭스는 각각의 체크 비트에 해당하는 $n-k$ 의 행과 n 개의 칼럼으로 구성된다. 선형 블록 코드가 SEC-DED의 특성을 지니기 위해서는 해당 코드를 나타내는 H-매트릭스가 코드워드간의 최소 Hamming 거리가 4가 되도록 구성되어야 한다. Hamming과 Hsiao가 제안한 방식이 SEC-DED코드를 구성하는 H-매트릭스의 구성에 주로 사용된다. 에러 검출 회로의 소비 전력은 H-매트릭스의 구성방식에 따라 달라질 수 있다. [4]에서는 GA(Genetic algorithm)를 이용하여 특정 대상 메모리에서의 전력 소비가 최소화 되는 H-매트릭스의 최적화에 대한 연구를 하였다. 본 논문에서는 ACO(Ant Colony Optimization) 알고리즘을 이용하여 기존의 방식보다 더욱 최적화된 H-매트릭스를 구성할 수 있는 새로운 최적화 방안을 제안한다.

II. SEC-DED 에러 보정 코드

일반적으로 에러 보정 회로에 사용되는 SEC-DED를 지원하는 ECC코드는 Hamming과 Hsiao 코드가 있다. 본 논문에서는 Hamming 코드에 비해 속도, 비용 그리고 안정성 면에서 보다 향상될 수 있는 Hsiao코드를 사용한다. Hsiao는 다음과 같은 조건을 만족하는 H-매트릭스는 SEC-DED 코드를 생성할 수 있다는 것을 증명하였다^[5].

- 모두 0인 칼럼은 없어야 한다.
- 모든 칼럼은 서로 달라야 한다.

- 모든 칼럼은 홀수 개의 1을 가져야 한다.

Hsiao는 또한 minimum odd weight 칼럼을 이용하여 H-매트릭스 상의 1의 개수를 줄여 전체 하드웨어의 면적을 줄이고 각 H-매트릭스 로우별 1의 개수를 균등하게 분배함으로써 보정회로의 딜레이가 최소화 될 수 있음을 보여주었다.

본 논문에서는 에러 보정 회로의 대칭성을 이용하여 H-매트릭스의 칼럼순서 변경을 통해 면적이나 딜레이에 영향을 주지 않고 소비전력을 절감할 수 있는 방안을 제안한다. Hsiao 코드의 경우 H-매트릭스의 구성에 있어 Hamming 코드보다 더 높은 자유도를 제공하여 전력 절감의 가능성이 더욱 높다. 예를 들어 (72, 64) H-매트릭스의 경우 8개의 weight-1 칼럼, 56개의 weight-3 칼럼 그리고 56개의 weight-5 칼럼 중 선택된 8개의 weight-5 칼럼으로 구성된다. 이때, 56개의 가능한 weight-5 칼럼 중에 8개를 선택하여 H-매트릭스를 구성할 수 있으므로 보다 다양한 형식의 구성이 가능하여 전력 절감의 가능성이 커지게 되는 것이다.

위와 같은 H-매트릭스의 구성에 따라 절감될 수 있는 전력의 양은 대상 메모리에 저장된 데이터의 특성에 따라 달라진다. 연속적인 메모리 읽기/쓰기 동작에 사용되는 데이터 사이의 상관관계가 크면 클수록 H-매트릭스의 구성을 통한 소비전력의 절감효과는 더욱 커진다. 예를 들어, 연속된 메모리 동작시에 저장된 데이터의 상위 비트보다 하위 비트의 데이터 트랜지션이 더욱 빈번히 발생하는 경우에는 H-매트릭스의 하위 비트 칼럼의 weight가 작을수록 전력 소모에 있어 유리한 결과를 보여줄 수 있다. 따라서 전력 소모를 줄이기 위해서는 H-매트릭스가 대상 메모리의 데이터 특성을 반영하여 최적화되어야 한다.

III. 기존 H-매트릭스 최적화 방안

Genetic algorithm(GA)은 유전자 전이와 다윈의 생존경쟁 등의 몇 가지 자연현상에 기초한 비선형 최적화 알고리즘이다. GA는 wire routing, scheduling, traveling salesman problems 등의 규모가 큰 비선형 최적화 문제에 적용되어왔다. GA에서는 대상 최적화 문제의 가능한 후보 해집합을 하나의 유전인자로 코드화 한다. 각 후보 해집합의 우수한 특성은 각각의 fitness 값에 기초해서 진화해 나간다. 보다 큰 fitness 값을 가진 후보인자는 뮤테이션과 크로스오버와 같은

유전 작용에 의해 선택되어 새로운 세대의 솔루션으로 변형된다.

GA는 (72, 64) Hsiao 코드의 H-매트릭스 최적화에 사용되었다^{4, 6)}. Hsiao 코드의 유전 염색체는 가능한 모든 weight-1,3 칼럼과 56개의 가능한 weight-5칼럼 중 선택된 8개의 칼럼으로 구성된 H-매트릭스 칼럼 순서의 치환으로써 표현되었다. 유전 작용 중에 64개의 H-매트릭스 구성 칼럼의 순서와 8개의 weight-5 칼럼 선택은 각각의 계산된 fitness 값에 의해 변경된다.

Fitness 값은 각 후보 H-매트릭스 솔루션으로 구성된 에러 보정 회로에서의 소비전력량에 반비례하는 fitness 함수를 사용하여 계산된다. 에러 보정 회로의 소비전력은 해당 회로를 구성하는 2-입력 XOR 게이트에서의 스위칭 작동 회수를 카운팅하여 측정된다.

IV. Ant Colony Optimization 알고리즘

Ant Colony Optimization(ACO)는 매우 복잡한 조합이 가능한 최적화 문제에 대하여 페로몬 자취를 통신 수단으로 이용하는 실제 개미의 행동방식에 기초하여 경험적인 접근을 통한 솔루션을 찾는 최적화 알고리즘이다. 페로몬 자취는 개미들이 확률적으로 이동경로를 구축해나가는데 사용되는 수량 정보다. 최종 이동경로를 결정하기 위한 각 후보 부분 경로의 선택 확률은 이전의 개미에 의해 경로상에 남겨진 페로몬 자취의 양에 비례한다. 따라서 이전에 많은 개미들이 지나간 경로일 수록 다음 개미 또한 해당 경로를 통해 이동할 확률이 커지게 된다. ACO는 이러한 생물학적인 경로 선정 방식을 모방하여 인공적인 페로몬 자취정보와 인공 개미를 이용하여 최적화된 솔루션을 구축한다.

Ant System(AS)^[7]은 Traveling Salesman Problem(TSP)을 풀기위하여 고안된 최초의 ACO 알고리즘이다. AS는 성능 향상 및 다른 최적화 문제에 대한 적용이 쉽도록 Ant Colony System(ACS)^[8], MAX-MIN Ant System(MMAS)^[9], ASrank^[10]과 같은 알고리즘으로 확장되고 수정되었다. 그리고 이러한 다양한 버전의 AS알고리즘을 공통된 구성체계로 정의하기 위해서 ACO meta-heuristic^[11]이 제안되었다. Meta-heuristic은 문제 해결을 위한 일원화된 관점을 제공함으로써 새로운 대상에 대한 적용이 보다 쉬워졌다.

ACO meta-heuristic을 이용하여 최적화 문제는 다음과 같이 정의될 수 있다. 주어진 문제가 그래프 $G=(C, L)[C=\{c_1, c_2, \dots, c_{N_c}\}]$ 는 유한개의 솔루션 구성 요소,

$L=\{l_{ij} | (c_i, c_j) \in \bar{C}\}$, $[L] \leq N_c^2$ 은 C의 카테시안 곱(\bar{C})의 부분집합 요소간의 가능한 유한개의 연결 또는 트랜지션]로 표현될 수 있다면 해당 문제의 솔루션은 그래프 G상의 가능한 구성요소를 중복되지 않게 모두 연결하는 경로로 해석될 수 있다. 따라서 최적화 문제가 최소 비용의 경로를 찾는 문제로 전환될 수 있다. 예를 들어, TSP의 경우 고려해야할 도시의 집합을 C, 각 도시를 이어주는 연결선의 집합을 L로 정의할 수 있다.

ACO에서의 개미의 행동은 다음과 같다. 개미집단은 서로 다른 시작 경로에서 동시에 이동 가능한 인접 경로를 통해 이동을 한다. 일단 개미가 전체 경로를 탐색하고 나면, 각 개미는 구축한 솔루션의 가치를 측정하고 이동했던 경로를 되돌아가며 각 경로 연결점(l_{ij})에 측정된 가치에 해당하는 페로몬 자취(τ_{ij})를 남긴다. 다음 경로 탐색을 시작하는 개미는 이러한 경로상에 남겨진 페로몬 자취에 따라 이동 경로를 선택하게 된다.

ACO에서 개미는 다음과 같은 특성을 지니게 된다.

- 개미는 최소 비용의 가능한 솔루션을 찾는다.
- 개미 k 는 이동 경로의 추적을 위한 기억장소 M^k 를 갖는다.
- 개미 k 는 방문하지 않은 인접한 어떤 경로로든 이동할 수 있다. 이동 경로는 확률적인 결정 방식에 의해 정해진다.
- 개미는 경로 이동 과정에서 페로몬 자취를 남길 수 있다. 이러한 방식은 온라인 단계적 페로몬 업데이트라고 한다.
- 개미는 모든 경로의 탐색이 끝난 후 이동 경로의 추적을 통해 페로몬 자취를 남길 수 있다. 이러한 방식을 온라인 지연된 페로몬 업데이트라고 한다.

V. 제안하는 H-매트릭스 최적화 방안

본 논문에서는 ACO를 이용한 H-매트릭스의 최적화를 통해 에러 보정 회로의 소비전력을 최소화하는 새로운 방법을 제안한다. 제안된 ACO 방안으로 (72, 64) Hsiao 코드의 H-매트릭스 최적화 문제는 다음과 같이 정의될 수 있다.

- $C=\{c_1, c_2, \dots, c_{N_c}\}$ 는 가능한 H-매트릭스 칼럼 후보로 정의된다. (72, 64) Hsiao 코드의 가능한 후보 칼럼은 모두 72개다(8개의 weight-1 칼럼, 56개의 weight-3 칼럼, 56개중 선택된 8개의 weight-5 칼럼)

- $L = \{l_{ij} | (c_i, c_j) \in \tilde{C}\}$, $[L] \leq N_C^2$ 은 H-매트릭스 구성시 i 번째와 j 번째의 칼럼사이의 상관관계를 나타낸다.
- $J_{c_i c_j}$ 는 C_i 와 C_j 사이의 비용을 나타낸다. 비용은 대상 메모리의 데이터와 칼럼 순서에 따라 달라진다. 체커 회로에서의 XOR 게이트 트랜지션이 많을수록 비용은 증가한다. $a_{ij} = 1/J_{c_i c_j}$ 는 칼럼 i 와 칼럼 j 간의 비용의 역을 나타낸다.
- 전체 프로세스를 관장하는 데몬 컨트롤은 페로몬의 업데이트(오프라인 페로몬 업데이트)와 각각의 개미에 의한 솔루션 중 베스트 값을 찾는 역할을 한다.

위와 같은 정의에 의해 H-매트릭스의 최적화 문제는 그림 1과 같이 TSP와 유사한 그래프 $G=(C, L)$ 상에서의 최소 비용의 해밀토니언 사이클을 찾는 문제가 될 수 있다.

제안하는 ACO 방안의 pseudo 코드는 그림 2와 같다. 먼저 m 마리의 인공 개미가 생성되며 각 개미 k 마다 M^k 의 기억장소가 구성된다(2열). 매회의 연산 시작 시 개미들은 H-매트릭스의 후보 칼럼 중 하나를 시작점으로 하여 배치된다. 시작 칼럼 번호는 임의로 정해지며 M^k 는 각 개미의 시작점을 추가하며 초기화 된다(4열). 초기화가 완료되면 각 개미는 전체 솔루션을 구축할 때까지 다음 후보 칼럼을 찾기 시작한다(11~19열). 각각의 탐색 단계에서 개미는 다음 칼럼을 결정하기 위해 각 칼럼 사이에 저장된 페로몬 자취 값과 칼럼간의 기본비용을 이용하여 가장 이동 확률이 큰 칼럼으로 이동하며 동시에 메모리에 다음 이동할 경로에 대한 정보를 저장한다.

개미들이 솔루션의 구축을 완료하면 daemon_actions 프로시저가 시작된다. 데몬 프로시저는 각 개미가 구축한 솔루션의 비용을 계산하여 페로몬 자취 값을 설정한

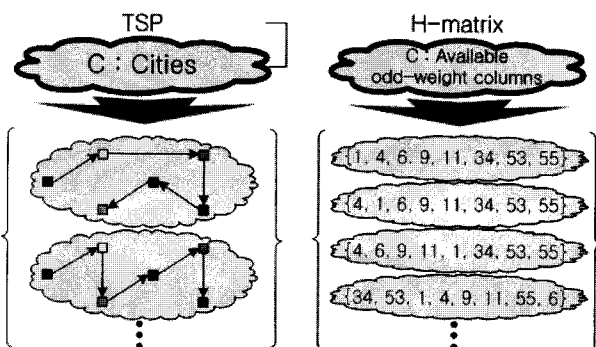


그림 1. 제안하는 ACO 최적화 문제 정의
Fig. 1. Problem definitions of the proposed ACO.

```

1 Procedure ECC_ACO()
2   ants_generation();
3   while (current_iteration ≠ target_iteration)
4     initialize_ants();
5     while (available_resources)
6       ants_activity();
7     end while
8     daemon_actions();
9   end while
10 End procedure

11 Procedure ants_activity()
12 while (current_state ≠ target_state)
13   A = read_local_ant_routing_table();
14   P = compute_transition_probabilities(A, M);
15   next_state = apply_ant_decision_policy(P);
16   move_to_next_state(next_state);
17   M = update_internal_state();
18 end while
19 End procedure

```

그림 2. 제안하는 ACO 최적화 프로시저
Fig. 2. Procedure of the proposed ACO.

후 개미가 선택했던 경로에 대한 페로몬 업데이트를 시행한다. 개미 k 에 의한 페로몬 자취의 양은 k 개미의 솔루션 비용에 반비례하도록 설정 된다($\tau^k=1/J_k$). 따라서 개미에 의한 솔루션의 비용이 적으면 적을수록 더 많은 페로몬 자취 값이 해당 경로에 저장된다.

각 경로의 기본 자취 값은 첫 번째 연산의 베스트 값으로 설정된다. 기본 자취 값이 너무 작을 경우 처음 선택된 경로가 실제 비용에 관계없이 다음 연산시 우선적으로 선택될 가능성이 크기 때문에 경쟁력 있는 기본 자취 값은 최적화 되지 않은 솔루션으로의 수렴을 방지한다. 또한 페로몬은 매회 연산시마다 일정 비율로 증발하여 너무 빠른 솔루션의 수렴을 예방한다. 페로몬의 업데이트는 수식1에 의해 진행된다. $\rho \in (0, 1]$ 는 페로몬 자취의 증발상수를 나타낸다.

$$\tau_{ij} \leftarrow (1 - \rho)\tau_{ij} + \rho \cdot \tau^k \quad (1)$$

칼럼 i 에 위치한 개미 k 가 칼럼 j 를 선택하는 확률 p_{ij}^k 는 수식2의 페로몬 자취와 칼럼간의 비용에 의해 계산된다.

$$p_{ij}^k = [\tau_{ij}]^\alpha \cdot [a_{ij}]^\beta \quad (2)$$

α 와 β 는 확률 계산에 있어 페로몬 자취와 비용의 상대적인 비중을 나타낸다. $\alpha = 0$ 일 경우 칼럼간의 비용이 제일 적은 칼럼이 선택될 것이다. 반대로 $\beta = 0$ 일

경우에는 단지 페로몬 자취에 의해서만 칼럼의 선택이 이루어진다. 전자의 경우 고전적인 greedy 알고리즘이 되며 후자의 경우 임의의 선택에 의해 먼저 선택된 경로가 솔루션이 될 수 있게 된다. 따라서 두 파라미터 간의 적절한 조절을 통한 최적화 값의 도출이 필요하다.

VI. 실험 결과

H-매트릭스의 최적화를 통한 에러 보정 회로의 소비 전력은 대상 메모리 데이터의 분포 특성에 따라 달라진다. 따라서 본 논문에서는 제안하는 ACO를 이용하여 64비트 구조의 4가지 분포 특성을 지니는 데이터에 대해 최적화된 (72, 64) Hsiao 코드를 지원하는 H-매트릭스를 구성하였다. 그림 3은 실험에 사용된 데이터의 분

포 확률을 보여준다. Data1은 전 비트 영역에 걸쳐 0과 1의 분포가 50%로 동일하다. Data2와 Data4는 1과 0의 분포가 각각 가운데에 몰려있다. Data3은 전반적으로 1의 분포가 적은 형태를 띠고 있다.

개미의 수는 72개의 H-매트릭스 후보 칼럼 중 항상 제일 마지막에 위치하는 8개의 weight-1 칼럼을 제외한 수인 64마리로 설정하였다. 칼럼 선택 시의 확률 계산을 위한 α 와 β 값은 5장에서 설명한 바와 같이 최적화된 결과 값을 얻기 위해서는 적절한 설정이 필요하다. 따라서 α 와 β 값을 모두 {0, 1, 2, 5}로 각각 설정하여 최적화된 결과를 보여줄 수 있는 값을 찾아보았다. 표 1은 α 와 β 값에 따라 찾아진 최소 비용과 평균 비용

표 1. α, β 에 따른 결과 비교

Table 1. Comparison among different α, β .

α	β	최소	평균
0	1	10012	10013.6
	2	10012	10014.4
	5	10012	10013.6
1	0	11618	11729.5
	1	9990	10010.5
	2	9917	9954.3
5	5	9875	9924.6
	0	11682	11810.9
	1	10016	10021.9
2	2	9991	10008.5
	5	9925	9942.5
	5	11515	11700.1
1	1	10016	10022.3
	2	9988	10007.8
	5	9988	10007.8

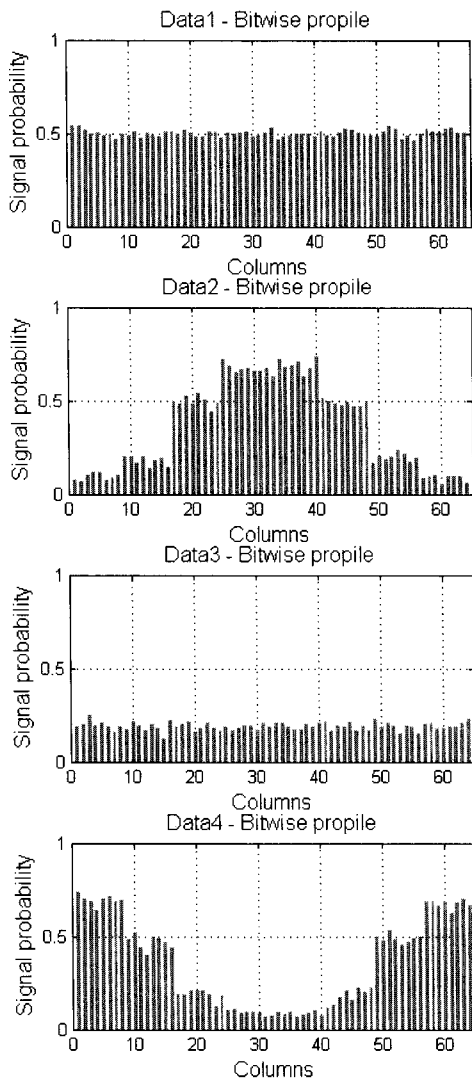


그림 3. 데이터 분포 그래프
Fig. 3. Data distribution graph.

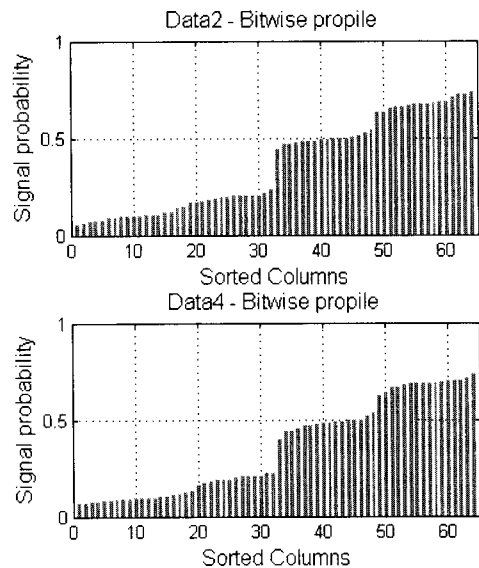


그림 4. 데이터 분포 그래프(칼럼 정렬)
Fig. 4. Data distribution graph(sorted column).

표 2. (72, 64) Hsiao 코드에 대한 체커 회로의 비트 트랜지션 수 비교
Table 2. Comparison of the transition count for (72, 64) Hsiao codes.

데이터	Random		GA		제안된 ACO		Random 대비	GA대비
	평균	편차	평균	편차	평균	편차	트랜지션 감소 감소수(감소율)	트랜지션 감소 감소수(감소율)
Data1	12488	79.56	10461	50.61	9923	19.90	2565(20.5%)	538(5.1%)
Data2	10891	95.29	8967	87.27	8310	26.95	2581(23.7%)	657(7.3%)
Data3	11666	154.71	9292	53.97	8473	21.72	3193(27.4%)	819(8.8%)
Data4	12666	101.35	10411	120.26	9771	26.10	2895(22.9%)	640(6.1%)

을 보여준다. α 가 0인 경우에는 항상 칼럼간의 최소 비용만을 따라 경로가 정해지므로 β 값에 관계없이 거의 일정한 결과를 보여주는 것을 볼 수 있다. β 가 0인 경우에는 페로몬의 자취에만 의존하게 되어 최소값과 평균의 편차가 비교적 크며 최적화되지 못한 값으로 수렴했음을 알 수 있다. $\alpha=1, \beta=5$ 인 경우에 가장 최적화된 결과를 나타내었으므로 본 실험에서는 $\alpha=1, \beta=5$ 를 파라미터로 사용하였다. 증발상수인 ρ 는 Hsiao 코드의 특성상 솔루션 구축시 선택되지 않는 칼럼이 존재하므로 선택된 칼럼과의 페로몬 자취 차이의 불균형을 해소하기 위해 0.5의 값으로 설정하였다.

표2는 제안된 방법과 랜덤, GA를 이용하여 각각 최적화된 H-매트릭스로 구성된 체커 회로에서의 비트 트랜지션 수에 대한 비교를 보여준다. 각 결과 값은 200회의 알고리즘 연산을 10회 수행한 결과의 평균 및 편차를 나타낸다. 표에서 볼 수 있듯이 제안된 방식으로 최적화된 H-매트릭스를 이용한 체커 회로의 경우 랜덤하게 구성된 회로보다 20~27%, GA를 이용하여 최적화된 회로에 비해 5~9%의 트랜지션 수가 감소되었다.

Data2와 Data4의 경우 그림 4와 같이 전체 칼럼의 데이터 분포는 거의 동일하지만 그림 2에서처럼 실질적인 데이터의 분포가 다를 경우 트랜지션 수에 있어 많은 차이가 발생함을 알 수 있다

VII. 결 론

본 논문에서는 ACO 알고리즘을 이용한 H-매트릭스의 최적화를 통해 여러 체커 회로에서의 스위칭 트랜지션을 최소화함으로써 소비전력을 절감할 수 있는 방안을 제안하였다. 실험을 통하여 대상 메모리의 데이터 분포 특성에 따라 랜덤 및 기존 GA를 이용한 방식에 비해 5~27%의 트랜지션이 감소될 수 있음을 확인하였

다. H-매트릭스의 최적화 과정의 경우 실시간 처리는 불가능하지만 오프라인 상에서 대상 메모리 데이터의 특성에 맞추어 가장 최적화된 형태의 체커 회로를 구현하기 때문에 시간상의 제약은 큰 문제가 되지 않는다. 따라서 본 논문에서 제안된 H-매트릭스의 최적화를 사용하면 보다 효율적인 저전력 메모리 에러 보정 회로의 구현이 가능할 것이다.

참 고 문 헌

- [1] Chen, C.L and Hsiao, M.Y.: "Error-correcting codes for semiconductor memory applications: a state of the art review", IBM J. Res. Develop., vol. 28, pp. 124-134, July 1984.
- [2] Mohanram, K., and Touba, N.A.: "Input ordering in concurrent checkers to reduce power consumption", Proc. of IEEE Symposium on Defect and Fault Tolerance, pp. 87-95, 2002.
- [3] Rossi, D., van Dijk, V.E.S, Kleihorst, R.P., Nieuwland, A.K. and Metra, C.: "Coding scheme for low energy consumption fault-tolerant bus", Proc. of International On-Line Testing Workshop, pp. 8-12, 2002.
- [4] Ghosh, S., Basu, S and Touba, N.A.: "Reducing power consumption in Memory ECC Checkers", International Test Conference, pp. 1322-1331, 2004.
- [5] Hsiao, M.Y.: "A class of optimal minimum odd-weight-column SEC-DED codes", IBM J. Res. Develop., vol. 14, pp. 395-401, July 1970.
- [6] Heesung Lee, Joonjung Sung and Euntai Kim: "Reducing power in error correcting code using genetic algorithm", Proc. of Transactions on Engineering, Computing and Technology, vol. 19, pp. 179-182, January 2007.
- [7] Dorigo, M., Maniezzo and Colomni, A. : "The ant system : an autocatalytic optimizing process",

Technical Report 91-016 Revised, Dipartimento di Elettronica, Politecnico di Milano, Italy, 1991.

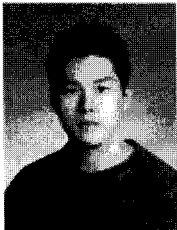
[8] Dorigo, M. And Gambardella, M. : “Ant colony system : a cooperative learning approach to the traveling salesman problem”, Proc. of *IEEE Transactions on Evolutionary Computation*, pp. 53-66, 1997.

[9] Stützle, T. and Hoos, H. : “MAX-MIN Ant System”, *Future Generation Computer Systems*, pp. 889 - 914, June 2000.

[10] Bullnheimer, B., Hartl, R.F and Strauss, C. : “A new rank-based version of the ant system : a computational study”, Proc. of *Central European Journal for Operations Research and Economics*, 1997.

[11] Dorigo, M. and Caro, G.D.: “Ant colony optimization: a new meta-heuristic”, Proc. of *Evolutionary Computation*, Vol 2, pp. 1470-1477, July 1999.

저 자 소 개



이 대 열(학생회원)
2006년 연세대학교 전기전자 공학과 학사 졸업.
2008년 현재 연세대학교 전기 전자공학과 석사졸업예정.
<주관심분야 : Memory 테스트, SoC 테스트>



양 명 훈(학생회원)
1996년 연세대학교 전기공학과 학사 졸업.
1998년 연세대학교 전기공학과 석사 졸업.
2004년 삼성전자 System LSI 사업부 선임연구원.

2008년 현재 연세대학교 전기전자공학과 박사과정.
<주관심분야 : DFT, BIST, SoC 설계>



김 용 준(학생회원)
2002년 연세대학교 전기공학과 학사 졸업.
2004년 연세대학교 전기공학과 석사 졸업.
2008년 현재 연세대학교 전기 전자공학과 박사과정.

<주관심분야 : CAD, DFT, Testing>



박 영 규(학생회원)
2004년 호서대학교 전자공학과 학사 졸업.
2006년 연세대학교 전기전자 공학과 석사 졸업
2008년 현재 연세대학교 전기 전자공학과 박사과정

<주관심분야 : Memory Test, DFT, BIST>



윤 현 준(학생회원)
2007년 연세대학교 전기공학과 학사 졸업.
2008년 현재 연세대학교 전기 전자공학과 석사과정.
<주관심분야 : SoC설계, SoC Test>



강 성 호(평생회원)
1986년 서울대학교 제어계측 공학과 학사 졸업.
1988년 The University of Texas, Austin 전기 및 컴퓨터공학과 석사 졸업.
1992년 The University of Texas, Austin 전기 및 컴퓨터공학과 박사 졸업.

1992년 미국 Schlumberger Inc. 연구원
1994년 Motorola Inc. 선임 연구원
2008년 현재 연세대학교 전기전자공학과 교수
<주관심분야 : SoC 설계 및 SoC 테스트>