

논문 2008-45SD-1-9

WCDMA 통신용 I-Q 채널 12비트 1GS/s CMOS DAC

(I-Q Channel 12bit 1GS/s CMOS DAC for WCDMA)

서성욱*, 신선화*, 주찬양*, 김수재*, 윤광섭**

(Sung-uk Seo, Sunhwa Shin, Chanyang Joo, Soojae Kim, and Kwang S. Yoon)

요약

본 논문에서는 WCDMA 통신용 송신기에 적용 가능한 12비트 1GS/s 전류구동 방식의 혼합형 DAC를 설계하였다. 제안된 DAC는 혼합형 구조로써 하위 4비트는 이진 가중치 구조, 중간비트와 상위비트는 4비트 온도계 디코더 구조로 12비트를 구성하였다. 제안된 DAC는 혼합형 구조에서 발생하는 지연시간에 따른 성능 저하를 개선하기 위해 지연시간보정 회로를 사용하였다. 지연시간보정 회로는 위상주파수 검출기, 전하펌프, 제어회로로 구성되어 이진 가중치 구조와 온도계 디코더 구조에서 발생하는 지연시간을 감소시킨다. 제안된 DAC는 CMOS 0.18 μm 1-poly 6-metal n-well 공정을 사용하여 제작되었고 측정된 INL/DNL은 $\pm 0.93\text{LSB}/0.62\text{LSB}$ 이하로 나타났다. 입력 주파수 1MHz에서 SFDR은 약 60dB로 측정되었고, SNDR은 51dB로 측정되었다. 단일 DAC의 전력소모는 46.2mW로 나타났다.

Abstract

This paper describes a 12 bit 1GS/s current mode segmented DAC for WCDMA communication. The proposed circuit in this paper employs segmented structure which consists of 4bit binary weighted structure in the LSB, and 4bit thermometer decoder structure in the mSB and MSB. The proposed DAC uses delay time compensation circuits in order to suppress performance decline by delay time in segmented structure. The delay time compensation circuit comprises of phase frequency detector, charge pump, and control circuits, so that suppress delay time by binary weighted structure and thermometer decoder structure. The proposed DAC uses CMOS 0.18 μm 1-poly 6-metal n-well process, and measured INL/DNL are below $\pm 0.93\text{LSB}/\pm 0.62\text{LSB}$. SFDR is approximately 60dB and SNDR is 51dB at 1MHz input frequency. Single DAC's power consumption is 46.2mW.

Keywords: segmented DAC, delay compensation circuit, PFD, charge pump

I. 서론

무선이동통신은 1세대 아날로그 서비스, 2세대 디지털 서비스를 거쳐 고품질의 음성 및 영상 데이터 서비스가 가능한 3세대 통신으로 발달해왔다. 그러므로 3세대 이동 단말기의 경우 증대된 데이터 처리 능력이 요구된다. 3세대 이동통신 서비스인 WCDMA의 표준은 1920MHz~1980MHz의 주파수 대역을 이동 단말기의 송신용으로 2110~2170MHz의 주파수 대역을 수신용으로

로 할당받고 있다.

WCDMA 송·수신기는 수신된 고주파 신호를 중간 주파수(IF)로 변환한 후 중간 주파수를 낮은 기저대역 신호로 변환한다. 이와 같은 방식은 디지털 통신에서 사용되고 있는 I-Q 변조에서 문제가 되는 I 신호와 Q 신호간의 진폭 및 위상 오차에 덜 민감하다.

WCDMA 송·수신기의 출력 범위는 약 71dB가 필요하며, 대부분의 전력 제어는 VGA와 PA에 의해서 이루어진다. 그러나 송·수신기의 전력 소모를 감소시키기 위해서 ADC, DAC의 동적 특성을 약 60dB이상으로 권고한다.

WCDMA의 많은 양의 데이터 처리와 좋은 동적 특성을 위한 DAC의 요구사항은 해상도 12비트 이상, 변

* 학생회원, ** 정회원, 인하대학교 전자공학과
(Dept. of Electronic Engineering, Inha University)
* 『이 논문은 인하대학교의 지원에 의하여 연구되었음.』
접수일자: 2007년7월4일, 수정완료일: 2008년1월7일

환속도 500MHz이다.^[1~2]

일반적으로 고해상도 전류 구동 방식의 DAC는 혼합형으로 설계된다. 그러나 고속 응용을 위한 혼합형 DAC는 다른 구조의 sub-DAC로 인하여 지연시간 오차가 발생하는 문제점을 가지고 있다.

이와 같은 문제점을 해결하기 위하여 DAC 설계 시 지연회로를 이용하거나 래치단을 2단 혹은 3단으로 구성한다. 그러나 기존의 기술은 동적 전력의 증가와 칩 면적을 증가시키는 단점이 있다. 따라서 본 논문에서는 DLL블록의 위상 주파수 검출기(PFD), 전하펌프(Charge pump), 제어회로(Voltage control circuit)를 응용한 지연시간 보정회로를 이용하여 새로운 구조의 CMOS 12비트 DAC를 제안하고자 한다. 제안한 DAC는 CMOS 0.18 μ m 공정을 이용하여 제작하여 저전력 설계가 가능하며, 칩 면적을 감소시킬 수 있다. 그리고 in - phase / quadrature - phase 변조를 위한 Dual mode I-Q채널로 DAC를 구현하였다.

본 논문의 II장에서는 제안한 DAC의 전체 구조와 지연시간보정 회로와 캐스코드 전류원, 제안한 12비트 DAC의 레이아웃 및 LPE 모의실험에 대하여 논하였다. III장은 제안한 DAC의 측정 결과에 대하여 논하고 IV장에서 결론을 맺는다.

II. 12비트 1GS/s DAC 설계

제안한 12비트 DAC는 고속의 샘플링 주파수에서 우수한 단조 증가성, INL/DNL 특성, 주파수 특성을 얻기 위하여 4비트 온도계 디코더 DAC로 상위비트와 중간비트를 구성하고, 회로의 간결성을 위해서 하위비트는 4비트 이진 가중치 DAC로 구성하여 혼합형 DAC로 설계하였다.

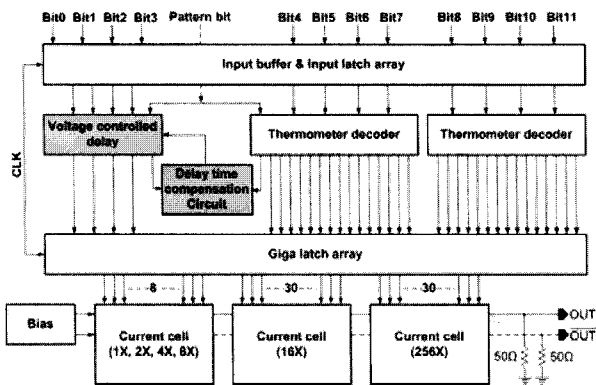


그림 1. 제안한 12비트 DAC의 전체 블록 다이어그램
Fig. 1. Block diagram of proposed 12bit DAC.

4비트 온도계 디코더 DAC는 디코더의 구조를 간단하게 구현하기 위하여 2비트 행·열 디코더방식으로 설계하였다. 이와 같이 디코더의 입력 값을 2비트로 줄임으로써 게이트의 수를 줄일 수 있고 칩 면적 또한 감소시킬 수 있다. 그리고 임계 경로가 동일해짐으로 4비트 디코더에 비해서 지연시간 차이를 최소화할 수 있다.

제안한 12비트 DAC의 전체 블록 다이어그램은 그림 1에 나타내었다. 회로의 동작은 12비트의 디지털 입력이 입력 버퍼와 입력 래치를 거쳐 하위비트와 중간비트, 상위비트로 나누어져 지연시간 보정회로와 온도계 디코더에 인가된다. 지연시간 보정회로는 위상주파수 검출기(PFD), 전하펌프(Charge pump), 제어회로(Voltage control circuit)로 구성된다. 온도계 디코더에서는 행 디코더와 열 디코더로 신호가 인가되어 온도계 코드로 변환된다. 지연시간 보정회로와 온도계 디코더의 출력은 DAC의 래치단에 인가되어 동기화된 디지털 신호를 출력하고 이 신호가 DAC의 아날로그 스위치를 구동시킨다. 래치회로의 출력에 따라서 아날로그 스위치가 도통/차단되어 전류를 DAC의 출력단으로 흘려주어 아날로그 신호로 변환하게 된다.

고속, 고해상도 혼합형 DAC에서는 지연시간에 의해 래치회로에서 오류 코드가 발생할 수 있다. 이와 같은 문제점은 하위비트에 지연회로를 삽입하거나 래치를 2단 혹은 3단으로 연결함으로써 해결할 수 있으나 동적 전력 소모의 증가와 칩 면적의 증가를 초래한다. 이와 같은 단점을 극복하기 위하여 그림 2의 지연시간보정회로를 이용하였다.

지연시간보정회로의 구성은 위상 주파수 검출기(PFD), 전하펌프(Charge pump), 제어회로(Voltage control circuit)으로 이루어져있다. 동작원리는 이진 가중치 구조와 온도계 디코더 구조사이에서 발생한 지연시간의 차이를 위상 주파수 검출기를 통해 위상의 차

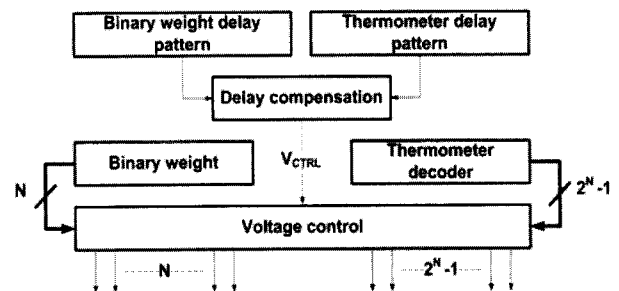


그림 2. 지연시간보정 회로 블록 다이어그램
Fig. 2. Block diagram of delay compensation circuit.

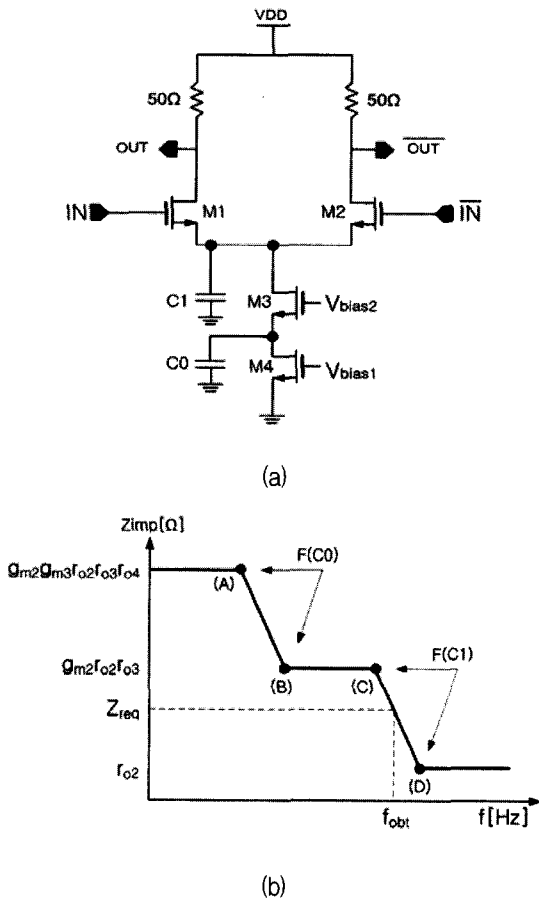


그림 3. (a) 캐스코드 전류원
(b) 출력 임피던스의 주파수 동작
Fig. 3. (a) Cascode current source
(b) Frequency response of the output impedance

이를 UP/DOWN 신호로 출력한다. 위상의 차이는 전하 펄스폭에 인가되어 위상 차이에 비례하는 전류로 변환된다. 위상의 차이만큼 변환된 전류는 커패시터에 인가되어 전압 신호로 변환되고 이 전압신호가 지연시간을 보정해주는 제어신호로 사용된다. 제어신호에 따라 제어회로의 전류가 증가, 감소하면서 이진 가중치 구조와 온도계 디코더 구조 사이의 지연시간을 보정해 준다. 위상 주파수 검출기는 고속동작에서 위상 잡음을 감소시키기 위해 프리전하(Pre-charge) D-FF를 사용하였다.

캐스코드 전류원은 전류구동 DAC에서 가장 중요한 회로이다. DAC의 해상도는 캐스코드 전류원에 의해서 결정된다. DAC에서 전류원의 설계가 중요한 다른 이유는 출력 임피던스와 INL이 밀접한 관련이 있기 때문이다. 출력 임피던스와 INL사이의 관계식은 (1)과 같이 표현할 수 있다.^[3] I_{unit} 은 DAC의 단위 전류원을 나타

내고, R_L 은 부하저항, N은 단위 전류원의 개수를 의미한다.

$$INL = \frac{I_{unit} R_L^2 N^2}{4 Z_{imp}} \tag{1}$$

그러나 캐스코드 전류원의 기생 커패시턴스 C_0, C_1 에 의해 출력 임피던스의 주파수 성분이 저하되는 것을 그림 3.(b)를 통해 관찰할 수 있다. 출력 임피던스의 증가에 따라 INL의 감소는 (1)에 의해 증명할 수 있다. 그러므로 나이퀴스트 주파수에도 높은 출력 임피던스를 유지해야 고성능의 DAC를 구현할 수 있다. 나이퀴스트 주파수에서 요구하는 출력 임피던스의 값은 (2)의 관계를 통해 추출할 수 있다.

$$Z_{reg} \approx \frac{NR_L}{4Q} \tag{2}$$

여기서, Q는 입력 신호와 이차 고조파의 비이고, DAC의 성능 지수 중 SFDR를 나타낸다. 본 논문에서 설계한 12비트 DAC에는 약 70dB의 Q값을 요구한다. 그러므로 출력 임피던스는 약 100 MΩ의 값이 적당하다.^[4]

제안한 12비트 DAC의 제작은 CMOS 0.18μm 1-poly 6-metal n-well 공정을 이용하였다. I-채널 DAC와 Q-채널 DAC의 매칭을 고려하여 패드의 입력과 출력, 전원까지 대칭적으로 레이아웃을 수행하였다. 그리고 아날로그 블록과 디지털 블록 사이에 더블 가드링을 구성하여 분리시켰으며, 기판의 바이패스 커패시터를 사용함으로써 아날로그 블록으로의 디지털 블록의 잡음 유입을 방지하였다. DAC 변환기의 동적 특성에 큰 영향을 미치는 전류원의 레이아웃은 3중 대각 대칭

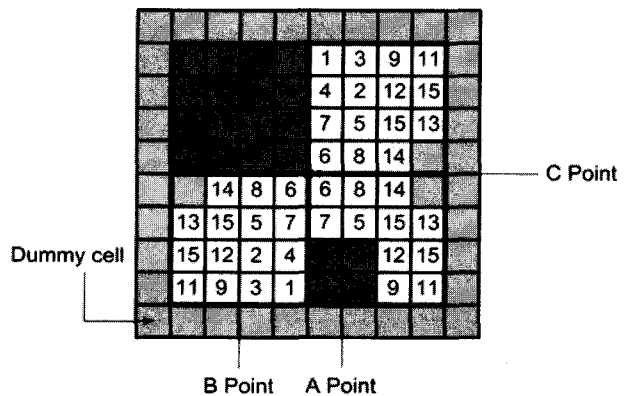


그림 4. 전류원의 대칭적 배치
Fig. 4 Symmetrical floor plan of current source.

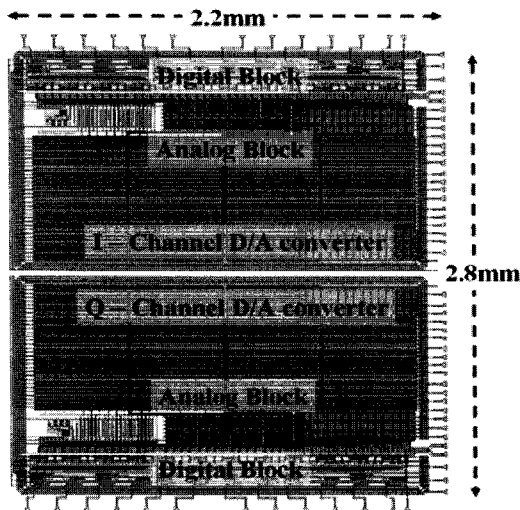
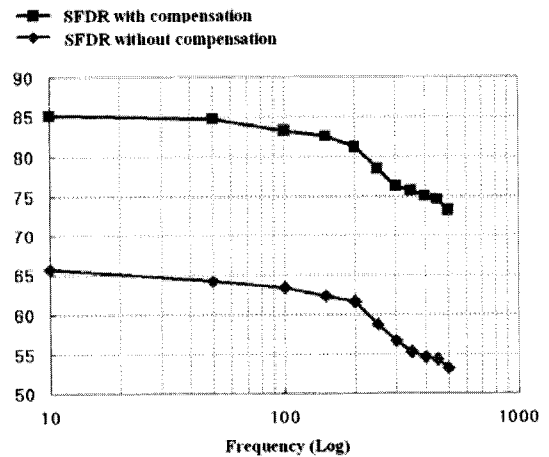


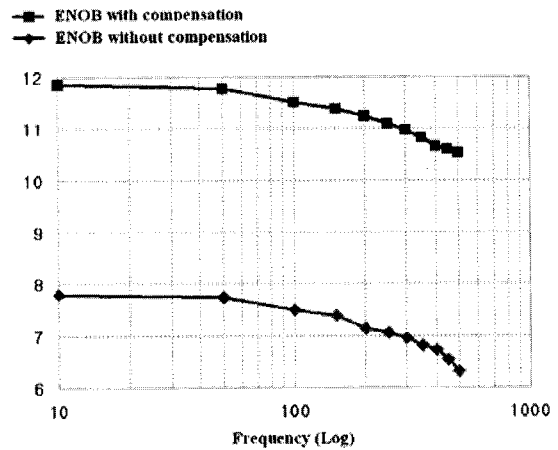
그림 5. DAC 전체 레이아웃
Fig. 5. Full layout of the DAC.

방법을 사용하여 레이아웃에서 발생하는 경사오차와 대칭오차를 최소화하였다. 전류원의 대칭적 레이아웃 방법은 그림 4와 같다. 전류원 스위칭 방법은 A점을 중심으로 4개의 전류원이 대각선 방향으로 배치되어 있고 B점을 중심으로 15개의 전류원이 대각선 방향으로 배치되었다. 그리고 C점을 중심으로 전체 15개의 전류원이 대칭적으로 배치되어 오차 보정의 효과를 볼 수 있게 하였다. 설계된 I-Q 채널 12비트 DAC를 제작한 결과 칩 면적은 $2.2\text{mm} \times 2.8\text{mm}$ 로 전체 약 6.1mm^2 이다. 지연시간 보정회로의 성능을 확인하기 위하여 지연시간 보정회로를 적용하였을 때와 적용하지 않았을 때의 SFDR과 ENOB을 입력 주파수를 가변시켜 그림 6(a)와 (b)에 정리하였다. 그리고 인버터 체인의 지연소자를 이용하여 지연시간 문제를 해결한 방법과 지연시간 회로를 이용하여 지연시간 문제를 해결한 방법을 전력 소모 측면에서 그림 7에 입력 주파수에 따라 정리하였다.

레이아웃을 마친 DAC의 동작 여부를 확인하기 위하여 Synopsis사의 StarRC-XT를 이용하여 LPE (Layout Parasitic extraction) 모의실험을 수행하였다. DAC의 레이아웃에서 추출한 넷-리스트를 이상적인 ADC와 연결하여 FFT(Fast Fourier Transform)실험을 한 결과는 그림 8과 같다. 샘플링 주파수는 1GHz를 인가하였고, 입력 주파수는 496MHz를 인가하였다. FFT 모의실험 결과 SFDR(Spurious Free Dynamic Range)은 73dB로 나타났고, SNDR은 동일한 조건에서 65.27dB로 확인되었다. 설계된 DAC의 유효비트는 10.55 비트로 확인되어 WCDMA 통신용 송신기에 적용 가능한 IP임을 확인할 수 있다.



(a)



(b)

그림 6. (a) 지연시간 보정회로의 유·무에 따른 SFDR
(b) 지연시간 보정회로의 유·무에 따른 ENOB
Fig. 6. (a) Result of SFDR with or without a delay compensation circuit
(b) Result of ENOB with or without a delay compensation circuit

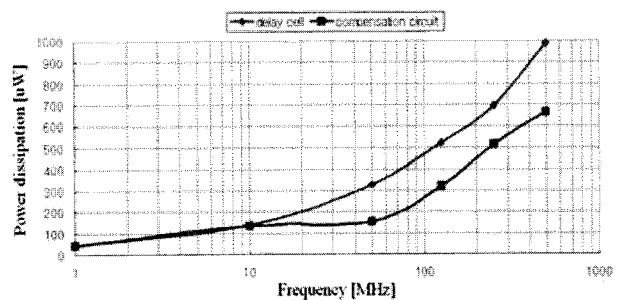


그림 7. 지연소자와 지연시간 보정회로의 전력 소모
Fig. 7. Comparison of power dissipation between delay cell and delay time compensation circuit.

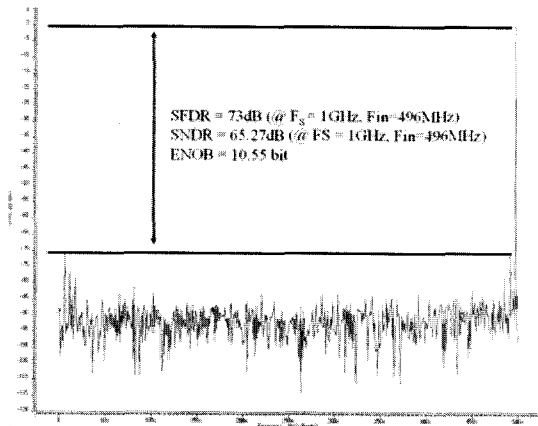


그림 8. FFT 모의실험 결과
 Fig. 8. The result of FFT simulation.

III. 실험결과 및 고찰

제작된 12비트 DAC의 선형성을 측정하기 위해 14비트 카운터 입력을 인가하였다. 측정결과 제작된 DAC는 디지털 코드 0부터 4095에 대해 오류코드 없이 단조 증가성을 보였으며 이에 대한 결과는 그림 9와 같다.

DAC의 선형 특성인 INL과 DNL은 Agilent 사의 고성능 멀티미터 3458A를 이용하여 측정하였다. 측정 결과는 그림 10과 같이 INL은 ± 0.93 LSB, DNL은 ± 0.62 LSB로 측정되었다.

제작된 DAC의 동적 특성 측정을 위하여 TI사의 14비트 ADC를 이용하였다. 또한 공통 모드 잡음 및 짝수 고조파를 최대한 감소시키기 위하여 트랜스포머를 이용하여 차동 모드로 측정하였다. 동적 특성 측정은 ADC에 제작된 DAC에 연결하고 ADC에 입력으로 정현파를 인가하여 동적 특성인 SFDR 및 THD, SNR을 측정하였다. SFDR은 입력 주파수가 1MHz일때 약 60dB로 측정되었다.

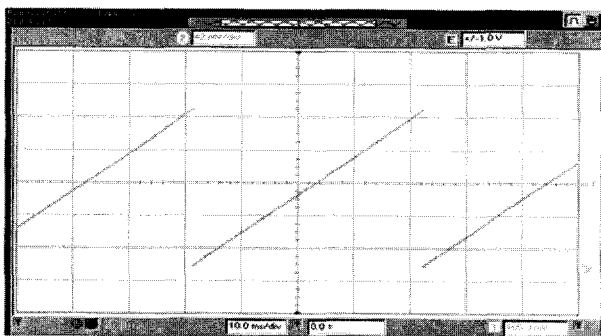


그림 9. 선형성 측정결과
 Fig. 9. Measurement of monotonicity.

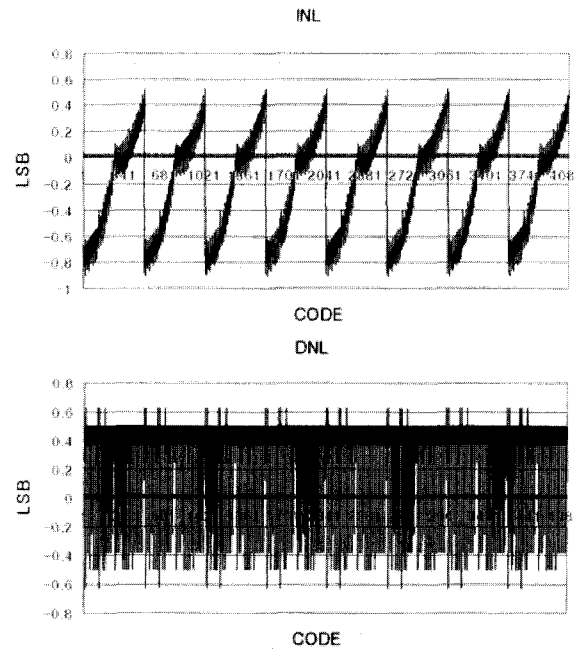


그림 10. INL/DNL 측정결과
 Fig. 10. Measurement of INL and DNL.

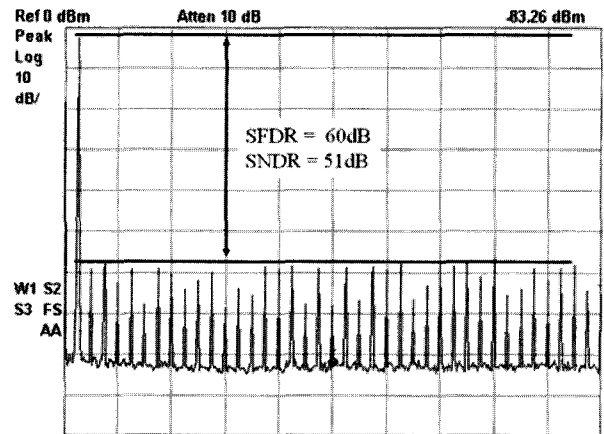


그림 11. 출력 스펙트럼 측정
 Fig. 11. Measurement of output spectrum.

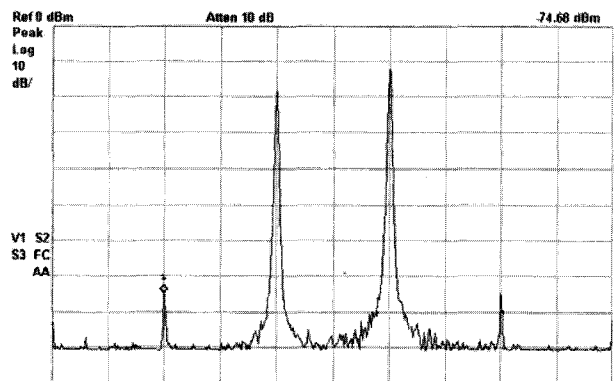


그림 12. 출력 스펙트럼-듀얼 톤 측정
 Fig. 12. Measurement of output spectrum-Dual tone.

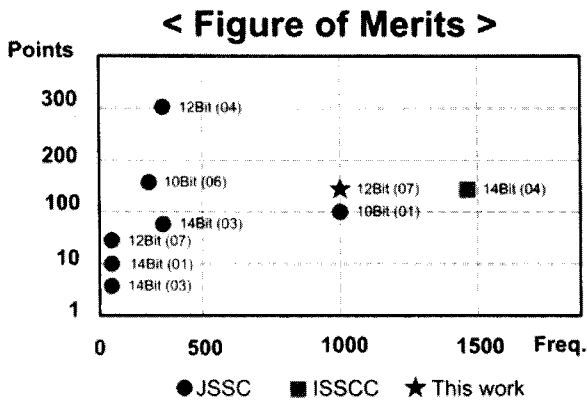


그림 13. 제작된 DAC와 SCI 논문들과의 FoM 비교
 Fig. 13. Comparison of the FoM between designed DAC and SCI Papers.

표 1. FoM의 참고 논문 요약
 Table 1. Summary of the reference paper for FoM.

참고문헌	해상도	변환속도	SNDR	전력소모
본 논문	12	1000MHz	51.3dB	46.2mW
[3]	10	1000MHz	61.2dB	110mW
[5]	10	250MHz	57dB	100mW
[6]	12	320MHz	60dB	82mW
[7]	12	160MHz	55dB	22mW
[8]	14	1400MHz	67dB	400mW
[9]	14	300MHz	72dB	53mW
[10]	14	100MHz	84dB	20mW
[11]	14	100MHz	82dB	10mW

입력 송신신호간의 간섭 특성을 측정하기 위해 1MHz와 1.3MHz의 정현파를 동시에 인가시키는 듀얼 톤 실험을 수행하였다. 측정결과 SFDR은 61dB이며 이로써 제작된 DAC는 0.3MHz 범위 안에서의 간섭 주파수를 분리시킬 수 있는 능력이 있음을 확인할 수 있다.

제작된 DAC는 (3)의 식을 이용한 FoM(Figure of Merit)로 유명 저널 및 학술대회에서 발표된 DAC와의 성능을 비교하였다. FoM의 분석 결과는 그림 13과 같고, FoM의 참고논문은 표 1에 간단하게 정리하였다.

$$FoM = \frac{Power\ dissipation}{2^n \times Conversion\ rate} [pJ/conv] \quad (3)$$

FoM 분석 결과 제안한 DAC는 변환속도와 전력소모 면에서 타 논문보다 우수한 것을 확인할 수 있으며 동적성능은 그에 비해 떨어짐을 볼 수 있다. 그러나 측정 환경을 상용 ADC보드가 아닌 DTG(Digital Timing Generator)를 사용한다면 본 논문의 측정결과는 보다 향상된 결과를 도출할 수 있을 것으로 기대된다.

표 2. 성능 요약
 Table 2. Performance summary.

해상도	12비트
변환속도	1 GHz
INL / DNL	±0.93LSB / ±0.62LSB
SNDR	51.3dB (@ 1MHz)
SFDR	60.1dB (@ 1MHz)
공급전원	1.8V
전력소모	46.2mW
유효 칩 면적	2.2mm × 2.8mm (I-Q DAC)

제안한 12비트 DAC의 제작은 CMOS 0.18µm 1-poly 6-metal n-well 공정을 이용하여 설계하였다. 측정결과 INL/DNL은 ±0.93LSB / ±0.62LSB 이하로 측정되었고 SFDR은 약 60dB로 나타났다. 단일 DAC의 전력소모는 46.2mW로 측정되었다. 제안한 DAC의 성능은 표 2에 요약하였다.

IV. 결 론

본 논문에서는 WCDMA 통신용 송신기에 적용 가능한 12비트 1GS/s 전류구동 DAC를 설계·제작하였다. 제안한 12비트 DAC는 혼합형 구조로써 하위 4비트는 이진 가중치 구조, 중간비트와 상위비트는 각각 4비트 온도계 디코더 구조를 채용함으로써 12비트를 구성하였다.

본 논문에서는 이진 가중치 구조와 온도계 디코더 구조 사이에서 발생하는 지연시간 차이에 의한 성능저하를 개선하기 위하여 지연시간보정 회로를 제안하여 WCDMA 통신용 송신기에 적용 가능한 12비트 1GS/s 전류구동 DAC를 설계·제작하였다. 지연시간보정 회로는 위상주파수 검출기, 전하펌프, 제어회로로 구성되어 혼합형 DAC에서 발생하는 지연시간을 보정함으로써 SFDR과 SNDR을 향상시키며 전력 소모를 감소시켜 DAC의 성능을 개선한다. 제안한 DAC는 CMOS 0.18µm 1-poly 6-metal n-well 공정을 사용하여 제작되었고 측정된 INL/DNL은 ±0.93LSB/±0.62LSB 이하로 나타났다. 입력 주파수 1MHz에서 SFDR은 약 60dB로 측정되었고, SNDR은 51dB로 측정되었고 단일 DAC의 전력소모는 46.2mW로 나타났다. 측정결과 제작한 12비트 DAC는 60dB 이상의 동적특성을 요구하는 WCDMA 통신용 송·수신기에 적용 가능하다.

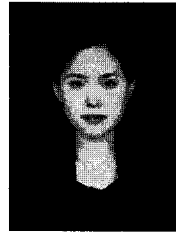
참고 문헌

- [1] 이진성, 유형준, "ICU WCDMA UE Radio Transceiver Implementation-Part I: Receiver performance analysis," SoC R&D, pp. 16-21, Jun, 2005
- [2] 이진성, 유형준, "ICU WCDMA UE Radio Transceiver Implementation-Part II: Transmitter performance analysis," SoC R&D, pp. 25-29, Jul, 2005.
- [3] A. Van den Bosch, Marc A. F. Borrenmans, M. Steyaert and W. Sansen, "A 10bit 1GSample/s Nyquist Current Steering CMOS D/A Converter," IEEE J. Solid-State Circuits, vol. 36, No. 3, pp. 315-324, Mar. 2001.
- [4] A. van den Bosch, M. Steyaert and W. Sansen, "SFDR-bandwidth limitations for high speed high resolution current steering CMOS D/A converters," Circuits and Systems, 1999. Proceedings of ICECS '99. The 6th IEEE International Conference on, vol. 3, No. 3, pp. 1193-1196, Sep. 1999.
- [5] Jurgen Deveugele and Michiel S.J.Steyaert, "A 10-bit 250-MS/s Binary-Weighted Current-Steering DAC," IEEE J. Solid-State Circuits, vol. 41, No. 2, pp. 320-329 Feb. 2006.
- [6] Kevin O'Sullivan, C. Gorman, M. Hennessy and Vincent Callaghan, "A 12-bit 320-MSample/s Current-Steering CMOS D/A Converter in 0.44mm²," IEEE J. Solid-State Circuits, vol. 39, No. 7, pp. 1064-1072, July. 2004.
- [7] Dongwon Seo, Gene H. AcAllister, "A Low-Spurious Low-Power 12-bit 160MS/s DAC in 90-nm CMOS for Baseband Wireless Transmitter," IEEE J. Solid-State Circuits, vol. 42, No. 3, pp. 486-495, Mar. 2007.
- [8] Bernd Schaffer and Richard Adams, "A 3V CMOS 400mW 14b 1.4GS/s DAC for Multi-Carrier Applications," ISSCC, session 20, Feb. 2004.
- [9] John Hyde, Todd Humes, Chris Diorio, Mike Thomas, and Miguel Figueroa, "A 300-MS/s 12-bit Digital-to-Analog Converter in Logic CMOS," IEEE J. Solid-State Circuits, vol. 38, No. 5, pp. 734-740, May. 2003.
- [10] Mike P. Tiilikainen, "A 14-bit 1.8-V 20-mW 1mm²CMOSDAC," IEEE J. Solid-State Circuits, vol. 36, No. 7, pp. 1144-1147, July. 2001.
- [11] Yonghua Cong and Randall L. Geiger, "A 1.5-V 14-Bit 100MS/s Self-Calibrated DAC," IEEE J. Solid-State Circuits, vol. 38 No. 12, pp. 2051-2060, Dec. 2003.

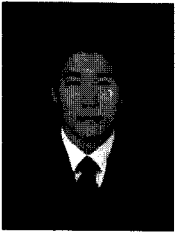
저 자 소 개



서 성 옥(학생회원)
 2005년 인하대학교 전자공학과
 학사 졸업.
 2007년 인하대학교
 전자공학과 석사 졸업
 <주관심분야 : 데이터 변환기
 설계, Analog/Mixed Signal IC
 설계, 반도체, VLSI>



신 선 화(학생회원)
 2005년 인하대학교
 전자공학과 학사 졸업.
 2006년~현재 인하대학교
 전자공학과 석사재학
 <주관심분야 : 데이터 변환기
 설계, Analog/Mixed Signal IC
 설계, 반도체, VLSI>



주 찬 양(학생회원)
 2006년 인하대학교 전자공학과
 학사 졸업.
 2006년~현재 인하대학교
 전자공학과 석사재학.
 <주관심분야 : 데이터 변환기
 설계, Analog/Mixed Signal IC
 설계, 반도체, VLSI>



김 수 재(학생회원)
 2006년 인하대학교 전자공학과
 학사 졸업.
 2007년~현재 인하대학교
 전자공학과 석사 재학.
 <주관심분야 : 데이터 변환기
 설계, Analog/Mixed Signal IC
 설계, 반도체, VLSI>



윤 광 섭(정회원)
 1982년 인하대학교 전자공학과
 학사 졸업
 1983년 Georgia Institute of
 Technology 공학석사
 1989년 Georgia Institute of
 Technology 공학박사

1989년 3월~1992년 2월 Silicon Systems Inc,
 Tustin Calif. U.S.A Senior Design
 Engineer

1992년 3월~ 현재 인하대학교 전자공학과 교수
 <주관심분야 : ADC, DAC, PLL 등 아날로그 및
 혼성신호 집적회로 설계>