

16 V 급 NMOSFET 소자의 낮은 게이트 전압 영역에서 출력저항 개선에 대한 연구

Design and Analysis of 16 V N-TYPE MOSFET Transistor for the Output Resistance Improvement at Low Gate Bias

김영목¹, 이한신¹, 성만영^{1,a}
(Young Mok Kim¹, Han Sin Lee¹, and Man Young Sung^{1,a})

Abstract

In this paper we proposed a new source-drain structure for N-type MOSFET which can suppress the output resistance reduction of a device in saturation region due to soft break down leakage at high drain voltage when the gate is biased around relatively low voltage. When a device is generally used as a switch at high gate bias the current level is very important for the operation. but in electronic circuit like an amplifier we should mainly consider the output resistance for the stable voltage gain and the operation at low gate bias. Hence with T-SUPREM simulator we designed devices that operate at low gate bias and high gate bias respectively without a extra photo mask layer and ion-implantation steps. As a result the soft break down leakage due to impact ionization is reduced remarkably and the output resistance increases about 3 times in the device that operates at the low gate bias. Also it is expected that electronic circuit designers can easily design a circuit using the offered N-type MOSFET device with the better output resistance.

Key Words : N-TYPE MOSFET, Output resistance, Soft break-down, Impact ionization, Low gate bias

1. 서론

LCD(Liquid Crystal Display) 을 사용한 TV, PC 모니터, 이동 전화, 자동차 네비게이션 등의 수요증가로 인해 LDI(LCD Driver IC) 는 소형 LCD 패널부터 대형 LCD 패널까지 그 수요가 증가하고 있다. 일반적으로 LCD 를 구동하기 위해서는 패널의 크기에 따라 구동전압이 증가하여야 한다[1-3]. 그러므로 LCD TV, PC 모니터등과 같이 대형 패널을 구동하기 위해서는 패널 드라이버 증폭기의 경우 대략 13 V 이상의 구동 전압을 요하고 있다.

LDI 내에는 레벨 쉬프터, 바이어스 회로 및 전압 증폭기등과 같이 고전압을 요구하는 많은 회로가 탑재되어 있으며 특히 증폭기 같은 경우는 안정적인 전압이득을 확보하기 위해 소자의 드레인 전압에 따라 소자의 포화영역에서 출력저항 특성이 매우 중요하다[4,5]. 특히 전압이득 특성에 많은 영향을 주는 부분은 게이트 전압이 낮은 부분인데 일반적으로 게이트 전압이 낮은 영역에서는 드레인 전계에 의한 전자-정공쌍의 생성이 가장 많이 일어나므로 이 영역에서 출력저항 특성이 가장 나쁘게 나타날 수 있다. 이러한 문제를 해결하기 위해 소자의 게이트 채널길이를 증가시키거나 소자의 소스와 드레인의 농도 및 P-N 접합의 깊이를 조절하여 개선하는 방법이 있으나 대개 낮은 게이트 전압 영역에서 soft break down 현상이 개선되면 반대로 높은 게이트 전압 영역의 특성이 악화되는 경향이 있어 어려움을 겪고 있다[6-8]. 그러므로

1. 고려대학교 전기공학과
(서울시 성북구 안암동 5가)
a. Corresponding Author : semicad@korea.ac.kr
접수일자 : 2007. 10. 17
1차 심사 : 2008. 1. 11
심사완료 : 2008. 1. 17

본 연구에서는 높은 게이트 전압 영역의 특성을 훼손하지 않으면서 낮은 게이트 전압 영역의 특성을 개선할 수 있는 소자 구현 방법을 제안하고자 한다.

이것은 기존의 소자 외에 낮은 게이트 전압영역에서만 동작하면서 양호한 출력저항 특성을 가지는 소자를 별도로 제공하는 것이다. 그러나 별도의 소자를 제공하기 위해서는 추가적인 포토 마스크가 필요하다. 그러므로 드레인의 저농도 이온주입 마스크의 노광영역을 다르게 하면 추가적인 마스크 없이 낮은 게이트 전압 영역에서만 동작하는 소자를 구현할 수 있으며 디바이스 시뮬레이션을 통해 제안된 소자구조의 전기적 특성에 대해 분석하고자 한다.

2. NMOSFET 의 구조와 구현방법

본 논문에서는 드레인과 게이트 전압이 16 V 에서 동작 하는 N-타입 MOSFET 소자를 기준으로 하여 소자를 설계하도록 한다. 일반적으로 전자회로의 바이어스 회로 및 전압 증폭기에 쓰이는 소자는 게이트 전압이 낮은 전압부터 높은 전압까지 모두 사용되는 것이 아니라 주로 낮은 게이트 전압에서 구동되는 경우가 많으므로 게이트 전압이 5 V 이하에서 동작하는 N-타입 MOSFET 소자와 게이트 전압 0 V 부터 16 V 까지 동작하는 소자를 같이 설계하도록 한다. 그러므로 낮은 게이트 전압용 소자는 최대 게이트 전압이 5 V 를 넘지 않도록 소자를 설계한다. 소자의 구조는 공정 시뮬레이터인 T-SUPREM 을 사용하여 구현하였다. 16 V 에서 동작하기 위해서는 게이트 전압이 0 V 일 때 40 % 의 내압 마진을 확보하기 위해 소자의 항복전압(BV_{dss})이 23 V 이상이 될 수 있도록 소자의 크기를 설계하였다. 그러므로 내압 확보를 위해서는 일반적인 P-N 접합 구조로는 10 V 이상의 내압을 확보하기 어려우므로 소스와 드레인 구조를 이온주입 포토 마스크를 이용하여 저농도의 N-층을 형성하고 어닐 공정을 진행함으로써 이중 확산 드레인(Double Diffused Drain) 구조를 형성할 수 있도록 하였다[9]. 또한 이때 표 1과 같이 게이트 끝단부터 드레인의 N+ 고농도 지역까지 거리를 0.9 μm 로 하여 최대한 soft break down 현상을 억제할 수 있도록 하였다. 소자 채널의 길이는 punch-through 가 발생하지 않도록 1.6 μm 로 하고 16 V 의 게이트 전압에서 동작하기 위해 게이트 옥사이드에 나타나는 전계가 5 MeV/cm 이하가

표 1. TSUPREM 시뮬레이션 조건 및 소자의 크기.

Table 1. The condition and the device dimension for T-SUPREM simulation.

	게이트 길이	게이트 옥사이드 두께	게이트 끝단과 N+ 의 거리	P-N 접합 깊이
조건	1.6 μm	430 Å	0.9 μm	0.38 μm

	P-WELL	드레인 저농도 이온주입	N+ 이온주입	드레인 이온주입후 어닐
조건	boron 3.0x10 ¹⁷ (/Cm ³) uniform	phosphorus 8.0x10 ¹² (/Cm ²) 160 keV TILT=15 도	arsenic 3.0x10 ¹⁵ (/Cm ²) 30 keV	1050 °C 10분

될 수 있도록 게이트 옥사이드 두께는 430 Å 로 결정하였다[10]. 또한 soft break down 현상을 보다 잘 관찰하기 위해서 P-WELL 농도는 WELL 깊이에 상관없이 균일하게 하여 WELL 농도의 영향을 배제하였다.

본 논문에서 구현하고자 하는 소자에 있어 High Gate bias-MOSFET(HG-MOS) 는 높은 게이트 전압에서 동작하는 소자이며 게이트와 드레인의 동작 전압은 0~16 V 이다. 또한 Low Gate bias-MOSFET(LG-MOS) 는 0~5 V 의 낮은 게이트 전압에서 동작하며 드레인의 동작 전압은 0~16 V 이다. N-타입 MOSFET 소자의 소스와 드레인 도핑 분포 및 P-N 접합 깊이 등은 소자에 전류가 흐를 때 soft break down 현상에 지배적인 영향을 주므로 실제 P-N 접합을 형성하는 드레인의 저농도 이온 주입 조건은 매우 중요하다. 따라서 저농도 이온주입 영역 형성에 사용되는 포토 마스크가 필요하다. 이것은 저농도 이온주입을 통해 soft break down 현상을 조절할 수 있음을 의미 한다. 그러나 서론에서도 언급되었지만 HG-MOS 와 LG-MOS 의 soft break down 현상은 한쪽이 좋아지면 한쪽이 나빠지는 trade-off 관계가 있어 동일한 P-N 접합 구조로는 동시에 개선하는 것이 쉬운 일이 아니다. 그러므로 추가적으로 LG-MOS 구현을 위해서는 별도의 드레인 저농도 이온주입 마스크를 사용하여야 하나 추가적인 마스크를 사용한다는 것은 공정비용을 증가시키는 원인이 되므로 다음과 같은 방법으로 하나의 마스크로 각기 다른 LG-MOS 와 HG-MOS 소자의 P-N 접합을 동시에 구현하도록 한다. 드레인 저농도 이온주입

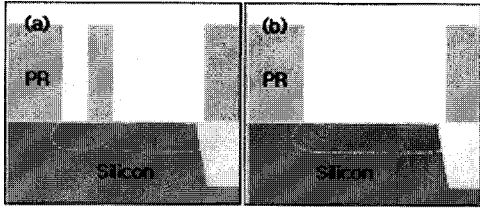


그림 1. 드레인 저농도 마스크 오픈영역에서 이온 주입 공정의 도식.

- (a) 제안된 LG-MOS 드레인 저농도 마스크 오픈영역
- (b) 기존의 HG-MOS 드레인 저농도 마스크 오픈영역

Fig. 1. Mask open area for the drain low dose implantation process.

- (a) Mask open area of the Proposed LG-MOS
- (b) Mask open area of a conventional HG-MOS

은 게이트 형성 전에 이루어지며 소자의 저농도 지역만 포토 레지스트(PR)를 노광하여 저농도 이온주입을 실시한다. LG-MOS의 P-N 접합 도핑 분포를 HG-MOS와 다르게 구현하기 위해 그림 1(a)와 같이 저농도 지역에서 모두 PR을 열어주는 것이 아니라 저농도 지역 중간의 0.3 μm 정도 PR을 남겨주어 저농도 이온주입을 막아주는 영역을 형성해 준다. 이때 10~15도의 이온주입 각도를 주어 이온주입을 하는 것이 중요하다. 이온주입 각도가 작으면 PR로 이온주입을 막아주는 지역에서 N-지역이 형성되지 않을 우려가 있기 때문이다. 아울러 이것은 이온주입 각도에 따라 P-N 접합 도핑 분포 및 soft break down 특성이 달라질 수 있음을 의미한다.

다시 말하면 LG-MOS는 드레인 저농도 영역에 PR로 이온주입이 막아지는 지역이 존재하고 HG-MOS는 모든 영역에 이온주입이 된다. LG-MOS에서는 이렇게 하면 PR의 노광영역이 좁은 부분과 넓은 부분이 존재하는데 이것은 넓은 부분과 좁은 부분의 도핑 분포가 이온주입각도에 따라 P-N 접합의 깊이와 농도가 다르게 형성된다. 그러므로 이온주입각도가 커지면 PR에 의한 이온주입의 shadowing effect로 인해 도핑 분포의 변화가 더욱 커질 수 있다. 이후 1050 °C에서 10분 정도의 어닐 공정을 수행하여 도핑 분포가 부드럽게 형성될 수 있도록 한다.

그림 2와 그림 3에서 드레인의 도핑 분포를

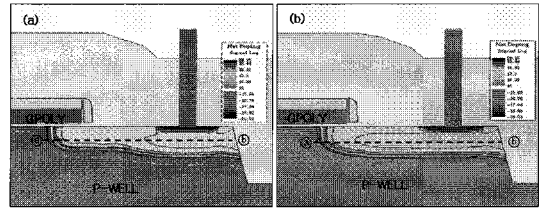


그림 2. 완성된 소자의 드레인 영역 도핑 분포. (a) LG-MOS (b) HG-MOS

Fig. 2. The final doping profile of the drain junction.

- (a) LG-MOS (b) HG-MOS

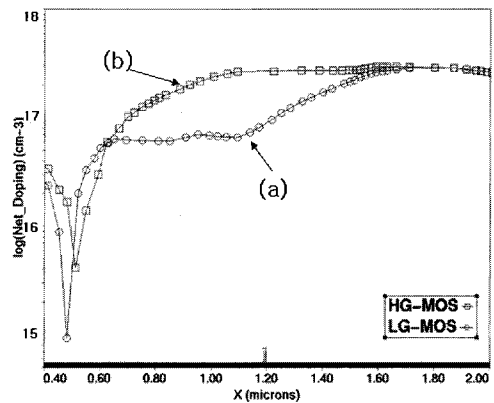


그림 3. 완성된 소자의 드레인 도핑 분포. 그림 2로부터 ㉠에서 ㉢까지 잘라서 본 단면.

- (a) LG-MOS (b) HG-MOS

Fig. 3. The final doping profile of the drain junction. The cross-section profile from ㉠ to ㉢ at Fig. 2.

- (a) LG-MOS (b) HG-MOS

보면 LG-MOS는 드레인 저농도 이온주입 할 때 PR로 차단되는 영역의 영향으로 P-N 접합의 깊이가 일정하지 않고 단차를 이루는 것을 볼 수 있다. 그러므로 LG-MOS에서는 저농도 지역이 게이트 끝단부터 N+ 지역까지 HG-MOS보다 상대적으로 넓게 분포하는 것을 알 수 있다. 반대로 HG-MOS는 게이트 끝단부터 N+ 지역까지 고농도로 급격하게 도핑 농도가 변하는 것을 확인할 수 있다. 즉 LG-MOS가 HG-MOS보다 더욱 저농도의 분포를 가지는 것을 확인할 수 있었다. 이렇게 하여 하나의 드레인 저농도 마스크와 동일한 이온주입 조건을 이용하여 P-N 접합 구조가 상이한 HG-MOS와 LG-MOS를 각각 구현할 수 있었다.

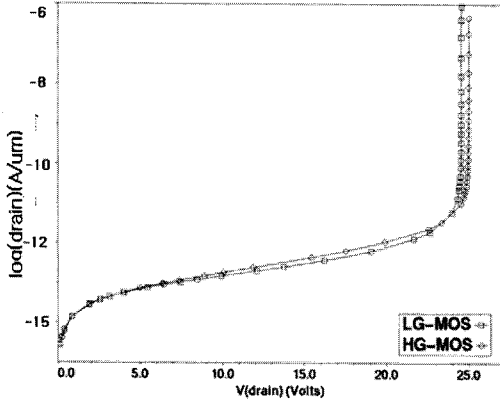


그림 4. LG-MOS 와 HG-MOS의 BVdss 특성곡선.
Fig. 4. BVdss curve of the LG-MOS and HG-MOS.

3. NMOSFET 소자의 전기적 특성

TSUPREM 으로 구현된 N-타입 MOSFET 소자 전기적 특성을 MEDICI 시뮬레이터를 사용하여 분석하였다. 앞에서도 언급하였지만 소자 구조에서 LG-MOS 는 HG-MOS 소자와 다른 드레인 P-N 접합 구조를 가지고 있다. 그러므로 게이트 전압이 0 V 일 때의 P-N 접합 항복전압 특성이 달라질 수 있을 것이다. 항복전압 특성곡선(그림 4)을 살펴보면 HG-MOS 는 23.5 V 이고 LG-MOS 는 22.8 V 의 항복전압을 나타내고 있어 약 0.8 V의 감소가 보이나 차이가 미미하므로 문제가 될 소지는 없는 것으로 판단된다. 또한 누설전류 수준도 드레인 전압 16 V에서 1 pA 수준으로 양호한 수준으로 차이가 없는 것으로 확인 되었다. 문턱전압 (V_{th})과 sub-threshold swing 특성을 보았을 때 HG/LG-MOS 각각 V_{th} 는 1.32 V/1.31 V 로 거의 변화가 보이지 않으며 sub-threshold swing 도 120 mV/decade 수준으로 동일한 값을 나타내어 변화가 없었다.

게이트 전압을 변화시키면서 드레인 전압에 따른 드레인 전류(이하 I_{ds} 라고 한다.) 특성을 살펴보면 HG-MOS 에서는 예상했던 대로 게이트 전압 5 V 근처에서 가장 많은 soft break down 이 발생하여 드레인 전압이 대략 11 V 부터 I_{ds} 가 포화되지 않고 드레인 전압에 따라 점차적으로 증가하는 모습을 보였다(그림 5).

LG-MOS 에서 I_{ds} 는 포화영역에서 안정적인 값을 나타내고 있으므로 출력저항이 HG-MOS 에

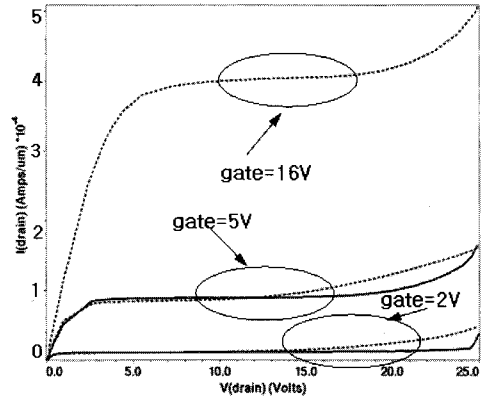


그림 5. 드레인 전압 증가에 따른 I_{ds} 특성. 게이트 전압은 2 V, 5 V 와 16 V 각각 인가.
(a) 실선 LG-MOS (b) 점선 HG-MOS
Fig. 5. I_{ds} curve as the drain voltage increases when the gate voltage is 2 V, 5 V and 16 V respectively.
(a) The solid-line indicates the LG-MOS
(b) The dotted-line indicates the HG-MOS

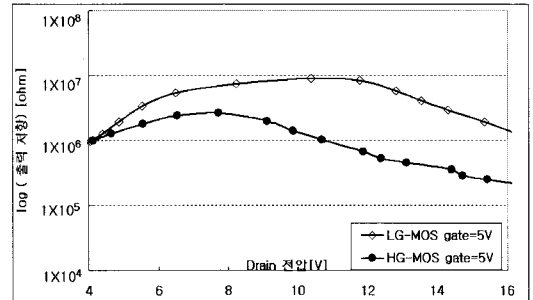


그림 6. 드레인 전압 따른 출력저항 특성.
Fig. 6. The output resistance as the drain voltage increases.

비해 현저히 증가하는 것을 확인할 수 있었다. 출력저항은 I_{ds} 의 변화량과 드레인 전압의 변화량의 비율로 표시할 수 있으며 게이트 전압과 드레인 전압에 따른 출력저항의 변화를 그림 6 에 표시하였다. 게이트 전압이 5 V 일 때의 출력저항은 LG-MOS 의 경우 포화영역에서 모든 드레인 전압에 걸쳐 최저 1 Mega-ohm 이상의 출력저항을 나타냈으나 HG-MOS 는 드레인 전압이 약 11 V 이상에서 출력저항이 급격히 감소하는 현상을 보였다.

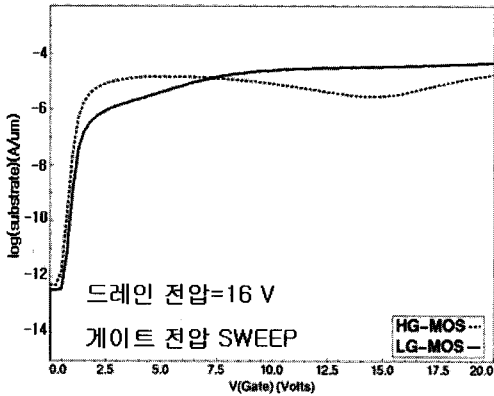


그림 7. LG-MOS 와 HG-MOS 의 I_{sub} 특성. 드레인 전압 16 V 를 인가하고 게이트 전압 증가.

(a) 실선 LG-MOS (b) 점선 HG-MOS

Fig. 7. I_{sub} curve of LG-MOS and HG-MOS Drain voltage is 16 V and gate voltage is swept.

(a) The solid-line indicates LG-MOS

(b) The dotted-line indicates HG-MOS

Soft break down 은 전자가 실리콘의 격자와 충돌하여 발생하는 현상으로 게이트 전압에 따른 기판 누설전류(substrate leakage, 이하 I_{sub} 라고 한다.)를 관찰함으로써 확인할 수 있다. 그림 7에서 드레인에 16 V 를 인가하고 HG-MOS 와 LG-MOS 의 I_{sub} 변화를 보면 HG-MOS 에서는 게이트 전압 0~5 V 까지는 I_{sub} 가 증가하다가 5 V 이상에서는 감소하는 현상을 볼 수 있다. 게이트 전압이 16 V 이상으로 더욱 증가하면 다시 I_{sub} 가 증가하는 현상을 보였다. I_{sub} 특성을 보았을 때 게이트 전압 16 V 이상에서는 soft break down 현상이 크게 나타나지만 목적으로 하는 16 V 구동에는 문제가 없을 것으로 판단되며 가장 많은 전자-정공쌍의 생성으로 인한 I_{sub} 최대치는 게이트 전압 5 V 에서 나타남을 알 수 있었다.

또한 LG-MOS 의 soft break down 을 확인하기 위해 HG-MOS 와 같은 방법으로 I_{sub} 를 관찰해 보면 HG-MOS 에서 가장 많은 I_{sub} 값을 보였던 게이트 전압 5 V 에서는 HG-MOS I_{sub} 의 20 %수준으로 현저히 감소한 것을 볼 수 있다. 물론 LG-MOS 는 게이트 전압이 증가하면 I_{sub} 도 같이 증가하여 높은 게이트 전압에서는 많은 I_{sub}

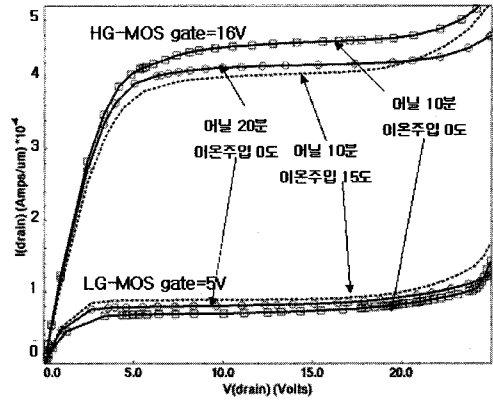


그림 8. 드레인 저농도 이온주입 각도 및 어닐 공정 시간에 따른 LG-MOS 와 HG-MOS 의 I_{ds} 특성곡선.

Fig. 8. I_{ds} curve with regard to the drain low dose implantation tilt angle and the anneal time in LG-MOS and HG-MOS.

값을 나타내고 있다. 하지만 LG-MOS 는 게이트 전압 5 V 이하에서 동작하도록 설계 되었으므로 낮은 게이트 전압 영역에서는 매우 작은 I_{sub} 값을 가진다고 판단할 수 있으며 문제 되는 사항은 아닌 것으로 생각한다.

T-SUPREM 시뮬레이터에 적용된 드레인 저농도 이온주입 조건은 이온주입의 각도를 15 도로 하여 소자를 구현하였으나 이온주입 각도에 따라 PR 에 의한 shadowing effect 가 발생하므로 P-N 접합의 도핑 분포가 변할 수 있다. 그림 8과 같이 이온주입각도가 증가함에 따라 LG-MOS 의 I_{ds} 가 증가하는 것을 볼 수 있다. 이것은 드레인 저농도 이온주입 할 경우 PR 에 의해 이온주입이 차단되는 되는 지역이 이온주입 각도를 증가하면 도핑이 더욱 수월하기 때문이다. 마찬가지로 드레인 저농도 이온주입 후 어닐 공정 시간을 늘려주어도 I_{ds} 의 증가 효과를 가져 올 수 있었다.

그러나 LG-MOS 의 I_{ds} 증가를 위해 이온주입 각도와 어닐 공정 시간을 변화시키는 것은 HG-MOS 의 특성을 변화시키는 역효과가 발생할 수 있다. HG-MOS 의 경우에 예를 들어 이온주입 각도를 0 도에서 15 도로 변경하는 것은 soft break down 현상을 취약하게 만들 수 있으므로 HG-MOS 와 LG-MOS 의 양호한 특성을 얻기 위해 공정 조건의 최적화가 필요하다.

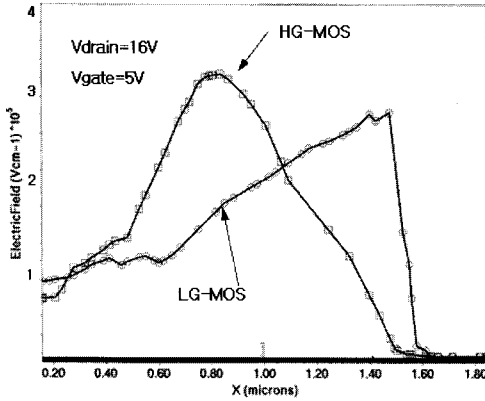


그림 9. LG-MOS 와 HG-MOS 의 게이트 끝단과 N+ 지역사이의 드레인 전계 분포.

Fig. 9. Drain electric field distribution between gate edge and N+ region.

4. NMOSFET의 전기적 특성 분석

LG-MOS 는 HG-MOS 에 비해 5 V 이하의 낮은 게이트 영역에서 매우 양호한 출력저항 특성을 보이고 있다. 이러한 특성이 나타나는 원인에 대해 P-N 접합의 포텐셜 및 전계 분포를 통해 분석을 진행하였다. 일반적인 경우 상대적으로 고농도의 드레인 P-N 접합은 공핍층 확장이 적으며 P-N 접합 경계 근처의 게이트 끝단 부근에서 전계가 집중되어 나타난다. 뿐만 아니라 앞서 보았던 드레인의 도핑 분포에서 LG-MOS 는 N- 지역에서 드레인 단자 쪽으로 도핑 농도의 변화가 작은 반면 HG-MOS 는 드레인 쪽으로 갈수록 농도가 증가하는 모습을 보였다. 그러므로 그림 9 와 같이 HG-MOS 는 게이트 끝단 부근에서 전계의 최고점을 가진다. 반면에 LG-MOS 의 경우 드레인 저농도 이온주입을 할 때 PR 에 의한 이온주입이 차단되는 영역이 있으므로 HG-MOS 의 P-N 접합에 비해 저농도 영역이 P-N 접합 경계로부터 더 넓게 분포되어 있어 전계의 최고점이 드레인의 N+ 근처에서 나타나게 된다. 아울러 그림 10 을 보면 전계의 분포 차이로 인해 HG-MOS 와 LG-MOS 의 드레인 포텐셜 분포도 다르게 나타나며 LG-MOS 의 경우 게이트 끝단 부근에서 전계의 변화가 작으므로 포텐셜 값이 작게 나타나고 대부분 N+ 쪽에 위치하는 것을 알 수 있었다.

위와 같이 LG-MOS 에서 HG-MOS 에 비해 전계의 최고점이 낮아지고 N+ 고농도 지역으로 이동

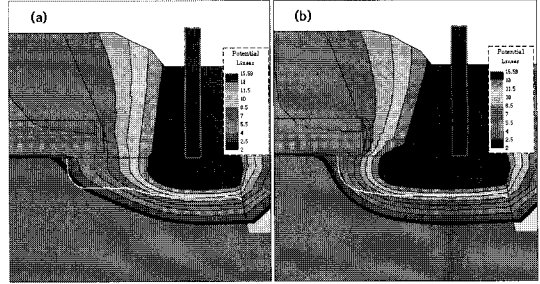


그림 10. Drain 지역의 potential 분포. Drain 전압은 15 V 인가함.

(a) LG-MOS (b) HG-MOS

Fig. 10. Drain potential distribution. Drain is biased with 15 V.

(a) LG-MOS (b) HG-MOS

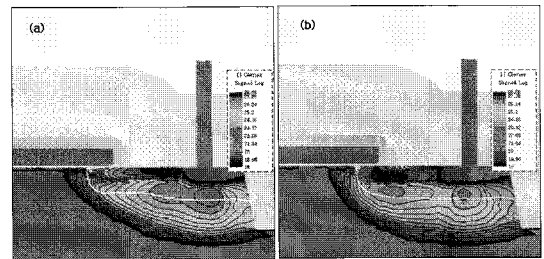


그림 11. Drain junction 내에서 impact ionization generation 분포.

(a) LG-MOS (b) HG-MOS

Fig. 11. Impact ionization generation distribution in the drain junction.

(a) LG-MOS (b) HG-MOS

하며 또한 분포가 넓어지면 전계가 드레인 전체에 걸쳐 분산되는 효과를 나타낸다. 그러므로 이로 인해 자연스럽게 전자와 실리콘 격자의 충돌에 의한 전자-정공쌍의 생성도 억제되는 것으로 보인다. 따라서 그림 11 과 같이 LG-MOS 의 전자-정공쌍의 생성은 HG-MOS 와 같이 게이트 끝단의 P-N 접합 근처에서 발생하는 것이 아니라 전계가 최고점을 가지는 N+ 의 고농도 근처에서 발생하게 되는 것을 볼 수 있었다. 이와 같이 전계의 분산 효과는 LG-MOS 의 N- 지역의 도핑 농도에 기인하며 결국 전계의 최고값을 낮추는 결과를 나타내므로 전자-정공쌍의 생성이 억제되어 드레인 전류가 안정되고 또한 출력저항이 크게 증가하는 효과를 보였다.

5. 결 론

동일한 드레인 저농도 이온주입 마스크와 이온주입조건을 이용하여 HG-MOS와 LG-MOS를 동시에 구현하고 이에 따른 LG-MOS의 출력저항 특성에 대해 평가하였다. LG-MOS를 구현함에 있어 HG-MOS의 특성을 변경하지 않고 낮은 게이트 영역에서의 출력저항 특성이 현저하게 개선되었으며 이것은 P-N 접합의 저농도 영역을 별도로 더욱 저농도로 구현함으로써 전계를 분산하여 전자-정공쌍의 생성을 억제할 수 있었다. 중요한 것은 별도의 LG-MOS를 제작하기 위해서는 드레인 저농도 이온주입을 위해 추가적인 포토 마스크가 필요하나 이를 하나의 마스크로 통합하여 동일한 이온주입조건으로 구현함으로써 공정 단가 감소에서 큰 도움이 될 것으로 기대된다. 또한 이것은 더욱 높은 출력저항을 가지는 안정된 아날로그 증폭기 등을 설계하는데 매우 용이하게 적용될 수 있을 것으로 기대된다.

참고 문헌

- [1] Matsuno S., "Current LCD market and variables for the future", SID., p. 1, 1999.
- [2] Odawara K. and Kawakami H., "Forwarding LCD technologies and industry", Electronic Manufacturing Technology Symposium, p. 23, 1995.
- [3] Kanatani Y. and Ayukawa M., "LCD technology and its application", proc. 1995 4th International Conference of Solid-State and Integrated Circuit Technology, p. 712, 1995.
- [4] Behzad R., "Design of Analog CMOS Integrated Circuit", Mcgraw-Hill, p. 124, 2000.
- [5] Chen C. and Dongpo C., "A novel bias circuit design in low power LCD driver", Solid-State and Integrated Circuits Technology, Vol. 3, p. 2003, 2004.
- [6] S. M. Sze and Kwok K. NG, "Physics of Semiconductor Devices", Wiley-Interscience, p. 259, 2006.
- [7] S. Wolf, "Silicon Processing for the VLSI era Volume 3", Lattice, p. 559, 1995.
- [8] S. Dimitrijevic, "Principle of semiconductor devices", Oxford, p. 414, 2006.
- [9] B. J. Baliga, "Power Semiconductor Devices", PWS, p. 79, 1996.
- [10] S.-H. Kim, S.-H. Kim, J.-S. Kim, M. S. Kim, S.-I. Jo, Y.-M. Kim, E. S. Kim, S.-C. Lee, and M. Y. Sung, "Advanced dual gate oxide process using CVD-gate oxide", The 11th Korean Conference on Semiconductor, p. 72, 2004.