

논문 2008-45SD-2-1

전압분포의 선형특성을 이용한 Long-Channel Asymmetric Double-Gate MOSFET의 문턱전압 모델

(Analytical Model for the Threshold Voltage of Long-Channel
Asymmetric Double-Gate MOSFET based on Potential Linearity)

양 희 정*, 김 지 현*, 손 애 리*, 강 대 관**, 신 형 순**

(Heejung Yang, Jihyun Kim, Aeri Son, Daegwan Kang, and Hyungsoon Shin)

요 약

Long-channel Asymmetric Double-Gate (ADG) MOSFET의 해석적 문턱전압 모델을 제시한다. 본 모델은 채널 도핑과 채널의 양자효과까지 고려하였으며 더 나아가 문턱전압 영역에서 potential 분포의 선형특성을 이용하여 기존의 모델보다 간단하면서도 정확한 접근을 가능하게 하였다. 개발한 모델의 정확도는 다양한 실리콘 필름의 두께, 채널 도핑, 그리고 산화막 두께 변화에 대하여 numerical 시뮬레이션 결과와 비교하여 검증하였다.

Abstract

A compact analytical model of the threshold voltage for long-channel Asymmetric Double-Gate (ADG) MOSFET is presented. In contrast to the previous models, channel doping and carrier quantization are taken into account. A more compact model is derived by utilizing the potential distribution linearity characteristic of silicon film at threshold. The accuracy of the model is verified by comparisons with numerical simulations for various silicon film thickness, channel doping concentration and oxide thickness.

Keywords : threshold voltage model, asymmetric, double-gate MOSFETs, semiconductor device modeling

I. 서 론

MOSFET가 지속적으로 축소화됨에 따라 기존의 bulk MOSFET 소자로는 단채널효과 (short-channel effect: SCE)를 효율적으로 제어하는 것이 매우 어려워지고 있다. 이중 게이트 (Double Gate : DG) MOSFET는 deca-nanometer scale에 대한 로드맵을 충족시키는 가장 유망한 소자 구조 중 하나로 채널을 통한 드레인의 전계 침투를 양쪽의 게이트들이 효율적으로 방지할

수 있어 단채널 효과를 효과적으로 제어하는 장점을 가진다. 또한 낮은 채널 도핑을 사용하는 것이 가능하므로 수송자의 이동도가 증가되고 불순물에 의한 변이 효과를 감소시킬 수 있어 소자의 특성 변화를 최소화할 수 있는 장점이 있다.^[1~2]

본 연구에서는 DG 소자 중에서도 양쪽의 게이트에 다른 물질을 사용하는 Asymmetric DG (ADG) MOSFET에 대한 long-channel 문턱전압 (V_{TH}) 모델을 개발하였다. 최근 DG 소자에 관한 문턱전압 모델에 관한 연구가 활발히 진행되고 있으며 다양한 모델들이 발표된 바 있다^[3~6]. 그러나 이러한 대부분의 모델들이 undoped 채널에 국한되거나 양자효과를 고려하지 않고 있으며 이것은 점점 더 얇은 실리콘 film의 사용과 doped 채널의 사용을 피할 수 없게 되는 미래의 상황에서 새로운 모델의 개발이 필요를 요구한다. 기존에 발

* 학생회원, ** 정회원, 이화여자대학교 전자정보통신학과
(Department of Information Electronic Eng.,
Ewha Womans University)

*** 정회원, (주)하이닉스반도체
(Hynix Semiconductor Inc.)

※ 본 연구는 (주)하이닉스반도체의 연구비 지원으로
수행되었음.

접수일자: 2007년8월27일, 수정완료일: 2008년1월7일

표된 ADG 소자의 long-channel 문턱전압 모델의 경우 silicon film 내의 전위 분포를 SDG 소자와 같이 2차 함수로 가정하여 모델링 하였다^[3-5]. 그러나 ADG 소자의 경우 비대칭 특성으로 인해 1차원 전위 분포의 가정이 가능하며, 1차원 전위 분포를 이용하여 모델링 할 경우 기존의 모델보다 더 간단하고 정확한 모델의 구현이 가능하다.

본 논문에서는 이러한 1차원 전압분포 모델로부터 채널 도핑과 양자효과를 모두 고려한 새로운 문턱전압 모델을 제안한다. 서론에 이어 본론 1절에서는 양자효과를 고려하지 않은 doped 채널의 경우를 살펴보고 2절에서는 양자효과를 고려하여 살펴보고자 한다. 3절에서 새롭게 제안된 문턱전압 모델을 1차원 Poisson-Schrödinger solver의 시뮬레이션 결과와 비교하여 다양한 t_{Si} , N_A , t_{ox} 에 대해 모델의 정확도를 검증한 후 결론을 맺는다.

II. 본 론

1. 양자효과를 고려하지 않았을 경우

그림 1은 본 논문의 해석적 모델을 위한 비대칭 DG MOSFET의 단면도와 $V_G = V_{TH}$ 에서 게이트 방향의 energy-band diagram이다. x 좌표는 채널 길이방향이며 y 좌표는 채널의 수직방향, t_{Si} 는 채널 두께, t_{ox} 는 front와 back 게이트의 oxide 두께, N_A 는 채널 도핑을 나타낸다. Silicon film 내의 위치에 따른 전위 분포(Ψ)는 소오스 영역의 fermi level과 채널 영역의 intrinsic fermi level의 차이로 정의하였으며 식 (1)처럼 y에 대한 2차 함수로 나타낼 수 있다.

$$\Psi(x, y) = \Psi_s(x) + \beta(x)y + \alpha(x)y^2 \quad (1)$$

Long channel 소자의 경우 Gradual Channel Approximation (GCA)에 의하여 채널에서의 전위 분포를 y방향의 1차원으로 분석하는 것이 가능하다. 따라서 식 (1)에서 x에 대한 의존성을 제거하면 식 (2)와 같이 y에 대한 2차함수로 Ψ 를 표현할 수 있고, t_{Si} 가 얇은 thin body 소자인 경우 silicon film 전체가 공핍되었다고 볼 수 있기 때문에 채널 내의 1차원 Poisson 방정식은 식 (3)과 같이 쓸 수 있다.^[5]

$$\Psi(y) = \Psi_s + \beta y + \alpha y^2 \quad (2)$$

$$\frac{d^2\Psi}{dy^2} = \frac{qN_A}{\epsilon_{Si}} + \frac{q}{\epsilon_{Si}} n_i \exp\left(\frac{q\Psi}{kT}\right) \quad (3)$$

식 (3)의 우변 첫 번째 항은 공핍전하를, 두 번째 항은 silicon film의 전자 전하를 나타낸다.

소자의 중요한 특성 중 하나인 문턱전압은 여러 가지 방법으로 정의된다. 기존의 bulk 소자와는 달리 DG 소자에서는 두 개의 채널이 공존하기 때문에 $V_G = V_{TH}$ 에서 surface potential Ψ_S 는 더 이상 $2\phi_F$ 라고 할 수 없다. 따라서 DG 소자의 정확한 V_{TH} 를 구하기 위해서는 새로운 Ψ_S 에 대한 정의가 필요하다.^[7] 본 연구에서는 $Q_{inv} - V_G$ 특성에서 extrapolated V_{TH} 에 해당하는 inversion charge를 이용하여 $Q_{inv} = 1 \times 10^{-7} C/cm^2$ 가 되는 게이트 전압 (V_G)을 소자의 문턱전압으로 정의하였다.

ADG 소자의 경우 게이트 전압은 식 (4), (5)와 같이 front/back 게이트에 대하여 각각 정의될 수 있다.

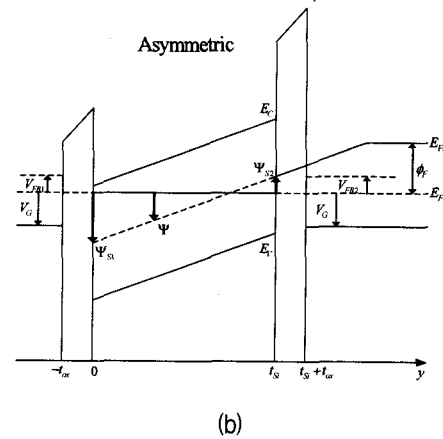
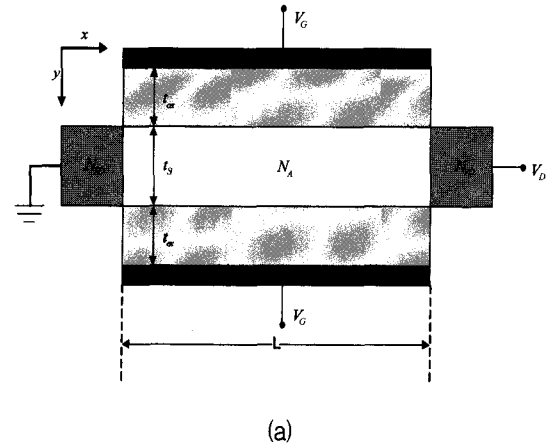


그림 1. 비대칭 DG-MOSFET의 (a) 단면도와 (b) 게이트 방향 에너지 다이어그램

Fig. 1. (a) Cross section and (b) energy band diagram of Asymmetric DG MOSFET.

$$V_G = V_{FB1} + rt_{ox}\xi_{S1} + \Psi_{S1} + \phi_F \quad (4)$$

$$V_G = V_{FB2} - rt_{ox}\xi_{S2} + \Psi_{S2} + \phi_F \quad (5)$$

V_{FB1} 과 V_{FB2} 는 각각 n^+ poly gate, p^+ poly gate 쪽의 flat-band voltage를 나타내며, r 은 $\frac{\epsilon_{Si}}{\epsilon_{ox}}$ 를, ξ_S 와 Ψ_S 는 각각 Si/SiO₂ 계면에서의 전계와 표면 전위, $\phi_F = \frac{kT}{q} \ln \frac{N_A}{n_i}$ 는 silicon film 내의 채널농도 (N_A)에 따른 페르미 전위를 나타낸다.

식 (2)의 α 와 β 를 구하기 위해 식 (3)을 $y=0$ 에서 $y=t_{Si}$ 까지 적분하면 다음과 같다.

$$\begin{aligned} \xi_{S1} - \xi_{S2} &= \frac{qN_A t_{Si}}{\epsilon_{Si}} + \frac{1}{\epsilon_{Si}} \int_0^{t_{Si}} qn_i \exp\left(\frac{q\Psi}{kT}\right) dy \\ &= \frac{qN_A t_{Si}}{\epsilon_{Si}} + \frac{Q_{inv,cl}}{\epsilon_{Si}} \end{aligned} \quad (6)$$

ξ_{S1} 과 ξ_{S2} 을 식 (2)를 이용하여 유도하면 식 (7)과 같다.

$$\begin{aligned} \xi_{S1} &= - \left. \frac{d\Psi}{dy} \right|_{y=0} = -\beta \\ \xi_{S2} &= - \left. \frac{d\Psi}{dy} \right|_{y=t_{Si}} = -\beta - 2\alpha t_{Si} \end{aligned} \quad (7)$$

식 (2) 및 식 (4)~(7)로부터 α 및 β 는 다음과 같이 유도된다.

$$\alpha = \frac{qN_A}{2\epsilon_{Si}} + \frac{Q_{inv,cl}}{2\epsilon_{Si}t_{Si}} \quad (8)$$

$$\beta = \frac{V_{FB1} - V_{FB2}}{2rt_{ox} + t_{Si}} - \frac{qN_A t_{Si}}{2\epsilon_{Si}} - \frac{Q_{inv,cl}}{2\epsilon_{Si}} \quad (9)$$

식 (9)를 식 (4), (5)에 대입하여 정리하면 ADG 소자의 문턱전압은 다음과 같이 유도된다.

$$V_{TH} = \frac{rt_{ox} + t_{Si}}{2rt_{ox} + t_{Si}} V_{FB1} + \frac{rt_{ox}}{2rt_{ox} + t_{Si}} V_{FB2} + rt_{ox}t_{Si}\alpha + \Psi_S + \phi_F \quad (10)$$

여기서 사용되는 Ψ_S 는 다음과 같이 유도 될 수 있다.

식 (6)에서 정의한 $Q_{inv,cl} = \int_0^{t_{Si}} qn_i \exp\left(\frac{q\Psi}{kT}\right) dy$ 식에 식 (2)를 대입한 후 Ψ_S 에 대해 정리하면 식 (11)과 같다.^[5]

$$\Psi_S = u_{th} \ln \left[\frac{Q_{inv,cl}}{qn_i e^{-\frac{\beta^2}{4u_{th}^2 \alpha}} \sqrt{\frac{\pi u_{th}}{4\alpha}} \left\{ Erfi\left(\frac{\beta + 2\alpha t_{Si}}{2\sqrt{u_{th} \alpha}}\right) - Erfi\left(\frac{\beta}{2\sqrt{u_{th} \alpha}}\right) \right\}} \right] \quad (11)$$

여기서, $Erfi(x) = \frac{2}{\sqrt{\pi}} \int_0^x e^{t^2} dt$ 는 imaginary error function 이며 $u_{th} = \frac{kT}{q}$ 이다.

그러나 식 (11)은 특수함수인 imaginary error function을 사용하여야 하므로 해석적 모델로는 적합하지 않다. 또한 imaginary error function의 근사값 계산을 위하여 사용되는 polynomial 근사식은 input이 클 경우 계산 값의 오차가 크다. 문턱전압 조건에서 식 imaginary error function의 input은 근사식의 오차가 큰 범위 안에 존재하고 있고 이에 더하여 식 (11)에서 보는 바와 같이 두개의 imaginary error function의 차이가 사용되어야 하므로 그 오차는 더욱 증가한다. 따라서 간단하면서도 정확한 문턱전압을 구하기 위해서는 새로운 문턱전압 모델의 개발이 요구된다.

본 논문에서는 다음과 같이 ADG 소자의 전위를 1차 함수로 근사하는 새로운 방법을 사용하였다. 그림 2는 threshold 영역에서 t_{Si} 에 따른 ADG 소자의 전위 분포를 보이고 있다. 그림에서 볼 수 있는 바와 같이 ADG 소자의 전위 분포는 1차 함수(linear)로 approximation이 가능하며 따라서 본 논문에서는 Ψ 를 식 (12)와 같이 y 에 대한 1차 함수로 가정하였다.

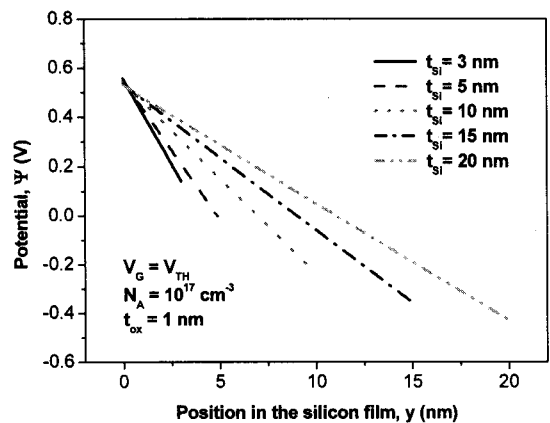


그림 2. threshold 영역에서 ADG 소자의 silicon film 내에서의 전위분포

Fig. 2. Potential distribution in the silicon film of ADG MOSFETs biased at the threshold voltage.

$$\Psi(y) = \Psi_S - \xi_{Si} y \quad (12)$$

식 (12)에서 ξ_{Si} 은 silicon film 내부의 전계로 ADG의 silicon film 영역에 Gauss law를 적용하여 다음과 같이 정의할 수 있다.

$$\xi_{Si} = \frac{V_{FB2} - V_{FB1}}{2rt_{ox} + t_{Si}} + \frac{qN_A t_{Si} + Q_{inv,cl}}{2\epsilon_{Si}} \quad (13)$$

식 (13)에서 첫 번째 항은 front와 back 게이트의 workfunction 차이에 의한 것이며, 두 번째 항은 silicon film 내의 전하량에 의한 영향을 나타낸다.

식 (12)를 $Q_{inv,cl} = \int_0^{t_s} qn_i \exp\left(\frac{q\Psi}{kT}\right) dy$ 에 대입하면 Ψ_S 는 다음과 같이 유도된다.

$$\Psi_S = u_{th} \ln \frac{Q_{inv,cl}}{qn_i} - u_{th} \ln \left(\frac{u_{th}}{\xi_1} \left(1 - e^{-\frac{\xi_{Si} t_s}{u_{th}}} \right) \right) \quad (14)$$

1차원 전위분포를 이용하여 유도된 식 (14)는 2차원 전위분포를 이용하는 기존 모델의 식 (11)에 비하여 수식이 매우 간단하고 imaginary error function과 같은 특수함수가 필요하지 않으므로 해석적 문턱전압 모델에 적합함을 알 수 있다.

식 (14)의 $Q_{inv,cl}$ 에 $1 \times 10^{-7} C/cm^2$ 를 대입한 후 식 (10)에 대입하여 정리하면 다음과 같이 ADG 소자의 새로운 문턱전압 모델을 정의할 수 있다.

$$\begin{aligned} V_{TH} = & \frac{rt_{ox} + t_{Si}}{2rt_{ox} + t_{Si}} V_{FB1} + \frac{rt_{ox}}{2rt_{ox} + t_{Si}} V_{FB2} \\ & + rt_{ox} \frac{qN_A t_{Si} + 1 \times 10^{-7}}{2\epsilon_{Si}} + u_{th} \ln \frac{1 \times 10^{-7}}{qn_i} \\ & - u_{th} \ln \left(\frac{u_{th}}{\xi_1} \left(1 - e^{-\frac{\xi_{Si} t_s}{u_{th}}} \right) \right) + \phi_F \end{aligned} \quad (15)$$

2. 양자효과를 고려할 경우

소자에 양자효과를 적용할 경우 inversion charge $Q_{inv,qm}$ 은 식 (16)의 quantum-mechanical evaluation을 사용하여 새롭게 정의될 수 있다.

$$\begin{aligned} Q_{inv,qm} = & \frac{qkT}{\pi \hbar^2} \sum_{l,t} \sum_i m_{2D}^{l,t} g_{l,t} \\ & \times \ln \left[1 + \exp \left\{ -\frac{1}{u_{th}} \left(\tilde{E}_{l,t}^i + \frac{E_g}{2} - \Psi_S \right) \right\} \right] \end{aligned} \quad (16)$$

식 (16)에서 substrate가 silicon일 경우에는 다음의 parameter들이 적용된다.

$$\begin{aligned} m_{2D}^l &= m_t^*, \quad m_{2D}^t = \sqrt{m_i^* m_t^*}, \quad m_i^* = 0.98m_0, \\ m_t^* &= 0.19m_0, \quad g_l = 2, \quad g_t = 4 \end{aligned}$$

또한 Ψ_S 는 surface potential이며 $\tilde{E}_{l,t}^i$ 는 silicon film 내에서 채널과 수직방향으로 형성되는 quantum confinement를 고려한 경우의 에너지 준위이다.

ADG 소자의 경우 t_{Si} 와 N_A 에 상관없이 문턱전압 조건에서 conduction band는 항상 triangular 모양을 갖는다. 그러므로 양자효과를 고려한 $Q_{inv,qm}$ 을 계산할 때 $\tilde{E}_{l,t}^i$ 는 triangular well의 WKB approximation을 통하여 다음과 같이 구할 수 있다.^[8]

$$\begin{aligned} \tilde{E}_{l,t}^i = & \frac{1}{q} \left(\frac{\hbar^2}{2m_{l,t}^*} \right)^{1/3} \left(\frac{3\pi q |\xi_{Si}|}{2} \left(i - \frac{1}{4} \right) \right)^{2/3} \\ & (i = 1, 2, 3, \dots) \end{aligned} \quad (17)$$

식 (16) 및 (17)을 이용하여 $Q_{inv,qm} = 1 \times 10^{-7} C/cm^2$ 가 될 때의 Ψ_S 를 계산하여 식 (15)에 대입하면 ADG 소자에서 양자효과를 고려할 경우의 문턱전압을 계산할 수 있다.

3. 시뮬레이션 결과 및 검토

유도된 새로운 문턱전압 모델의 정확도를 검증하기 위하여 t_{Si} 가 3~20 nm 이고 채널 도핑(N_A)은 $10^{15} \sim 10^{18} \text{ cm}^{-3}$, t_{ox} 는 1~3 nm인 ADG 소자에 대하여 Poisson-Schrödinger solver를 이용하여 시뮬레이션을 수행하고 계산된 문턱전압을 비교하였다.

서론에 기술한 바와 같이 ADG 소자의 문턱전압 모델에 관한 연구는 활발히 진행되고 있으며 본 연구에서와 같이 전위 분포의 선형 특성을 이용한 모델이 소개된 바 있다.^[6] 그러나 기존의 모델의 경우 undoped 채널에만 적용될 수 있으며 소자의 scaling 됨에 따라 필수적으로 고려되어야 할 양자효과 또한 배제되어 있다.

그림 3은 기존의 모델과 본 논문에서 소개된 새로운 모델을 시뮬레이션 결과와 비교한 것이다. 기존 모델이 낮은 채널 도핑의 경우에도 시뮬레이션 결과와 차이를 보이고 채널 농도에 따른 문턱전압 변화를 예측하지 못함에 반해 본 연구에서 개발한 새로운 문턱전압 모델은 채널농도 변화 및 양자효과를 고려한 경우에도 시뮬레이션 결과와 일치함을 확인할 수 있다.

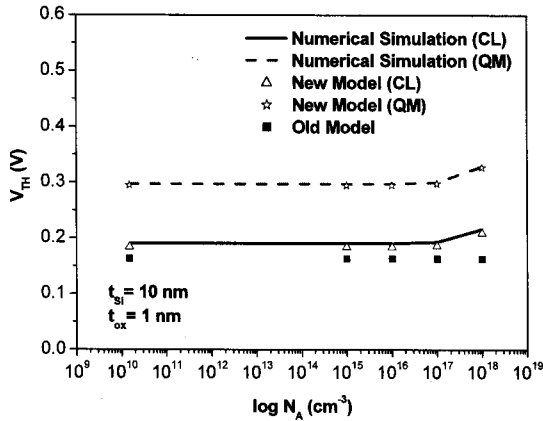


그림 3. N_A 에 따른 기존의 모델과 새로운 모델의 시뮬레이션 결과와의 비교

Fig. 3. Comparison between the old and new analytical models and numerical simulation results for various N_A .

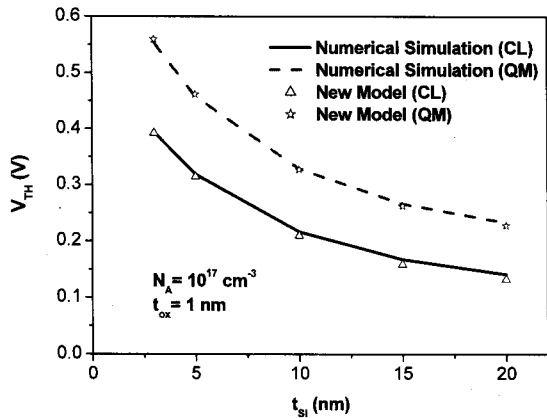


그림 4. t_{Si} 에 따른 본 논문에서 제안한 모델과 시뮬레이션 결과와의 비교

Fig. 4. Comparison between the new model and numerical simulation results for various t_{Si} .

그림 4와 그림 5는 t_{Si} , t_{ox} 에 따른 문턱전압의 변화를 양자효과를 고려한 경우와 그렇지 않을 경우에 대해 비교한 것이다. 그림에서 보는 것처럼 새 모델이 다양한 t_{Si} , t_{ox} 에 대하여 시뮬레이션 결과와 일치하고 있음을 확인할 수 있다.

그림 4를 보면 t_{Si} 가 증가함에 따라 문턱전압 값이 감소함을 알 수 있다. ADG 소자의 t_{Si} 에 대한 의존성은 그림 3에서 보는 바와 같이 silicon film 내의 potential 분포 변화 때문에 발생하며 이는 t_{Si} 가 증가함에 따라 채널 내의 전계가 감소하여 산화막 내의 전위를 감소시키기 때문에 나타나는 현상이다. 양자효과를 고려하였을 경우 양자화된 에너지 레벨에 의해 문턱전압이 증가

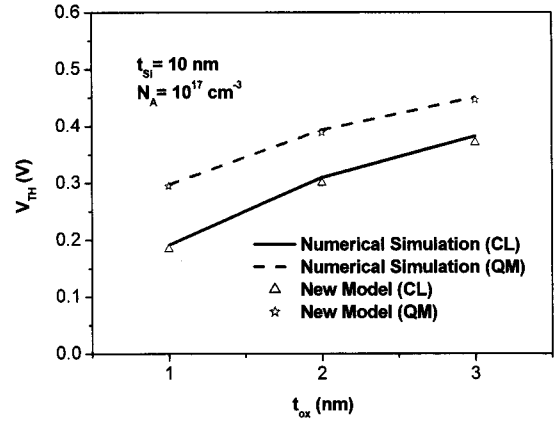


그림 5. t_{ox} 에 따른 본 논문에서 제안한 모델과 시뮬레이션 결과와의 비교

Fig. 5. Comparison between the new model and numerical simulation results for various t_{ox} .

함을 확인할 수 있다.

그림 5는 t_{ox} 에 따른 문턱전압의 변화를 보여준다. t_{ox} 가 증가할수록 문턱전압 값 또한 증가하지만 이 변화는 t_{Si} 에 의한 변화보다는 작게 나타나며 이것은 문턱전압 식에서 t_{ox} 의 영향을 받는 부분이 작은 값을 갖기 때문에 나타나는 현상이다.

III. 결론

본 논문에서는 MOS 소자의 축소화에 의한 단채널 특성을 개선시키기 위해 제안된 여러 소자 구조들 중에서 비대칭형 DG MOSFET의 문턱전압을 모델링하고 그 특성을 분석해보았다. 본 논문에서 제안한 모델은 silicon film 내의 전위 분포를 1차 함수로 가정하였으며 다양한 채널 두께 t_{Si} , 채널 도핑 농도 N_A , 산화막 두께 t_{ox} 에 대한 시뮬레이션 결과와 비교하여 본 모델의 정확도를 검증하였다. Silicon 내의 전위 분포를 1차 함수로 가정하였을 경우 2차 함수로 가정한 경우에 비하여 매우 간단한 해석적 문턱전압 모델이 유도되었으며 그 결과가 양자효과를 고려한 경우에도 numerical 시뮬레이션 결과와 일치함을 확인하였다.

참고 문헌

[1] D. Frank, R. Dennard, E. Nowak, P. Solomon, Y. Taur, and H. Wong, "Device Scaling Limits of Si MOSFETs and their Application

- Dependencies," *Proc. IEEE*, Vol. 89, No. 3, p. 259, 2001.
- [2] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, B. Previtali, T. Ernst, and S. Deleonibus, "Multigate silicon MOSFETs for 45 nm node and beyond," *Solid-State Electronics*, Vol. 50, No. 1, p. 18, 2006.
- [3] D. Munteanu, J. Autran, S. Harrison, and T. Skotnicki, "Unified Analytical Model of Threshold Voltage in Symmetric and Asymmetric Double-Gate MOSFETs," in *Proc. of ULIS*, p. 35, 2003.
- [4] Y. Taur, "Analytic Solutions of Charge and Capacitance in Symmetric and Asymmetric Double-Gate MOSFETs," *IEEE Trans. Electron Devices*, Vol. 48, No. 12, p. 2861, 2001.
- [5] J. Autran, D. Munteanu, O. Tintori, S. Harrison, E. Decarre, and T. Skotnicki, "Quantum-Mechanical Analytical Modeling of Threshold Voltage in Long-Channel Double-Gate MOSFET with Symmetric and Asymmetric Gates," in *Proc. of MSM 2004*, p. 163, 2004.
- [6] Q. Chen and J. Meindl, "A Comparative Study of Threshold Variations in Symmetric and Asymmetric Undoped Double-Gate MOSFETs," in *Proc. IEEE Int. SOI Conf.*, p. 30, 2002.
- [7] Q. Chen, et al., "A physical Short-Channel Threshold Voltage Model for Undoped Symmetric Double-Gate MOSFETs," *IEEE Trans. Electron Devices*, Vol. 50, No. 7, p. 1631, 2003.
- [8] D. Park, "Introduction to Quantum Theory," *McGraw-hill*. 1974.

 저 자 소 개



양 희 정(학생회원)
 2006년 2월 이화여자대학교
 정보통신학과 학사 졸업.
 2008년 현재 이화여자대학교
 정보통신학과 석사 2년차.
 <주관심분야 : 메모리 설계, 반도체>



김 지 현(학생회원)
 2005년 2월 이화여자대학교
 정보통신학과 학사 졸업.
 2007년 2월 이화여자대학교
 정보통신학과 석사 졸업.
 2008년 현재 이화여자대학교
 정보통신학과 박사 1년차.
 <주관심분야 : 메모리 설계, 반도체>



손 애 리(학생회원)
 2007년 2월 이화여자대학교
 정보통신학과 학사 졸업.
 2008년 현재 이화여자대학교
 정보통신학과 석사 1년차.
 <주관심분야 : 메모리 설계, 반도체>



강 대 관(정회원)
 1980년 2월 경북대학교
 전자공학과 졸업 (학사).
 1985년 2월 경북대학교
 전자공학과 졸업 (석사).
 1999년 8월 서울대학교
 전기공학부 졸업 (박사).
 1984년~1989년 LG 반도체 근무.
 1990년~현재 하이닉스 반도체 연구위원.
 <주관심분야 : 반도체 소자, 신뢰성, 모델링.>



신 형 순(정회원)
 1982년 2월 서울대학교 전자공학과 졸업 (학사).
 1984년 12월 미국 University of Texas at Austin 졸업 (석사).
 1990년 5월 미국 University of Texas at Austin 졸업 (박사).
 1990년~1994년 LG 반도체 근무.
 1995년~현재 이화여자대학교 공과대학정보 통신학과 교수.
 <주관심분야 : 반도체 소자구조, 모델링.>