

논문 2008-45SD-2-5

클럭 손실 측정 기법을 이용한 DDI용 연속 시간 이퀄라이저

(A Continuous-time Equalizer adopting a Clock Loss Tracking Technique for Digital Display Interface (DDI))

김 규 영*, 김 길 수*, 손 관 수**, 김 수 원***

(Kyu-Young Kim, Gil-Su Kim, Kwansu Shon, and Soo-Won Kim)

요 약

본 논문에서는 클럭 손실 측정 기법을 이용한 디지털 디스플레이 인터페이스(Digital Display Interface: DDI)용 이퀄라이저를 제안한다. 제안하는 클럭 손실 측정 기법은 최저 전압 유지 회로를 사용하여서 채널의 손실 정보를 추출한다. 추출된 손실 정보는 이퀄라이저 필터에 인가되며, 시스템의 안정도를 증가시키기 위해 제안된 이퀄라이저는 피드포워드 구조 (Feedforward Loop)로 구현된다. 제안된 이퀄라이저는 0.18 μ m CMOS 공정으로 제작되었으며, 실험 결과 채널 손실이 -33dB인 경우에 1.65Gbps의 신호들이 최소 0.7UI의 Eye Width를 가지게 된다. 또한 최대 10mW 이하의 전력을 소모하며, 0.127mm²의 유효 면적을 차지한다.

Abstract

This paper presents a continuous-time equalizer adopting a clock loss tracking technique for digital display interface. This technique uses bottom hold circuit to detect the incoming clock loss. The generated loss signal is directly fed to equalizer filters, building adaptive feed-forward loops which contribute the stability of the system. The design was done in 0.18 μ m CMOS technology. Experimental results summarize that eye-width of minimum 0.7UI is achieved until -33dB channel loss at 1.65Gbps. The average power consumption of the equalizer is a maximum 10mW, a very low value in comparison to those of previous researches, and the effective area is 0.127mm².

Keywords : Continuous-time equalizer, clock loss tracking, bottom hold circuit, feedforward loop

I. 서 론

최근 High Definition Multimedia Interface (HDMI), Digital Visual Interface (DVI) 등과 같은 고성능 디지털 디스플레이 인터페이스(Digital Display Interface, DDI)들에 대한 관심이 고조되고 있다^[1]. 이러한 인터페이스들은 처리하는 정보량이 증가하면서 손실이 작고

긴 거리를 전송할 수 있는 저가의 전선을 필요로 한다. 따라서 DDI용 전선으로 광섬유 보다는 동선(Copper Cable)을 많이 사용한다.

고속의 신호 전송에서는 표피효과(Skin Effect)와 유전 손실(Dielectric Loss)에 의해서 신호 상호간의 간섭(Inter-Symbol-Interface, ISI)이 발생하며, 이러한 간섭에 의해 전송 속도와 전송 길이가 제한된다. ISI 문제를 제거하기 위해서, 수신기의 앞단에 사용되는 이퀄라이저(Equalizer)가 연구되었다^[2~4]. 이퀄라이저는 이산 시간 이퀄라이저(Discrete-time Equalizer)^[2]와 연속 시간 이퀄라이저(Continuous-time Equalizer)^[3~4]로 구분되며, 이 둘 중에 DDI를 구현하기 위해서는 작은 면적과 저가로 제작하기 쉬운 연속 시간 이퀄라이저가 선호된다.

기존의 연속 시간 이퀄라이저는 고속의 신호 전송 중에 발생하는 신호의 손실을 보상하기 위해서 피드백 구

* 학생회원, *** 정회원, 고려대학교 전자컴퓨터공학과 (Dept. of Electronics and Computer Eng., Korea University)

** 학생회원, 고려대학교 마이크로/나노시스템협동과정 (Program in Micro/Nano Systems, Korea University)

※ 본 논문은 산업자원부가 지원하는 핵심기반기술개발사업인 “시스템집적반도체기반기술개발사업(시스템2010)”을 통해 개발된 결과임을 밝힙니다.

접수일자: 2007년10월12일, 수정완료일: 2008년1월22일

조(Feedback Loop)를 사용한다. 피드백 구조의 사용으로 발생하는 안정도 문제를 제거하기 위해서 연속 시간 이퀄라이저의 시스템이 복잡해지고 넓은 면적을 차지한다. 또한 피드백 구조를 사용하는 이퀄라이저는 비주기적인 신호에서 손실 정도를 추출하기 때문에 손실 측정의 정확도가 감소한다.

DDI에 사용되는 전선은 RGB신호를 전송하기 위한 3개의 차폐 연선(Shielded Twisted Pair Wire)과 클록을 전송하기 위한 1개의 차폐 연선으로 구성되므로 4개의 차폐 연선들의 손실 특성이 같다고 가정할 수 있다. 따라서 주기적이고 대칭적인 클록 신호만을 이용하여 채널의 손실을 측정하고 4개의 이퀄라이저 필터(Equalizer Filter)에 제어신호를 인가할 수 있다. 이 기법을 사용함으로써 기존의 DDI용 이퀄라이저보다 손실 측정기(Loss Detector) 사용을 줄일 수 있으며, 기존의 연속 시간 이퀄라이저에서 사용하였던 피드백 구조를 제거할 수 있다^[3~4].

본 논문에서는 클록 손실 측정 기법을 이용한 DDI용 연속 시간 이퀄라이저를 제안한다. 제안된 이퀄라이저는 피드포워드 구조 (Feedforward Loop)로 구현되어서 기존의 연속 시간 이퀄라이저와 비교하여 전력 소비를 감소하였으며 작은 면적을 차지한다.

II. 클록 손실 측정 기법

기존의 연속 시간 이퀄라이저는 전송 받은 임의의 신호에서 채널의 손실을 측정하고, 손실된 신호의 고주파 성분을 증폭시켜서 채널의 손실을 보상한다^[3~4]. 기존의 이퀄라이저는 손실 측정기, 이퀄라이저 필터를 사용하여 피드백 구조로 구현되었다. 손실 측정기는 비주기적인 신호에서 전력 스펙트럼 밀도(Power Spectrum Density)를 이용해서 채널의 손실 정도를 측정하기 때문에, 손실 측정기는 고대역 필터(High-Pass Filter, HPF)와 정류기(Retifier)로 구성된다. 만약 DDI에서 기존의 연속 시간 이퀄라이저를 사용할 경우, 각 채널마다 손실 측정기와 이퀄라이저 필터가 필요하므로 칩 면적과 전력 소모가 증가한다.

DDI에서는, RGB신호와 클록이 같은 손실 특성을 갖는 4개의 차폐 연선을 통해서 전송되므로 클록의 손실만을 측정해서 채널의 손실 정도를 알아낸다면 작은 면적을 사용해서 이퀄라이저를 구현할 수 있다. 그림 1은 제안된 클록 손실 측정 기법을 이용한 이퀄라이저의 구조이다. 제안된 이퀄라이저는 1개의 손실 측정기만 사

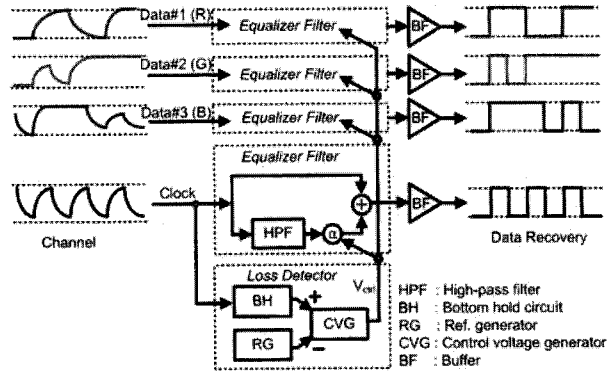


그림 1. 제안된 클록 손실 측정 기법을 이용한 이퀄라이저

Fig. 1. Proposed equalizer adopting a clock loss tracking techniques.

용하여 클록 채널의 손실을 측정하고 이퀄라이저 필터의 제어 전압(V_{ctrl})을 생성한다. 또한 제안된 이퀄라이저는 클럭의 주기적이고 대칭적인 특성을 이용하므로 채널의 손실 정도를 기존보다 간단하고 안정적으로 측정할 수 있다. 생성된 V_{ctrl} 은 4개의 이퀄라이저 필터에 인가되어서 손실된 신호의 고주파 성분을 증폭한다.

III. 제안하는 이퀄라이저

제안된 이퀄라이저는 3개의 RGB 채널과 1개의 클록 채널로 구성된다. 각각의 RGB 채널은 이퀄라이저 필터만으로 구성되며, 클록 채널은 이퀄라이저 필터와 손실 측정기로 구성된다.

1. 손실 측정기

그림 1에 나타나듯이, 손실 측정기는 최저 전압 유지(Bottom Hold: BH) 회로, 기준 전압 생성기(Reference Generator: RG), 제어 신호 생성기(Control Voltage Generator: CVG)로 구성된다.

그림 2.(a)는 클록 주파수 (f_c)에서 케이블의 길이와 주파수에 따른 신호의 손실을 나타낸다. 고속의 클럭이 송신기로부터 채널을 통해서 수신기로 전송되면 그림 2.(b)와 같이 신호의 감쇄와 손실이 발생한다. 따라서 수신기에 수신된 클록 ($V_{rx,clk}$)의 전압 폭은 송신된 클럭 ($V_{tx,clk}$)의 전압 폭보다 감소하게 된다. 따라서 클록의 손실 (V_{loss})이 발생하고 이것은 다음 식과 같이 나타낼 수 있다.

$$V_{loss} = V_{bh} - V_{ref} \tag{1}$$

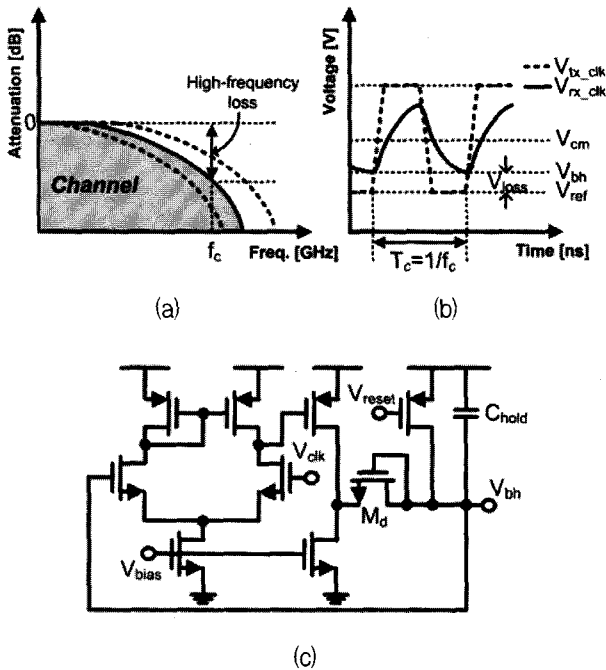


그림 2. (a) 채널의 신호 손실 특성, (b) BH 회로의 기능, (c) BH 회로의 회로도
 Fig. 2. (a) Signal loss over the channel (b) The function of BH circuit (c) Schematic diagram of BH circuit.

여기서, V_{bh} 는 BH 회로에서 측정된 클록의 최저 전압을, V_{ref} 는 RG 회로에서 발생하는 기준 전압을 나타낸다.

RG 회로는 수신기의 드라이버의 복제 기준 전압 (Replica Bias Voltage) 발생기로서 클록의 손실을 비교하는 기준 전압 (V_{ref})을 발생시킨다. CVG 회로는 공통 소스 차동 증폭기(Common Source Differential Amplifier)로 구현된다. 이 차동 증폭기는 수식 (1)에서 주어진 V_{loss} 값을 이용하여 이퀄라이저 필터의 전압 이득을 제어하는 V_{ctrl} 를 발생시킨다.

그림 2.(c)는 BH 회로의 회로도를 나타낸다^[5]. BH 회로는 다이오드 형태로 연결된 트랜지스터 (M_d)와 홀드 캐퍼시터 (C_{hold})를 이용하여 수신되는 클록의 최저 전압 (V_{bh})을 측정하고 이 값을 계속 유지한다. 클록은 주기적이며 대칭적인 신호이므로 클록을 이용해서 채널의 손실을 측정하는 방법은 기존의 손실 측정 방법에 비해 안정적이며 정확도가 높다.

2. 이퀄라이저 필터

그림 3.(a)는 클록 주파수 (f_c)의 성분을 증폭 시키는 이퀄라이저 필터의 회로도를 나타낸다. 제안된 이퀄라이저 필터는 크게 2개의 신호 경로가 존재한다. 한 개

의 신호 경로는 직류 성분을 포함한 모든 주파수 영역의 성분들을 증폭시킨다. 다른 한 개의 경로는 수동 소자 RC로 구성된 HPF를 이용하여 고주파 성분을 추출한 다음 V_{ctrl} 에 따라 이퀄라이저 필터의 전압 이득을 변화시켜 신호의 고주파 성분을 증폭한다.

이퀄라이저 필터의 전달 함수는 다음과 같다.

$$\frac{V_{out}}{V_{in}}(s) = g_{m1,2}R_D \frac{1 + s/w_{z1}}{(1 + s/w_{p1})(1 + s/w_{p2})} \quad (2)$$

여기서 $w_{z1} = 1/(R_1C_1(g_{m1,2} + g_{m3,4}))$, $w_{p1} = 1/R_1C_1$, $w_{p2} = 1/R_D C_L$, $g_{m1,2}R_D$ 은 직류 전압이득 (DC Gain), $g_{m1,2}$ 은 M1과 M2의 Trans-conductance, $g_{m3,4}$ 은 M3과 M4의 Trans-conductance, C_L 은 출력의 기생 캐패시턴스를 나타낸다. 수식 (2)에서 $g_{m1,2} + g_{m3,4}$ 값의 반비례로 나타나는 w_{z1} 의 위치에 따라 전압 이득의 특성이 변한다. 그리고 $g_{m3,4}$ 는 다음과 같이 표현된다.

$$g_{m3,4} \propto \sqrt{I_{3,4}} \propto (V_{ctrl} - V_{th}) \quad (3)$$

여기서 $I_{3,4}$ 은 M3과 M4의 드레인 전류를 나타낸다. 수식 (3)은 $g_{m3,4}$ 과 V_{ctrl} 의 선형적인 관계를 나타낸다. 따라서

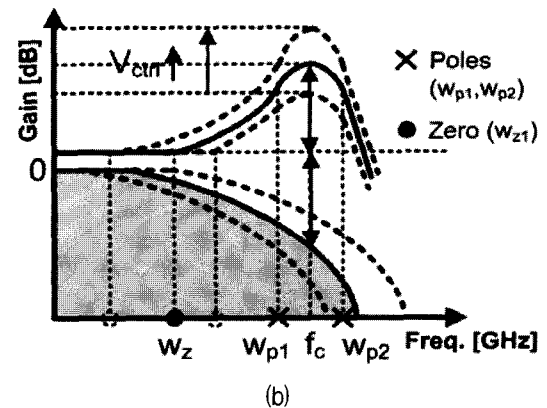
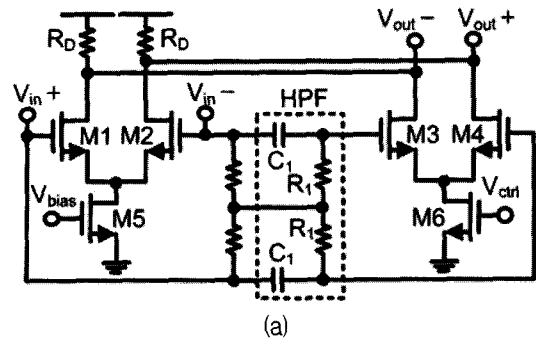


그림 3. (a) 이퀄라이저 필터의 회로도, (b) 이퀄라이저 필터의 전달 함수
 Fig. 3. (a) Schematic diagram of equalizer filter, (b) The transfer function of equalizer filter.

$g_{m1,2} + g_{m3,4}$ 값에서 $g_{m3,4}$ 값이 $g_{m1,2}$ 값보다 매우 클 경우, V_{ctrl} 의 값에 따라서 w_{z1} 의 위치를 효과적으로 조절할 수 있다.

그림 3.(b)는 이퀄라이저 필터의 전달 함수를 나타낸다. 클록 주파수에서 채널의 특성이 변할 경우, 클록의 손실률이 변하게 된다. 이퀄라이저는 이 손실률의 변화를 측정하고 그 정도에 따라서 w_{z1} 의 위치를 변화시켜서 이퀄라이저 필터의 전압 이득을 변화시킨다. 따라서 이퀄라이저는 클록 주파수에서 채널의 손실을 보상한다.

IV. 실험 결과

제안된 이퀄라이저의 성능을 검증하기 위해서 Spectre를 이용하여 모의실험을 진행하였다. 채널을 모델링하기 위해 수동 소자 RC를 이용하여 저대역 필터(Low-Pass Filter: LPF)를 구성하였다. R과 C값을 변화시켜서 채널의 손실을 임의로 조절할 수 있다.

모의실험은 1.65Gbps의 신호 전송량을 가지는 $2^{15}-1$

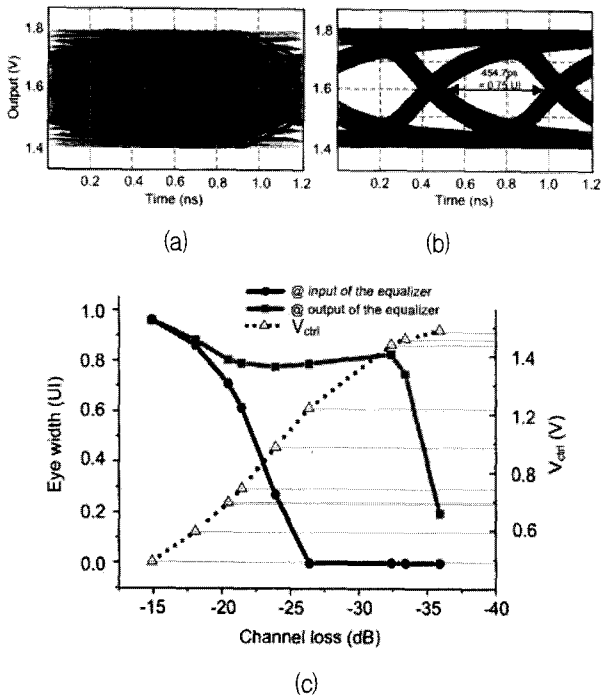


그림 4. 데이터 신호들의 Eye 다이어그램 (a) 이퀄라이저의 입력 부분, (b) 이퀄라이저의 출력 부분, (c) 다양한 채널 손실에 따른 Eye Width와 V_{ctrl} 와의 관계

Fig. 4. Simulated eye diagrams of data signals (a) at the input of equalizer (b) at the output of equalizer and (c) Eye width and V_{ctrl} for different channel losses.

개의 임의의 신호 발생기 (Pseudorandom Bit Sequence: PRBS)를 이용하였다. 그림 4.(a)는 이퀄라이저의 입력 부분에서 측정된 Eye 다이어그램을 나타낸 것이다. 그림 4.(b)는 이퀄라이저의 출력 부분에서 측정된 Eye 다이어그램을 나타낸 것이다. 이 모의 실험은 채널 손실을 -33dB로 가정한 것이며 454.7ps의 Eye Width를 가진다. 이 양은 0.75 Unit Interval(UI)에 해당한다. 그림 4.(c)는 채널의 손실을 -15dB에서 -36dB까지 변화시키면서 측정된 Eye Width와 V_{ctrl} 의 관계를 나타낸 것이다. 채널 손실이 -33dB까지 Eye Width가 일정함을 확인할 수 있다. 이것은 채널 손실이 증가할수록 V_{ctrl} 의 값이 증가하여 채널의 손실을 보상하기 때문이다.

제안된 이퀄라이저는 0.18um CMOS 공정을 이용하여 제작되었으며, 그림 5는 제안된 이퀄라이저(EQ)를 내장한 DDI용 송수신기의 칩 사진이다. 제작된 회로의 유효 면적은 0.127mm²이다. 그림 6은 설계된 이퀄라이저를 측정하기 위한 실험 환경을 나타낸다. 송신기에서는 Clock Multiplier Unit (CMU)에서 클록을 공급받아 PRBS Generator (PG)에서 $2^{15}-1$ 개의 PRBS 신호를 발생한다. 그리고 수신기로 신호 (V_{tx})와 클록 (V_{tx_clk})을 전송한다. 수신기에서는 이퀄라이저가 수신된 클록 (V_{rx_clk})에서 28AWG에 의한 손실을 측정하여 적절하고

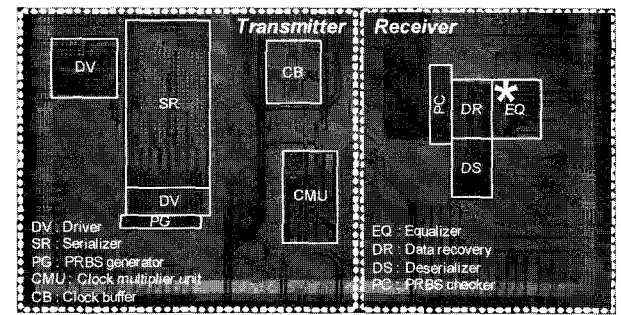


그림 5. 제안된 이퀄라이저(EQ)의 칩 사진
Fig. 5. Chip photo of proposed equalizer(EQ).

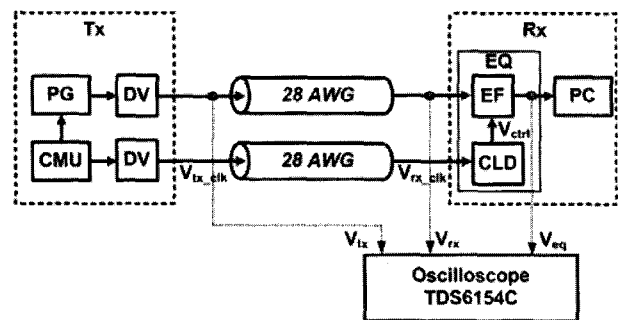


그림 6. 실험 환경
Fig. 6. Test environment.

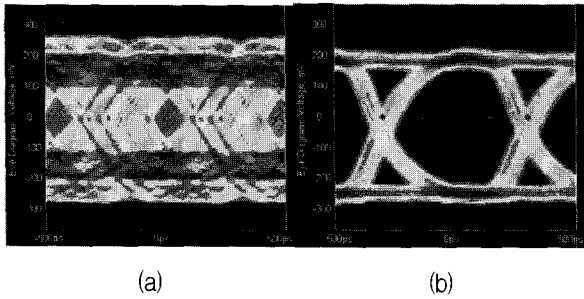


그림 7. 측정된 Eye 다이어그램 (a) 이퀄라이저가 없는 경우 (b) 이퀄라이저가 있는 경우

Fig. 7. Measured output eye diagrams.
(a) without equalizer (b) with equalizer

표 1. 제안된 이퀄라이저의 성능 요약
Table 1. Summary of equalizer.

Characteristics	Value
Process	0.18 μ m CMOS
Supply voltage	1.8V
Data rate	1.65Gbps
Power consumption	Max. 10mW
Effective area	0.127mm ²
Eye opening	0.7UI

정확하게 수신된 신호 (V_{rx})의 손실을 보상한다. PRBS Checker (PC)는 이 보상된 신호 (V_{eq})를 PG에서 발생시킨 PRBS 신호와 비교해서 Bit Error Rate (BER)를 측정한다. 그리고 Tektronix TDS6154C Real Time Oscilloscope를 사용하여 세 신호들 (V_{tx} , V_{rx} , V_{eq})의 Eye 다이어그램을 측정해서 파형의 복원 정도를 측정한다.

그림 7은 측정된 V_{rx} 와 V_{eq} 의 Eye 다이어그램을 나타낸다. 그림 7(a)를 보면, 모의실험 결과와 같이 28AWG를 통해서 수신된 V_{rx} 는 데이터의 Eye가 보이지 않으므로, 이 신호를 손실에 대한 보상 없이 사용할 경우 Data Recovery (DR)에서 데이터의 복원이 불가능하다. 따라서 전체 송수신기의 BER 특성이 저하된다. 그림 7(b)는 이퀄라이저를 사용해서 채널의 손실이 보상된 V_{eq} 의 Eye를 나타낸다. Eye Width는 433ps이며 이 수치는 0.71UI 해당하며 모의실험 결과인 0.75UI와 조금 차이는 보이지만 이 값들을 통해 이퀄라이저가 제대로 동작함을 알 수 있다. 또한 최대 10mW이하의 전력을 소비한다. 이 수치들은 기존의 연속 시간 이퀄라이저 보다 훨씬 우수한 것이다. 이와 같은 성능은 클록 손실 측정기법을 이용함으로써 4개의 채널에서 1개의 클록 손실 측정기만을 사용하였기 때문이다.

IV. 결 론

본 논문에서는 클록 손실 측정 기법을 이용한 DDI용 연속 시간 이퀄라이저를 구현하였다. 클록 손실 측정기법을 이용함으로써 클록의 손실을 쉽고 정확하게 측정할 수 있다. 또한 피드포워드 구조를 가지므로 시스템의 안정도와 채널의 손실에 대한 보상의 정확도를 증가시켰으며 소비 전력과 칩 면적을 감소시켰다.

실험 결과를 통해 제안된 이퀄라이저가 채널의 손실을 정확하게 보상함을 확인할 수 있다. 제안된 이퀄라이저를 사용할 경우, 1.65Gbps의 신호들이 -33dB의 손실을 가지는 채널을 통해 전송되어도 최소 0.7UI의 Eye Width를 유지하며 다양한 채널 손실에 따라 적응적이고 정확하게 손실을 보상할 수 있다. 또한 최대 10mW 이하의 전력을 소모하고, 유효 면적은 0.127mm² 이다.

참 고 문 헌

- [1] <http://www.hdmi.org>
- [2] V. Stojanovic *et al.*, "Autonomous dual-mode (PAM2/4) serial link transceiver with adaptive equalization and data recovery," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 1012-1026, Apr. 2005.
- [3] Jong-Sang Choi *et al.*, "A 0.18- μ m CMOS 3.5-Gb/s continuous-time adaptive cable equalizer using enhanced low-frequency gain control method," *IEEE J. Solid-State Circuits*, vol. 39, no. 3, pp. 419-425, Mar. 2004.
- [4] Guangyu Evelina Zhang and Michael M. Green, "A 10 Gb/s BiCMOS adaptive cable equalizer," *IEEE J. Solid-State Circuits*, vol. 40, no. 11, pp. 2132-2140, Nov. 2005.
- [5] Yong-Hun Oh *et al.*, "A CMOS burst-mode optical transmitter for 1.25-Gb/s ethernet PON applications," *IEEE Trans. on Circuits and Systems II: Express briefs*, vol. 52, no. 11, pp. 780-783, Nov. 2005.

저 자 소 개



김 규 영(학생회원)
2005년 고려대학교 전기전자전파
공학부 학사 졸업.
2005년~현재 고려대학교
전자컴퓨터공학과 석박사
통합과정 재학 중.

<주관심분야: High Speed CMOS Transceiver>



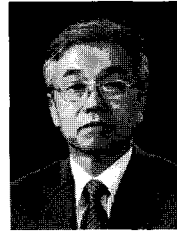
김 길 수(학생회원)
2002년 고려대학교 전기공학과
학사 졸업.
2008년 고려대학교 전자컴퓨터
공학과 석박사 통합과정
졸업.

<주관심분야: High Speed CMOS Transceiver,
Low Power Analog/Digital Circuits>



손 관 수(학생회원)
2005년 고려대학교 전기전자전파
공학부 학사 졸업.
2008년 고려대학교
마이크로/나노시스템
협동과정 석사 졸업.

<주관심분야 : High Speed CMOS Transceiver>



김 수 원(정회원)
1974년 고려대학교 전자공학과
학사 졸업.
1976년 고려대학교 전자공학과
석사 졸업.
1983년 Texas A&M Univ.
전자공학과 석사 졸업.

1987년 Texas A&M Univ. 전자공학과
박사 졸업.

1987년~현재 고려대학교 전자컴퓨터공학과
정교수

<주관심분야: High Speed CMOS Transceiver,
Implantable System IC, Sensor Interface IC>