

논문 2008-45SD-2-6

평판 디스플레이 시스템을 위한 OpenLDI 수신기 회로

(OpenLDI Receiver Circuit for Flat-Panel Display Systems)

한 평 수*, 최 우 영**

(Pyung-Su Han and Woo-Young Choi)

요 약

평판 디스플레이 인터페이스를 위한 OpenLDI 수신기 IP를 설계하고, 0.18- μm high-voltage CMOS 공정을 사용하여 프로토타입 칩을 제작하였다. 수신기 회로는 크게 DLL과 parallelizer로 구성된다. DLL은 클록을 재생하고, Parallelizer는 데이터를 병렬화하여 재생된 클록에 정렬한다. 회로의 입력은 한 개의 클록 채널과 네 개의 데이터 채널로 구성된다. 측정을 통해 10MHz~65MHz 범위의 입력주파수에서 클록을 재생하는 것을 확인하였으며, 이는 한 개 채널당 70Mbps~455Mbps의 속도에, 네 개의 데이터 채널을 모두 사용할 시 280Mbps~1.82Gbps의 속도에 해당한다. 상용 LCD 모니터를 개조하여 제작된 칩을 사용한 영상데이터 전송을 실험하였다. 이때의 클록 주파수는 49MHz, 소모되는 전력은 코어가 19mW, 출력버퍼가 82.5mW로 측정되었다.

Abstract

An OpenLDI receiver circuit for flat-panel display systems was designed and fabricated using 1.8- μm high-voltage CMOS technology. Designed circuit roughly consists of DLL circuit and parallelizers, which recovers clock and parallelize data bits, respectively. It has one clock input and four data inputs. Measurement results showed that it successfully recovers clock signal from input whose frequency is 10MHz~65MHz, which corresponds data rate of 70Mbps~455Mbps per channel, or 280Mbps~1.82Gbps when all of the four data channels were utilized. A commercial LCD monitor was modified into a test-bench and used for video data transmission at clock frequency of 49MHz. In the experiment, power consumption was 19mW for core block and 82.5mW for output buffer.

Keywords : OpenLDI, Flat-panel display, LVDS, DLL, Voltage controlled delay line, Parallelizer

I. 서 론

최근 우리가 접하는 영상과 음향 정보는 거의 모두가 디지털 신호의 형태로 처리된다고 해도 과언이 아니다. 콤팩트 디스크 (CD) 와 디지털 비디오 디스크 (DVD) 는 디스크 표면에 양자화되고 샘플링된 디지털 정보를 담고 있으며, 예전부터 많이 사용되어 왔던 자기테이프 기반의 아날로그 저장매체들 (카세트 테이프, 비디오 테이프 등) 을 성공적으로 대체하여왔다.

아날로그 매체에 저장된 영상과 음향은 읽기와 쓰기, 전송과 복제를 통해 잡음의 영향을 받게 되는데, 이 과정에서 저장된 데이터의 품질이 저하된다. 반복되는 잡음의 영향은 결국 데이터의 소실을 가져오게 된다.

아날로그 신호와는 달리 디지털 신호는 정보는 잡음에 대한 내성을 가진다. 읽고 쓰기, 전송과 복제를 통해 발생하는 아날로그 잡음들은 양자화 과정에서 제거되며, 따라서 거의 완벽하게 정보의 왜곡을 방지하는 것이 가능하다. 또한 일반적으로 아날로그 저장매체보다 디지털 저장매체가 정보의 기록밀도가 훨씬 높다.

영상 데이터를 화면에 표시하는 디스플레이 장치에서도 디지털 기기인 LCD (액정디스플레이) 와 PDP (플라즈마 디스플레이 패널) 가 아날로그 기기인 CRT (음극선관)를 꾸준히 대체해 나가고 있다.

* 학생회원, ** 정회원, 연세대학교 전기전자공학과 (Yonsei Univ., Electrical&Electronic Engineering)

※ 본 연구는 산업자원부에서 주관하는 System IC 2010 과제의 지원과, IDEC의 설계 툴 지원을 받아 수행되었습니다.

접수일자: 2007년10월29일, 수정완료일: 2008년1월22일

그러나 ‘디지털’ 신호로 저장된 영상을 ‘디지털’ 디스플레이장치에 전송하는 많은 시스템에서 최근까지도 여전히 아날로그 인터페이스를 사용하여 영상을 전송하는 경우가 있다. 여기에서 디지털 영상데이터는 일단 아날로그 신호로 변환되고 아날로그 인터페이스를 통해 전송된 후, 다시 디지털 신호로 변환되어 디스플레이 장치에 전달된다. 전송과정에서 더해지는 잡음은 복구할 수 없는 화질의 열화를 가져오며, 신호를 변환하는데 필요한 변환기들은 하드웨어 비용을 증가시킨다. 불합리함에도 여전히 이러한 방식을 사용하고 있는 이유로는 크게 두 가지를 들 수 있다.

첫째로, 비교적 최근에 보급되기 시작한 LCD, PDP 등의 디지털 디스플레이 장치에는 이들이 CRT와 공존하기 위해서 기존의 아날로그 인터페이스를 유지할 필요가 있었다는 점과, 동등한 품질의 영상을 전송할 때에 필요한 디지털 신호의 대역폭이 아날로그 신호의 대역폭보다 훨씬 넓으므로 고급의 회로설계기술이 요구된다는 점이다.

II. 직렬전송기술과 OpenLDI^[1] 표준

서론에서 언급한 것과 같이, 고품질의 영상을 디지털 신호의 형태로 전송하기 위해서는 아날로그 신호의 경우와는 비교할 수 없이 큰 대역폭이 요구된다. 디지털 영상을 전송하기 위해 필요한 대역폭은 식 1을 사용하여 계산할 수 있다.

$$W = N \times X \times Y \times (1 + A) \times F \quad (1)$$

- W: 요구되는 대역폭
- N: 픽셀당 색정보 비트 수 (color depth)
- X: 영상의 가로 해상도 (Horizontal resolution)
- Y: 영상의 세로 해상도 (Vertical resolution)
- F: 화면 갱신 주파수 (Refresh rate)
- A: 픽셀당 제어비트의 비율

예를 들어, 픽셀당 18비트의 색정보를 가지며, 가로 1024, 세로 768 해상도에 초당 60회의 화면 갱신 주파수를 사용하는 영상을 전송하기 위해서는 1Gbps 가량의 대역폭이 필요하다.

디지털 시스템에서 디지털 신호를 전송하는 방식은 크게 병렬전송과 직렬전송으로 구분된다. PC를 비롯한 여러 시스템에서 많이 사용되고 있는 병렬전송방식은 접지전압으로부터 전원전압까지 풀 스윙하는 느린 속도의 신호들을 다수의 신호선을 통하여 동시에 전송하는

방식을 말한다. 이 방식에서는 신호선을 추가함으로써 간단히 대역폭을 확장할 수 있고, 데이터의 워드형태가 유지되며, 다수의 송수신기들이 신호선을 공유하는 형태 (BUS) 로 구현하기가 용이한 장점이 있다. 그러나 요구되는 소모전력, 전송 속도, 전송 거리, 사용하는 핀과 신호선의 개수 등의 비용이 높아 Gbps급의 영상데이터 전송에는 적합하지 않다.

그러므로 일반적으로 디지털 영상전송에서는 최소 개수의 전송선으로 비교적 장거리의 고속전송이 가능한 직렬전송방식이 사용되는데, 대부분 작은 크기의 고속 전류신호를 차동전송선로를 통해 전송하는 LVDS^[2] (Low-Voltage Differential Signaling) 표준을 적용한다.

본 논문에서는 이들 중에서도 OpenLDI 표준을 기준으로 수신기 회로를 설계, 제작하여 영상데이터 전송실험을 수행하였다.

1. 직렬전송을 이용한 평판 디스플레이 시스템

직렬전송을 이용한 TFT LCD 시스템의 구조를 그림 1에 보였다. DVD player, PC 등에서 전송된 영상데이터는 직렬전송 채널 (Serial links) 을 통해 수신기의 입력버퍼 (RX buffer) 에서 수신되고, 디지털 블록이 처리할 수 있는 크기의 신호로 변환된다. 이 시점에서 영상데이터는 비트열의 형태로 직렬화되어 있는 상태이며, 이 비트열은 parallelizer (병렬화기) 에서 픽셀 워드 (한 픽셀에 해당하는 비트의 무리) 형태로 정렬된다.

타이밍 로직 회로에서는 픽셀 워드에 포함된 제어비트를 기준으로 영상 데이터를 프레임 (Frame) 단위로 정렬하고, 이 데이터를 LCD 드라이버 회로 (LCD driver circuit)에 전송한다. LCD 드라이버 회로는 색정보에 따라 해당 픽셀의 빛의 투과율을 변조하게 되며, 마지막으로 백라이트 (back-light) 에서 발생한 빛, 혹은 LCD 후면에 장치된 반사판에서 반사된 빛이 각 픽

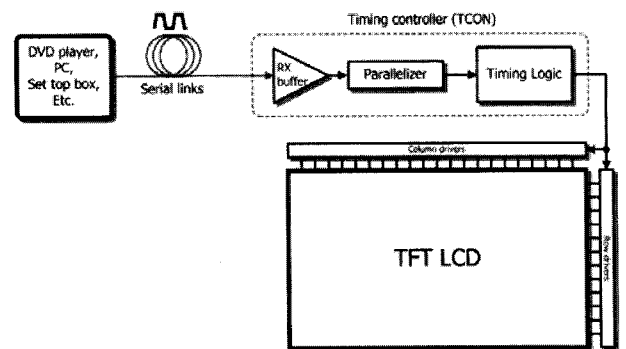


그림 1. 직렬전송을 이용한 평판 디스플레이 시스템
Fig. 1. Flat-panel display system using serial-link.

셀을 통과하면서 색을 나타내게 된다.

그림 1의 LCD 시스템에서, 수신기 버퍼와 parallelizer, 타이밍 로직을 포함한 부분을 일반적으로 타이밍 컨트롤러 (Timing controller, 이하 TCON) 이라고 부른다. TCON은 크게 입력버퍼, 클럭 재생회로를 포함하는 아날로그 회로와, parallelizer, 타이밍 로직으로 포함하는 디지털 회로로 나누어 볼 수 있다. 보통은 아날로그와 디지털 회로의 집적이 용이한 CMOS 공정을 사용하여 단일칩의 형태로 설계되거나, LCD 모듈 (LCD module) 에 직접 실장되거나 하는 방식으로 구현된다. 본 논문에서는 TCON의 구성블록 중에서, 아날로그 회로와 parallelizer부분만을 다룬다.

2. OpenLDI표준에서의 데이터 전송방법

National semiconductor사가 제시한 OpenLDI 표준은 직렬전송기술을 사용한 디지털 영상전송 방법의 하나로 주로 노트북 컴퓨터 (Laptop PC) 등에서 LCD 패널에 영상 데이터를 전송하기 위하여 사용된다.

OpenLDI 표준에서는 클럭 전송을 위해 1개의 LVDS 채널, 데이터 전송을 위해 세 개, 혹은 네 개의 LVDS 채널을 사용한다^[1]. 좀 더 자세히 설명하면, 픽셀당 18비트의 정보를 사용할 경우 세 개의 데이터 채널을, 픽셀당 24비트의 정보를 사용할 경우 네 개의 데이터 채널을 사용하게 된다. 그림 2와 그림 3에 데이터와 클럭의 관계를 나타내었다. OpenLDI에서는 데이터 채널당

한 클럭에 일곱 개의 비트를 전송하며, 보통은 클럭당 한 개의 픽셀이 대응된다.

그림 2에서는 빛의 삼원색인 빨강색 (Red), 녹색 (Green), 파랑색 (Blue) 각각에 6bit을 할당하는 18비트 컬러픽셀 모드 (18-bit color pixel mode) 의 신호파형을 보여준다. 픽셀의 색을 표현하는 R[0:5], G[0:5], B[0:5] 의 18개 bit을 제외한 나머지 3개의 비트는 각각 데이터 가용신호 (DE, Data Enable), 수평동기신호 (HS, Horizontal Sync.), 수직동기신호 (VS, Vertical Sync.) 의 제어비트로 사용된다.

OpenLDI표준에는 데이터 채널을 추가함으로써 더 많은 색을 표현할 수 있도록 하는 기능이 존재한다. 예를 들어, 18비트 컬러 픽셀모드에 한 개의 데이터 채널을 추가하면 시스템은 24비트 컬러픽셀 모드로 확장된다. 그림 3에 24비트 컬러픽셀 모드의 클럭과 데이터의 관계를 나타내었다. 새로이 추가된 네 번째 데이터 채널에는 R[6:7], G[6:7], B[6:7] 의 비트가 추가된다.

그림 3에서는 추가된 데이터 채널을 통해 색 정보의 LSB (Least-Significant Bit) 부분이 더해질 뿐으로, 만약 추가된 네 번째 채널의 데이터가 소실된다고 해도 기본적인 영상 전송에는 문제가 발생하지 않는다. 이는 송신기와 수신기의 컬러 픽셀 모드가 다른 경우에도 최소한의 동작을 보장하기 위함이다.

III. OpenLDI 수신기의 구성블록

1. OpenLDI 수신기 회로의 구조

그림 4는 설계된 회로의 블록도를 나타낸다. 회로는 크게 LVDS 입력버퍼, DLL을 이용한 다중위상 클럭 재생회로, parallelizer, 3.3V의 출력버퍼, fail-safe 회로의 다섯 부분으로 구성된다.

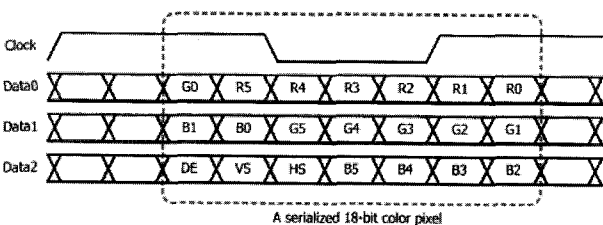


그림 2. 18비트 컬러픽셀 모드의 클럭과 데이터
Fig. 2. Clock and data signals in 18-bit color pixel mode.

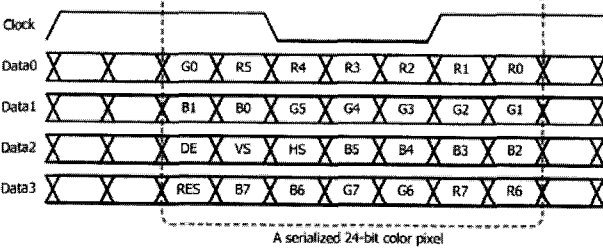


그림 3. 24비트 컬러픽셀 모드의 클럭과 데이터
Fig. 3. Clock and data signals in 24-bit color pixel mode.

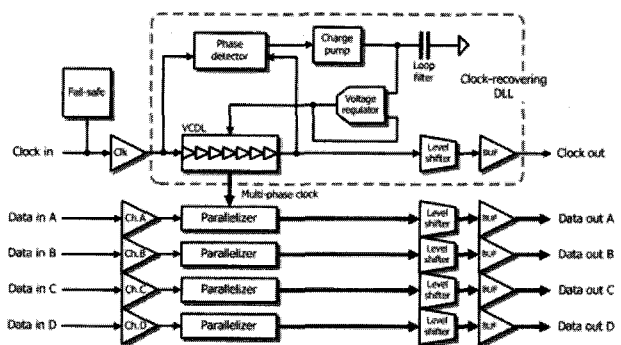


그림 4. OpenLDI 수신기회로의 블록도
Fig. 4. Schematic diagram of OpenLDI receiver circuit.

2. LVDS 입력버퍼회로

LVDS 입력버퍼는 전송선을 통과한 전류신호를 전송선과 임피던스 매칭된 종단저항에 흐르도록 하여 전압신호로 전환하고 이를 디지털 회로를 구동하기에 적합한 CMOS 레벨의 신호로 변환하는 역할을 한다. 일반적으로 LVDS 수신기는 입력신호가 전압차동신호로서 100mV이상의 크기를 가지면 문제없이 신호를 복원할 수 있는 정도의 성능이 요구된다. 또한 입력신호의 공통모드 전압은 1.2V로 고정되어 있다^[2].

그림 5에 입력부와 이득부의 2단으로 구성된 LVDS 입력버퍼의 구조를, 그림 6과 7에 각각 입력부와 이득부의 회로도를 나타내었다.

입력부회로는 다양한 공통모드전압을 지원하는 베이스 앰프^[3]의 구조를 차용하였다. 여기서는 NMOS 차동회로와 PMOS 차동회로가 동시에 트랜스임피던스회로로 사용된다. 각 차동회로의 전류출력은 폴디드 캐스코드 형태의 출력단에서 전압으로 변환되는 구조로 구성된다. 그림 6에 보이는 회로에서는 공통모드 전압이 낮은 경우 PMOS 차동회로가, 공통모드 전압이 높은 경우 NMOS 차동회로가 동작하며, LVDS 표준의 1.2V 공통모드 전압에서는 NMOS, PMOS 차동회로가 동시에 동작하게 된다.

입력부 회로의 캐스코드 출력단의 출력전압은 스윙폭이 비교적 작으므로 이를 디지털 회로의 입력으로 사용하기에는 무리가 따른다. 그러므로 작은 크기의 전압신호를 디지털 회로의 입력에 적합한 레벨의 신호로 증

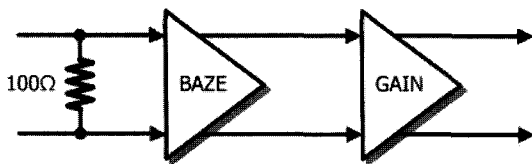


그림 5. LVDS 입력버퍼의 구조
Fig. 5. Schematic diagram of LVDS input buffer.

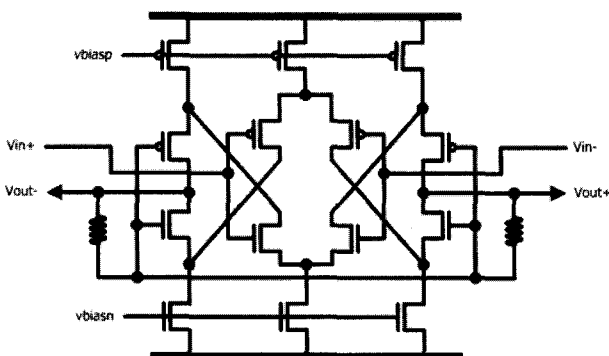


그림 6. LVDS 입력버퍼의 입력부 회로
Fig. 6. Input stage of LVDS input buffer.

폭해 주는 역할을 하는 이득부 회로가 필요하다.

이득부 회로는 NMOS 차동회로를 사용하며, 전류복사회로로 이루어진 출력단에서 전압으로 출력신호를 내는 구조로 이루어져 있다. 이득부 회로의 출력은 차동신호인데, 최종적으로는 싱글-투-디퍼런셜 변환회로를 통하여 디지털 회로에 연결된다.

그림 8에 LVDS 입력버퍼회로의 시뮬레이션 결과를 나타내었다. 입력신호로서는 속도가 1.4Gbps, 크기는 차동신호로서 100mV, 공통모드 전압이 1.2V인 NRZ신호

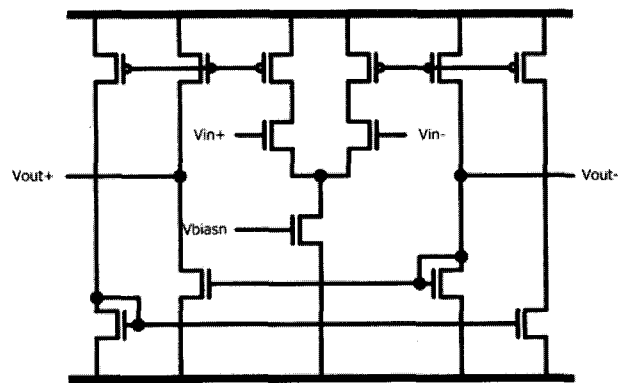


그림 7. LVDS 입력버퍼의 이득부 회로
Fig. 7. Gain stage of LVDS input buffer.

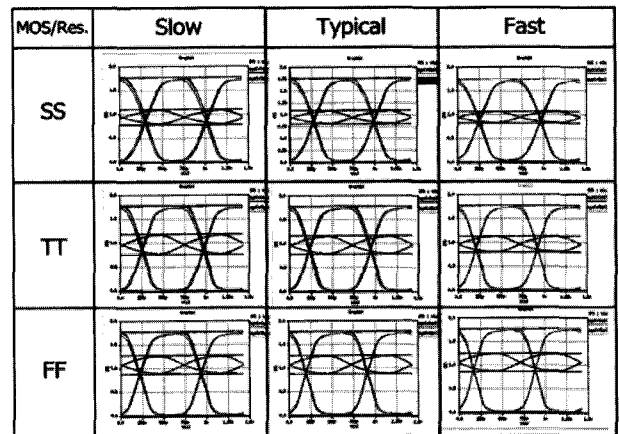


그림 8. MOS 트랜지스터/저항의 프로세스 코너별 LVDS 입력버퍼 시뮬레이션 결과(입력신호는 속도가 1.4Gbps, 크기는 차동 신호로서 100mV_{p2p}, 공통모드 전압 1.2V의 NRZ 신호이다. 겹쳐져 표시된 두 개의 아이 다이어그램에서 작은 것은 입력부의 출력을 나타내며, 큰 것은 이득부의 출력을 나타낸다.)

Fig. 8. LVDS input buffer simulation results over MOS transistor/resistor process corners (Applied input signal is 1.4-Gbps, NRZ coded, 100mV_{p2p} differential signal with common mode voltage of 1.2V. Two eye-diagrams are shown in each process corner. smaller ones are the outputs of input stage and larger ones are the outputs of gain stage.)

를 사용하였으며, 시뮬레이션은 저항과 트랜지스터의 공정 코너별로 시행하였다.

3. DLL을 사용한 클럭재생회로

클럭과 데이터 입력신호는 입력버퍼를 거쳐 디지털 회로를 직접 구동할 수 있는 레벨의 신호로 변환되며, 이 클럭신호로부터 각 비트의 정보를 판단할 수 있도록 시간기준신호 역할을 하는 샘플링 클럭을 재생하게 된다. 클럭의 한 주기에 일곱 비트가 대응하므로, 여기서는 일곱 개의 비트를 각각 샘플링하는 일곱 개의 클럭 신호를 재생하게 된다. 그림 9에 클럭재생회로의 출력 신호를 나타내었다.

데이터 신호로부터 비트정보를 읽어내기 위해서는 일곱 개의 비트 각각에 대응하는 일곱 개의 다중위상 클럭이 필요하다. 여기에서는, 한 단의 지연값이 한 비트주기에 해당하는 딜레이셀을 일곱 개 사용하여 일곱 단으로 이루어진 딜레이라인을 구성하고, 이를 사용한 DLL을 구현하여 입력 클럭신호에 동기시킴으로써 다중 위상 클럭을 복원하는 방법을 사용하였다.

그림 10에 단위 딜레이셀의 구조를 나타내었다. 직렬로 연결된 다섯 개의 인버터가 지연 소자로 동작하며, 차동신호를 다루기 위하여 이 인버터 열을 두 개 사용한다. 각 단의 인버터의 출력은 래치회로를 통하여 대응하는 차동신호의 출력단에 연결되어 차동신호의 역위상관계를 유지한다.

단위 딜레이 셀에서 지연 값의 조절은 인버터의 전원 전압을 통해 이루어진다. 그림 10의 Vcnt 신호가 제어

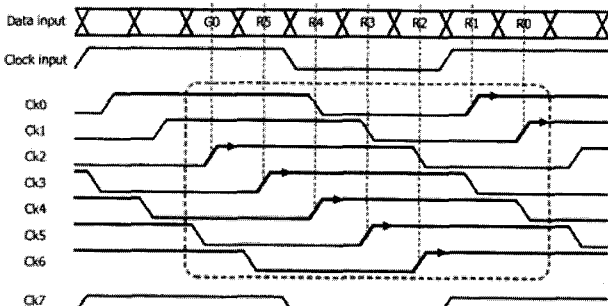


그림 9. 클럭재생회로의 출력신호파형
Fig. 9. Output signal waveform of clock recovery circuit.

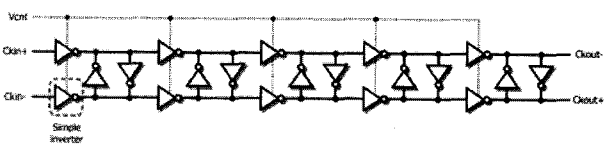


그림 10. 단위 딜레이셀의 구조
Fig. 10. Schematic diagram of unit delay cell.

전압으로, 인버터의 전원전압으로 사용된다. 일반적으로 인버터의 시간 지연값은 전원전압에 반비례하는 것으로 알려져 있다. 이는 인버터의 입력용량이 전원전압의 변화에 대해 비교적 일정하게 유지되는 반면, 인버터의 전류구동능력과 출력저항은 비교적 크게 변화하기 때문이다.

그림 11은 그림 10의 단위 딜레이 셀을 일곱 개 사용하여 구성된 전압제어 딜레이라인을 나타낸다. 입력클럭의 상승/하강 에지는 입력 데이터신호의 비트의 천이점에 동기되어 있다고 가정하면, 비트구간의 중앙에서 샘플링이 일어나도록 하려면 재생된 클럭이 한 비트주기의 절반만큼 지연될 필요가 있는데 (그림 9 참조) 이는 딜레이 라인의 처음과 끝에 단위 딜레이 셀의 절반에 해당하는 하프 딜레이셀을 추가하여 해결하였다.

DLL의 구성에서, 딜레이 라인의 출력클럭 중 Ck0와 Ck7을 위상이 같아지도록 조정하면, Ck0~Ck6의 일곱 개의 다중위상 클럭은 각각 시간 간격이 한 비트주기에 해당하며, 각 상승에지의 위치는 해당 비트의 중간에 위치하게 된다. DLL이 동기된 이후 일곱 개의 클럭은 버퍼를 거쳐 출력되는데, 이는 이후 연결되는 parallelizer의 입력용량이 딜레이 라인 각 단의 부하용량에 영향을 주거나, 클럭 피드스루로 인해 딜레이 라인의 지연값이 변화하는 것을 방지하기 위함이다.

그림 12는 클럭재생 회로의 구조를 보여준다. DLL은 기본적으로 1차 시스템이므로 PLL과는 달리 루프의 안

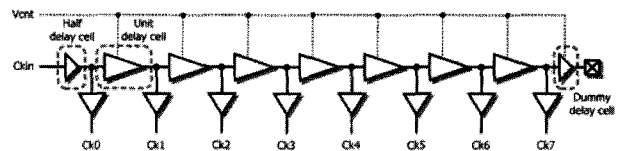


그림 11. 전압제어 딜레이라인의 구조
Fig. 11. Schematic diagram of voltage controlled delay line.

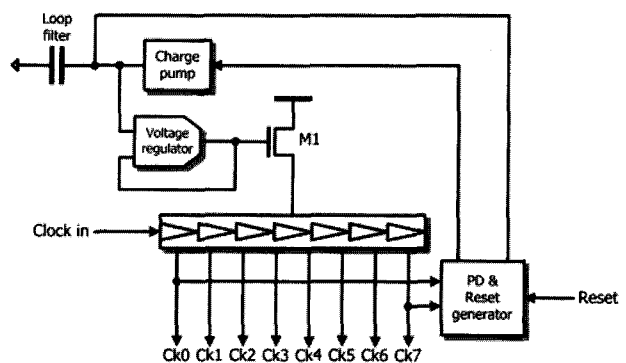


그림 12. 클럭재생회로의 구조
Fig. 12. Schematic diagram of clock recovery circuit.

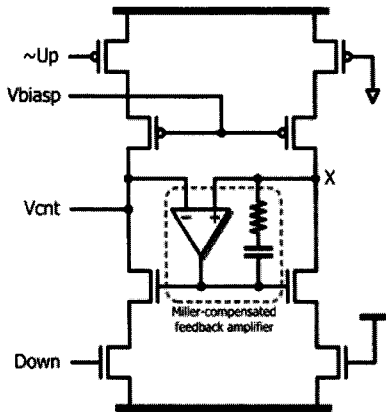


그림 13. 전하펌프의 구조
Fig. 13. Schematic diagram of charge pump circuit.

정성을 확보하기가 용이하다. 루프필터로는 MIM 용량을 사용하여 칩 내부에 내장하였다.

그림 13은 전하펌프의 구조를 나타낸다. 일반적인 전하펌프에서는, 업/다운 전류를 전류복사회로를 사용하여 같은 크기로 유지한다. 이때 전하펌프의 출력전압이 변화함에 따라 전류복사회로의 바이어스 조건이 변화하며 업/다운 전류의 차이가 커질 수 있는데, 이는 최종적으로 DLL이 위상잠금되었을 때의 위상오차로 나타나게 된다. 이러한 문제점을 해결하기 위해, 피드백 앰프를 사용하여 제어전압 출력단(Vcnt)의 전압과 노드 X의 전압을 같도록 만드는 방법을 사용하였다.^[4]

여기서 사용되는 피드백 앰프는 한 단의 전류복사 OTA인데, 이는 2차의 제어시스템 (servo system) 을 형성하게 되므로 안정성을 확보하기 위한 주파수 보상이 필요하게 된다. 일반적으로는 노드 X에 큰 용량을 연결하여 주파수 보상을 행하는데, 이는 큰 면적을 요구하므로 바람직하지 않다. 여기에서는 OPamp의 설계에 많이 사용되는 Miller 용량과 직렬저항을 이용한 풀-체로 상쇄 주파수 보상 구조^[5]를 사용하여 주파수 보상을 행하였다.

곱셈기 형태의 위상검출기를 사용하는 PLL의 경우, 출력 신호가 입력신호의 정수배 주파수에 동기 되는 일이 발생할 수 있다. 이를 방지하기 위해서 PLL에서는 주파수 검출기 등을 사용한다. 실제 구현에서는, 위상오차와 주파수 오차를 동시에 검출할 수 있는 위상-주파수 검출기를 사용하는 것이 일반적이다.

DLL의 경우에도 시스템의 초기조건에 따라 잘못된 방향의 되먹임신호가 발생하거나 (거짓 잠금 현상) 두 배 이상의 클럭주기에 동기되는 등의 오작동이 일어날 수 있다. 이를 방지하기 위해서는 DLL의 초기조건을 설정해 주는 회로가 필요하다^[6]. 일반적으로는 시스템

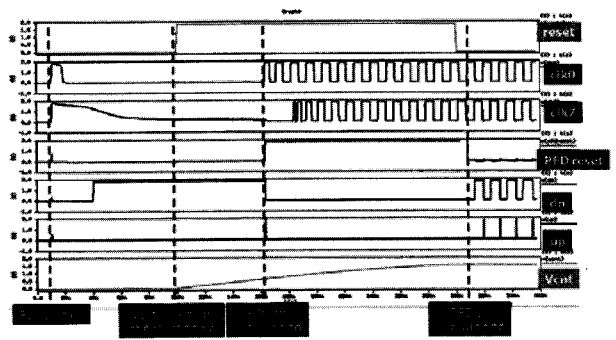


그림 14. DLL 회로의 초기화 과정 시뮬레이션
Fig. 14. Simulation results of DLL initialization.

초기화 과정에서 딜레이라인의 시간 지연 값을 최소로 설정하고 초기화 이후 지연값을 증가시면서 위상잠금을 얻는 방법이 사용된다.

설계된 회로에서는 초기화과정에서 위상-주파수 검출기의 동작을 끄고 딜레이라인의 지연값을 최소로 만든 후, 초기화과정 이후 언제나 다운신호를 먼저 발생 시키도록 하여 해결하였다. 그림 14는 리셋회로를 사용한 DLL의 초기화 과정의 시뮬레이션 파형이다. 아래에 DLL회로의 초기화과정을 설명하였다.

4. Parallelizer

그림 15에 parallelizer의 구조를 나타내었다. Parallelizer는 입력 데이터 신호를 다중위상 클럭을 사용하여 샘플링하고, 이를 다시 OpenLDI표준에 부합하는 순서로 정렬하여 출력하는 기능을 가진다. Parallelizer에는 TSPC^[7] 플립플롭을 사용하였다. TSPC 플립플롭은 차동신호가 아닌 싱글신호를 샘플링클럭의 입력으로 하며, 다이내믹 타이핑으로 속도가 빠르고 소모 전력이 작은 반면 주기적인 샘플링이 이루어지지 않으면 누설전류로 인하여 저장된 값을 잃어버릴 수 있다는

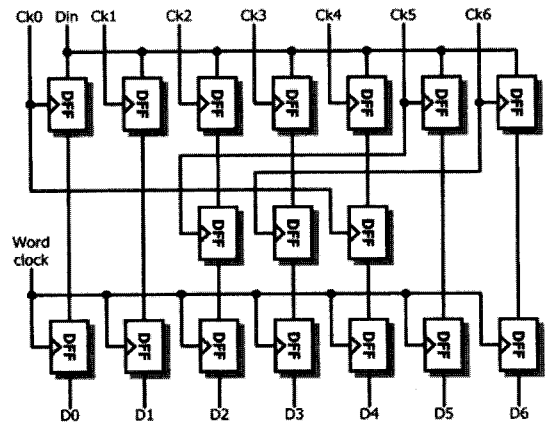


그림 15. Parallelizer의 구조
Fig. 15. Schematic diagram of parallelizer.

단점을 가진다. 그림에서 보이는 Word clk은 parallelizer의 출력클럭으로 다중위상 클럭 재생기의 Ck3을 사용한다.

5. OpenLDI 수신기 블록

앞 절에서 설명한 회로들을 사용하여 OpenLDI 수신기를 구성하였다. 그림 16에 OpenLDI 수신기의 레이아웃을 나타내었다. 전체 레이아웃의 크기는 가로 765 μ m, 세로 570 μ m이며, 루프필터로 사용된 용량기를 제외하면 가로 552 μ m, 세로 570 μ m이다.

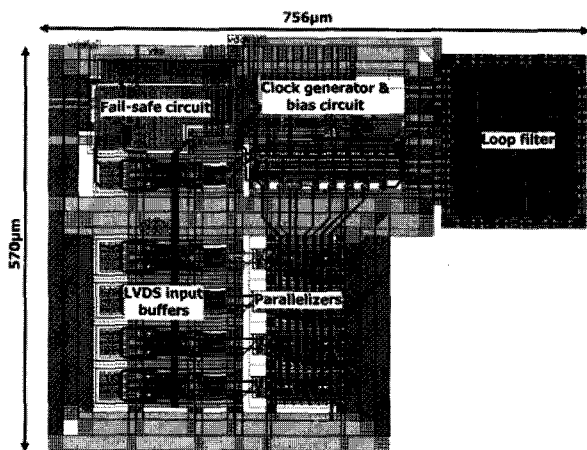


그림 16. LVDS RX IP의 레이아웃
Fig. 16. Layout capture of LVDS RX IP.

IV. OpenLDI 수신기의 시뮬레이션 결과

설계된 OpenLDI 수신기 블록을 프로세스 코너별, 입력 신호의 주파수별로 시뮬레이션하였다. 그림 17에 위상동기과정중의 제어전압의 변화를 나타내었다. 위상동

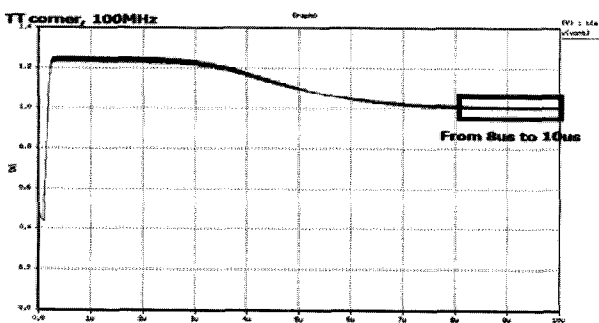


그림 17. DLL 초기화, 위상획득, 위상잠금 과정에서의 제어전압의 변화 (Process corner: TT, Clock frequency: 100Mhz)
Fig. 17. Simulated VCDL control voltage during DLL initialization, phase acquisition and phase lock (Process corner: TT, Clock frequency: 100Mhz).

기 후, 그림 17의 8 μ s~10 μ s 구간에서의 입/출력신호의 아이다이아그램을 그림 18에 나타내었다.

표 1은 시뮬레이션을 얻은 통해 프로세스 코너별, 입력 신호의 주파수별 전력 소모와 동작 가능한 주파수 범위를 정리한 것이다.

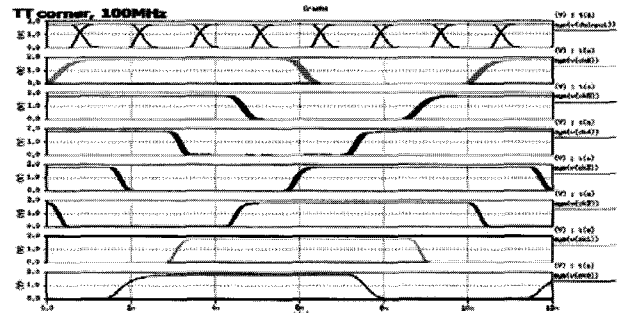


그림 18. 위상잠금 이후 재생된 클럭과 입력 데이터의 아이다이아그램
Fig. 18. Eye-diagrams of recovered clock and input data, after phase locking.

표 1. 프로세스 코너별, 입력주파수별 전력 소모 시뮬레이션 결과

Table 1. Estimated power consumption over process corners, input frequency variations.

Process corner	clock freq.	Data-rate	Power consumption				
			Total	VCDL	Digital blocks	LVDS buffers	Bias circuit
TT	20Mhz	140Mbps	16.5mA	1.16mA	0.57mA	14.6mA	0.12mA
	50Mhz	350Mbps	17.1mA	1.36mA	0.74mA	14.9mA	0.12mA
	100Mhz	700Mbps	18.1mA	1.63mA	0.96mA	15.4mA	0.12mA
SS	20Mhz	140Mbps	12.9mA	0.98mA	0.51mA	11.3mA	0.09mA
	50Mhz	350Mbps	13.4mA	1.15mA	0.67mA	11.5mA	0.09mA
FF	50Mhz	250Mbps	20.8mA	1.64mA	0.8mA	18.2mA	0.16mA
	120Mhz	840Mbps	22.32mA	1.94mA	1.12mA	19.1mA	0.16mA

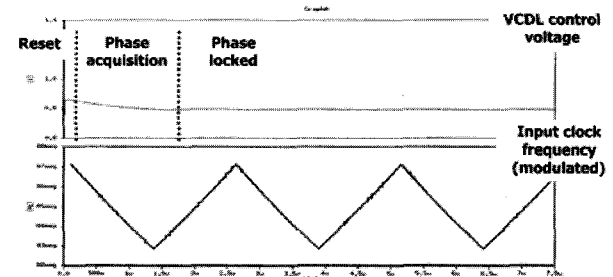


그림 19. Spread spectrum clock을 입력으로 하였을 때의 시뮬레이션 결과 (신호 크기: 100mVp2p, 클럭 주파수: 85Mhz, 변조 주파수: 40Khz, 주파수 변조량: $\pm 2.5\%$)

Fig. 19. Simulation results with spread spectrum clock input (input signal amplitude: 100mVp2p, clock frequency: 85Mhz, modulation frequency: 40Khz, modulated by $\pm 2.5\%$ of clock frequency).

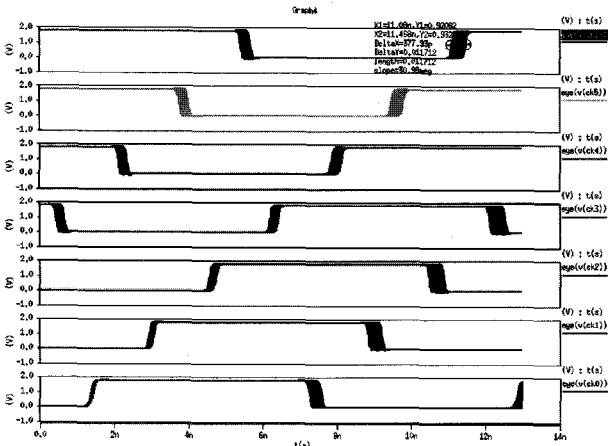


그림 20. Spread spectrum clock 을 입력으로 클럭 재생 회로에서 발생시킨 다중위상 클럭의 아이다이 어그램, jitter on ck6: 377ps_{p2p}
 Fig. 20. Eye-diagram of multi-phase output clock with spread spectrum clock, jitter on ck6: 377ps_{p2p}.

그림 19, 20은 입력클럭을 주파수 변조된 클럭^[8]을 입력으로 다중위상 클럭을 재생하는 동작을 시뮬레이션한 것이다. 입력 클럭의 주파수는 85Mhz, 주파수 변조 주파수는 40khz를 사용하였으며, 클럭주파수의 ±2.5%에 해당하는 주파수를 삼각파 형태로 변조한 클럭을 차동 신호로서 100mV의 크기로 사용하였다. 루프필터의 용량은 25pF를 사용하였다. 그림 19에서 보이듯이, 위상 잠금 이후 제어전압의 변화는 크지 않다. 재생된 클럭 중 가장 큰 지터를 갖는 Ck6의 경우 377ps_{p2p}의 지터를 가지는데, 이는 한 비트 주기의 약 20%에 해당하는 값이 된다.

V. 측정 결과

1. 테스트벤치의 구성

제작된 칩의 측정은, 아날로그 인터페이스를 사용하는 상용 LCD모니터의 내부 영상 신호를, 상용 송신기 칩을 사용하여 직렬화하여 OpenLDI 표준에 부합하는 영상신호를 발생시키고, 이를 제작된 칩을 통해 본래 신호(병렬전송신호)로 복원한 뒤 LCD 패널에 입력하여 전송된 영상이 모니터 화면에 제대로 표시되는지를 확인하는 방법으로 진행하였다.

그림 21에 테스트벤치의 구조를 보였다. 점선으로 표시된 부분이 본래 LCD 모니터를 구성하는 블록을 나타낸다. 그림 22와 23에 각각에는 측정용 보드와 테스트 벤치의 모습을 보였다.

실험에서 사용한 LCD 모니터는 픽셀당 18비트의 색

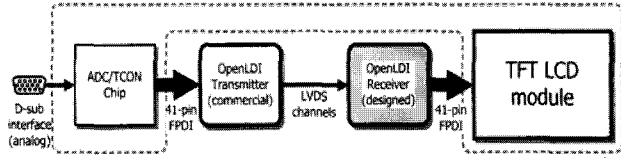


그림 21. 테스트 벤치의 구조
 Fig. 21. Schematic diagram of testbench.

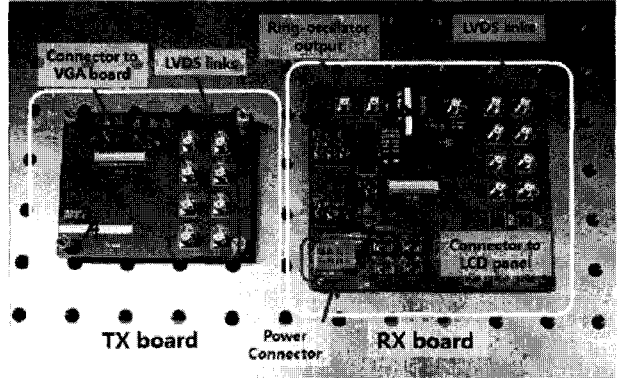


그림 22. 상용칩을 사용한 송신보드와 설계된 칩을 사용한 수신보드
 Fig. 22. Transmitter board with commercial TX chip and Receiver board with designed OpenLDI RX chip.

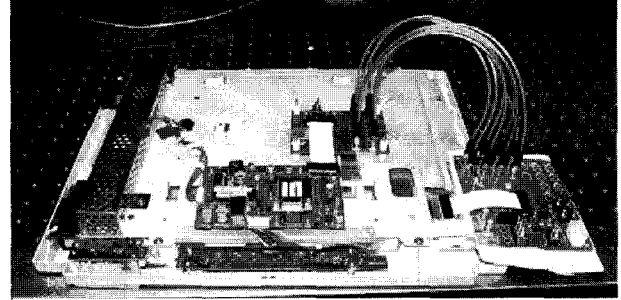


그림 23. 측정셋업 (LVDS 채널용 케이블을 연결한 상태)
 Fig. 23. Measurement setup (with cables attached for LVDS channels).

정보를 가지며 60Hz의 화면갱신 주파수를 사용한다. 18 비트 컬러픽셀모드에서는 데이터 채널 3개를 사용하므로, 제작한 프로토타입 칩의 4개 채널 중 3개만을 사용하여 측정을 진행하였다. 이 경우 직렬화 된 영상데이터는 제어비트를 포함하여 990Mbps, 채널당 330Mbps의 속도를 가지며, 클럭의 주파수는 47.2Mhz가 된다.

2. DLL 동작범위 측정

수신 보드에 클럭을 인가하고 클럭의 주파수를 변화시키며 딜레이라인의 제어전압을 측정하는 방법으로 DLL의 동작범위를 측정하였다. 측정된 DLL의 동작범위는 그림 24와 같다.

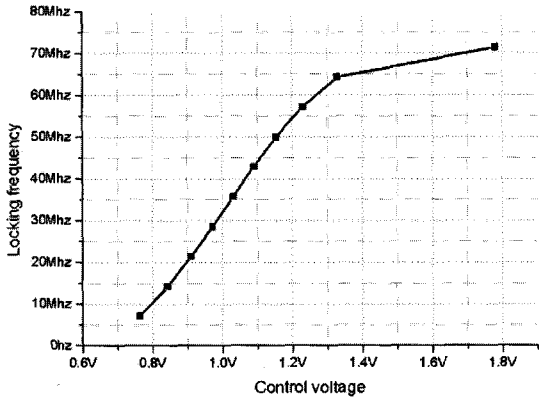


그림 24. 클럭재생 DLL의 동작범위 측정결과
 Fig. 24. Measured operation frequency range of clock recovering DLL.

3. 영상데이터의 전송실험

앞서 구성한 테스트벤치에 Laptop PC의 비디오출력

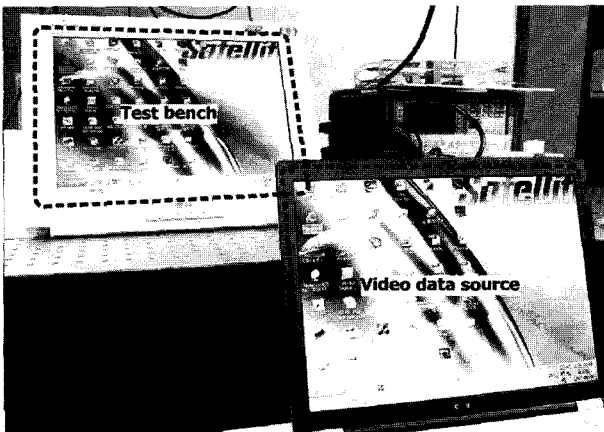


그림 25. Laptop PC로부터 테스트벤치에 화면을 전송하고 이를 LCD모니터에 표시하는 모습
 Fig. 25. Testbench displays transmitted video data from a Laptop PC.

표 2. 측정결과 정리
 Table 2. Summary of measured results.

항 목	측 정 결 과
동작주파수	10MHz~65MHz
데이터채널	4개
코어 전원	1.8V
I/O 전원	3.3V
소모전력	18mW (core & Input buffers)
SSC 지원	YES
입력신호	LVDS
출력신호	3.3V CMOS
Fail-safe	YES
프로토콜	OpenLDI
제작공정	0.18- μ m high voltage CMOS 1P4M

단자를 연결하여 PC의 모니터에 표시되는 화면을 테스트벤치의 LCD 모니터에 전송하는 실험을 수행하였다. 1024x768 해상도의 영상은 깨끗하게 전송되었으며, 정지영상과 동영상, 다양한 색상의 색상표 등을 전송하여 전송되는 영상에서 오류가 발생하지 않음을 확인하였다. 전송실험한 화면을 그림 25에 나타내었다. 측정결과를 표 2에 정리하였다.

VI. 결 론

최근 들어 OpenLDI를 비롯한 순수 디지털 인터페이스를 사용하는 디스플레이 장치가 많이 사용되고 있다. 한편 이러한 제품을 구성하는 핵심 부품인 기술인 송수신기 칩은 대부분 시장을 선점한 선진국의 제품들로, 국내 전자기기 제조회사들은 이들 제품을 수입에 의존하고 있는 형편이다. 본 논문에서는 이미 상용화된 칩의 수준에 동등한 성능을 가진 수신기 칩을 개발하여, 기존의 제품에 실장하고 그 성능을 검증하였다. 제작된 수신기 칩을 사용하여 47.2MHz의 클럭을 사용하는 1Gbps의 영상전송실험을 성공적으로 수행하였다. 제작된 칩은 10MHz~65MHz의 속도에서 동작이 가능할 것으로 예측된다. 설계된 수신기회로뿐만 아니라 전체회로를 구성하는 블록인 입력버퍼회로, 클럭 재생회로, parallelizer 등은 블록별 IP로 설계되어 이후 다른 과제에서 재사용하기 용이하도록 구성되었다.

참 고 문 헌

- [1] National Semiconductor, "Open LVDS Display Interface (OpenLDI) Specification v0.95", 1999.
- [2] IEEE Std. 1596.3-1996, "IEEE standard for Low-Voltage Differential Signaling (LVDS) for Scalable Coherent Interface (SCI)", 1994.
- [3] M. Bazes, et al., "Two Novel Fully Complementary Self-Biased CMOS Differential Amplifiers", *EEE Journal of Solid-State Circuits*, vol. 26, No. 2, pp. 165-168, Feb 1991.
- [4] Jae Shin Lee, et al., "A wide range PLL for 64x speed CD-ROM & 10x speed DVD-ROM", *International Conference on Consumer Electronics*, June 2000, pp. 98-99
- [5] 한건희, "전자회로", 교보문고, pp.290, 2000.
- [6] Hsiang-Hui Chang et al., "A Wide-Range Delay-Locked Loop With a Fixed Latency of One Clock Cycle", *IEEE Journal of Solid-State Circuits*, Vol. 37, No. 8, pp. 1021-1027, Aug 2002.

[7] Yuan Ji-Ren, et al., "A True Single-Phase-Clock Dynamic CMOS Circuit Technique", *IEEE Journal of Solid-State Circuits*, Vol. SC-22, No. 5, pp. 899-901, Oct 1987.

[8] Hardin, K. B, et al., "A study of the interference potential of spread spectrum clock generation techniques", *IEEE International Symposium on Electromagnetic Compatibility*, pp. 624-629, 1995.

저 자 소 개



한 평 수(학생회원)
 2002년 연세대학교 전자공학과
 학사 졸업
 2004년 연세대학교 전기전자
 공학과 석사 졸업
 2008년 현재 연세대학교 전기전자
 공학과 박사과정

<주관심분야 : CMOS High-speed I/O, Clock recovery circuit>



최 우 영(정회원)
 1988년 Massachusetts Institute
 of Technology, EECS,
 B.S. 및 M.S. degree 취득
 1994년 동대학원 Ph.D. 취득
 1995년 일본 NTT 광전자연구소
 Post-Doctoral Fellow

2008년 연세대학교 전기전자공학과 정교수
 <주관심분야 : 고속 회로 및 시스템, 광전자 및
 마이크로웨이브 포토닉스>