

논문 2008-45SD-2-19

새로운 구조를 가지는 Tunable Bandpass Σ - Δ Modulator

(A Tunable Bandpass Σ - Δ Modulator with Novel Architecture)

김 재 봉*, 조 성 익**

(Jae-Bung Kim and Seong-Ik Cho)

요 약

본 논문에서는 선별된 IF 대역의 데이터 변환을 위하여 모듈레이터의 하나의 계수값에 의하여 IF 대역 중심주파수를 조절할 수 있는 새로운 2차 SC Bandpass Σ - Δ 모듈레이터 구조를 제안한다. 제안한 구조는 기존구조에 비하여 2차 형태의 잡음 전달함수를 임의로 변경할 수 있고, 중심주파수 조절을 위하여 기존구조는 가변이 가능한 2개의 계수값, 기본클럭의 다른 8개의 클럭이 필요한 반면 제안한 구조는 가변이 가능한 하나의 계수값과 기본 클럭만으로 주파수를 조절할 수 있다.

Abstract

In this paper, tunable SC(switched capacitor) 2nd order bandpass Σ - Δ (Sigma-Delta) modulator with novel architecture that can adjust the IF band center frequency by one coefficient value is proposed for data conversion in the IF(Intermediate Frequency) band. Its architecture can optionally adjust all the 2nd order noise transfer function in comparison with the conventional architecture. In order to adjust the center frequency, the conventional architecture needs the two variable coefficient values, basic clock and eight clocks. On the other hand, the proposed architecture can adjust the center frequency by one variable coefficient value and basic clock only.

Keywords : Bandpass $\Sigma\Delta$ Modulator, Tunable

I. INTRODUCTION

지난 수년동안 저대역 시스템간 연결체로 널리 이용되었던 SC Bandpass Σ - Δ 데이터 변환기는 공정기술의 급격한 발전에 의하여 회로 집적도와 속도면에서 크게 향상되어 다양한 분야에 응용되고 있다. 특히, 수십 MHz의 신호 대역폭과 12비트 이상의 해상도가 요구되어지는 IF 통신시스템에서 여러채널의 데이터를 변환할 수 있도록 중심주파수 조절이 가능한 SC Bandpass Σ - Δ 데이터 변환기에 대한 관심이 고조되고 있다^[1].

SC Bandpass Σ - Δ 데이터 변환기는 아날로그 부분인 SC Bandpass Σ - Δ 모듈레이터와 디지털 부분인 Decimator 필터로 구성되어지고 대부분의 특성은 아날

로그 부분인 SC Bandpass Σ - Δ 모듈레이터에 결정되어진다. 기본 구조의 SC Bandpass Σ - Δ 모듈레이터는 IF 대역에서 데이터변환을 위한 중심주파수를 조절할 수 없고, 중심주파수를 조절시킬수 있는 SC Bandpass Σ - Δ 모듈레이터는 중심주파수 조절을 위한 클럭이 필요하고 회로구성이 매우 복잡하다는 단점을 갖는다.^[2~3]

본 논문에서는 하나의 계수값과 기본 구조의 모듈레이터에 사용되는 기본클럭에 의해 중심주파수를 조절할 수 있는 새로운 2차 SC Bandpass Σ - Δ 모듈레이터 구조를 제안한다. 제안한 구조는 기존구조^[2~3]에 비하여 2차 형태의 잡음 전달함수를 임의로 변경할 수 있고, 기존구조^[2~3]는 주파수 조절을 위하여 가변이 가능한 2개의 계수값, 기본클럭의 주파수 조절을 위한 8개 클럭이 필요한 반면 제안한 구조는 가변이 가능한 하나의 계수값과 기본클럭만으로 주파수를 조절할 수 있다.

제안한 구조를 적용하면 설계회로의 단순성, 주파수 조절의 용이성 등의 장점으로 인하여 GSM, DECT 등 각종 채널의 IF 대역에서 데이터 변환을 효율적으로 할

* 학생회원, ** 정회원-교신저자, 전북대학교 전자정보공학부

(Division of Electronics and Information Engineering, Chonbuk University)

접수일자: 2007년11월13일, 수정완료일 : 2008년2월5일

수 있다. 본 논문에서는 중심주파수 조절을 확인하기 위하여 60MHz 샘플링 주파수와 200KHz 대역폭을 가질 때, 중심주파수를 각각 10MHz, 12.5MHz, 15MHz로 설정하여 제안된 2차 SC Bandpass Σ - Δ 모듈레이터를 0.18 μ m 1P6M CMOS 공정파라미터를 이용하여 설계하였다.

II. NOVEL ARCHITECTURE

1차 Lowpass Σ - Δ 모듈레이터의 블럭도는 그림 1과 같고, Bandpass Σ - Δ 모듈레이터는 주파수 변환을 통해 간단하게 구현할 수 있다.

1차 Lowpass Σ - Δ 모듈레이터 필터함수에서 Bandpass Σ - Δ 모듈레이터 필터함수로의 주파수 변환^[4]은

$$z^{-1} \rightarrow -z^{-2} \quad (1)$$

식(1)로 표현되고 주파수 변환을 적용하면

$$\frac{z^{-1}}{1-z^{-1}} \Rightarrow \frac{-z^{-2}}{1+z^{-2}} \quad (2)$$

식(2)로 변환이 된다. 이와같이 변환된 Bandpass Σ - Δ 모듈레이터는 2차이고 그림 2와 같다.

그림 2의 구조는 중심주파수가 샘플링 주파수의 1/4이고 중심주파수를 변경할 수 없다.^[4] 이러한 단점을 극복하고자 중심주파수를 조절할 수 있는 구조^[2]가 제안되었고 그림 3은 중심주파수를 조절할 수 있는 2차

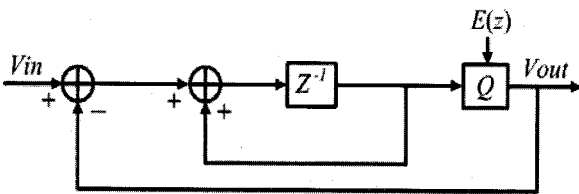


그림 1. Lowpass Σ - Δ 모듈레이터의 블럭도
Fig. 1. Block diagram of the 1st order lowpass Σ - Δ Modulator.

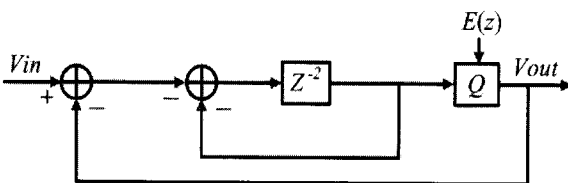


그림 2. Bandpass Σ - Δ 모듈레이터의 블럭도
Fig. 2. Block diagram of bandpass Σ - Δ Modulator.

Bandpass Σ - Δ 모듈레이터 블럭도이다. 중심주파수를 조절할 수 있는 구조의 알고리즘은 식(3), 식(4)와 같다.

$$z^{-1} \rightarrow \frac{z^{-2} - \alpha z^{-1}}{\alpha z^{-1} - 1} \text{ and } \alpha = \frac{\cos(\omega_c)}{\cos(B/2)} \quad (3)$$

$$\frac{z^{-1}}{1-z^{-1}} \rightarrow \frac{\alpha z^{-1} - z^{-2}}{1-2\alpha z^{-1} + z^{-2}} \quad f_c = \frac{f_s}{2\pi} \alpha \gamma \cos(\alpha) \quad (4)$$

식(3)에서 ω_c 는 Bandpass Σ - Δ 모듈레이터의 중심주파수이고 B는 Bandpass Σ - Δ 모듈레이터의 대역폭이다.

그림 3을 이용하여 4차 Bandpass Σ - Δ 모듈레이터를 구현한 블럭도는 그림 4와 같다. 그림 4의 구조를 더블 샘플링 방식을 이용하여 SC 회로로 구현하면 비중첩 클럭 10개와 2차 공진기(Resonator)를 구성하기 위한 한 개의 Opamp가 요구되어진다.^[3]

이와 같이 구현된 SC Bandpass Σ - Δ 모듈레이터는 중심주파수 조절이 가능하지만 기본 클럭 외에 중심주파수 조절을 위한 8개의 클럭이 필요하며 회로구조가 복잡하다는 단점을 갖는다.

그러므로 본 논문에서 간단한 방법으로 중심주파수를 조절할 수 있는 그림 5와 같은 새로운 구조를 가지는 2차 Bandpass Σ - Δ 모듈레이터를 제안한다. 이 구조는 하나의 계수값을 변경함으로써 중심주파수를 조절할 수 있다는 장점을 갖는다. 제안된 구조에서 신호전

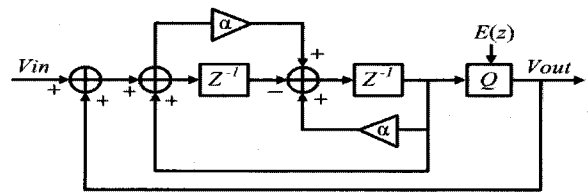


그림 3. 중심주파수 조절 가능한 2차 Bandpass pass Σ - Δ 모듈레이터 블럭도
Fig. 3. Block diagram of the 2nd order bandpass Σ - Δ modulator that can adjust the center frequency.

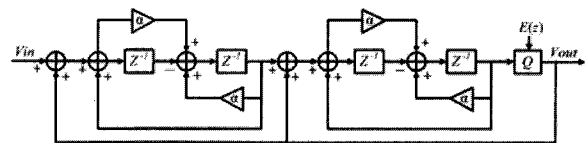


그림 4. 중심주파수 조절 가능한 4차 Bandpass Σ - Δ 모듈레이터 블럭도
Fig. 4. Block diagram of the 4th order bandpass Σ - Δ modulator that can adjust the center frequency.

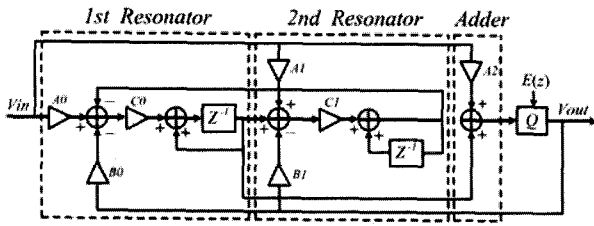


그림 5. 제안된 2차 Bandpass Σ-Δ 모듈레이터 블럭도
Fig. 5. Block diagram of the proposed 2nd order bandpass Σ-Δ modulator.

달함수(STF)와 잡음전달함수(NTF)는 각각 식(5), 식(6)과 같다. 잡음전달함수 식(6)에서 DN2와 DP2는 C1의 함수이고, 잡음전달함수의 다른 계수값은 C1과 무관하다. 즉, C1의 값에 따라 DN2와 DP2의 값이 결정된다. 그러므로 C1 값을 변경함에 따라 Bandpass Σ-Δ 모듈레이터의 중심주파수가 조절된다.

제안한 구조는 기존 구조에 비해 간단하게 Bandpass Σ-Δ 모듈레이터의 중심주파수를 조절할 수 있으며 그림 3의 기존 구조와 그림 5의 제안한 구조를 이용하여 2차 SC Bandpass Σ-Δ 모듈레이터 설계함에 있어 차이점을 표 1에 비교 정리하였다.

$$STF = \frac{D_{S1}z^2 + D_{S2}z + D_{S3}}{D_{P1}z^2 + D_{P2}z + D_{P3}} \quad (5)$$

$$\begin{aligned} D_{S1} &= A_2 \\ D_{S2} &= A_0C_0 + A_2C_0C_1 - A_1C_0C_1 - 2A_2 \\ D_{S3} &= A_2 - A_0C_0 \\ D_{P1} &= 1 \\ D_{P2} &= C_0C_1 - B_1C_0C_1 - 2 + B_0C_0 \\ D_{P3} &= 1 - B_0C_0 \end{aligned}$$

$$NTF = \frac{D_{N1}z^2 + D_{N2}z + D_{N3}}{D_{P1}z^2 + D_{P2}z + D_{P3}} \quad (6)$$

$$\begin{aligned} D_{N1} &= 1 \\ D_{N2} &= C_0C_1 - 2 \\ D_{N3} &= 1 \\ D_{P1} &= 1 \\ D_{P2} &= C_0C_1 - B_1C_0C_1 - 2 + B_0C_0 \\ D_{P3} &= 1 - B_0C_0 \end{aligned}$$

표 1에서 회로 구현시 제안한 구조는 기존 구조에 비해 Opamp를 2개 더 사용하지만 기존 구조에 비해 필요한 클럭이 8개가 적고 중심주파수 조절과 관련된 커패시터의 수가 6개 적다. 기존 구조는 중심주파수 조절을 위해서는 8개의 커패시터 값을 변경해야 하지만 제안한 구조는 2개의 커패시터 값을 변경하면 되므로 기존 구조에 비해 제안한 구조가 중심주파수 조절이 더 용이함

표 1. 기존 구조와 제안한 구조의 회로 구현에 따른 비교

Table 1. Comparison according to circuit implementation of the existing architecture and the proposed architecture.

	기존구조[3]	제안한 구조
중심주파수 조절에 관계된 계수의 수	2	1
필요한 클럭 수	10	2
필요한 Opamp의 수	1	3
중심주파수 조절에 관계된 커패시터의 수	8	2

표 2. 제안된 2차 SC Bandpass Σ-Δ Modulator의 계수값

Table 2. Coefficient values of the proposed 2nd order SC bandpass Σ-Δ modulator.

	10MHz	12.5MHz	15MHz
A0	0.95	0.95	0.95
A1	0.47	0.47	0.47
A2	1	1	1
B0	0.95	0.95	0.95
B1	0.47	0.47	0.47
C0	1	1	1
C1	1	1.482	2

을 알 수 있다.

본 논문에서 제안한 구조를 적용하여 설계한 2차 SC Bandpass Σ-Δ 모듈레이터의 샘플링 주파수는 60MHz, 대역폭은 200KHz로 설정하고 중심주파수가 10MHz, 12.5MHz, 15MHz 일때 계수값을 정리하면 표 2와 같다.

III. CIRCUIT IMPLEMENTATION

본 논문에서 설계된 2차 SC Bandpass Σ-Δ 모듈레이터는 2개의 공진기(Resonator), 1개의 가산기(Adder), 1bit 비교기로 구성되며 그림 7은 회로에 사용된 클럭이다.

모델링의 경우 비교기가 Clk1에 동작한다고 한다면 비교기에서 나온 값이 Clk1일 때 $1 / (1 - z^{-1})$ 의 적분기에 입력 값으로 들어가도록 하였으나, 실제의 경우 비교기에서 비교된 값이 바로 $1 / (1 - z^{-1})$ 적분기의 입력이 되면 타이밍의 여유가 없기 때문에 그림 6과 같

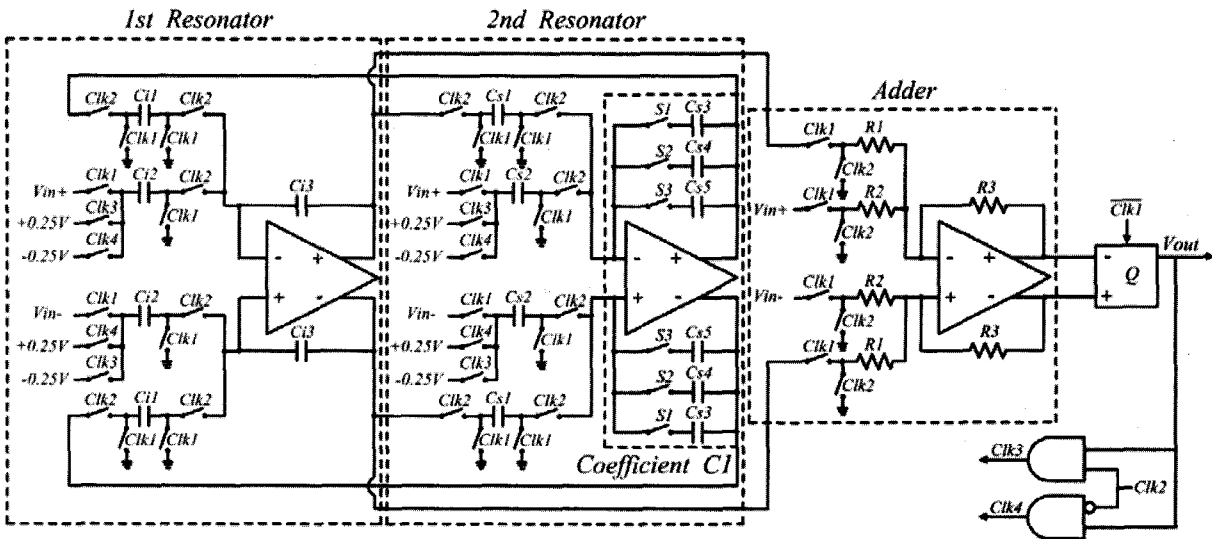


그림 6. 제안한 구조를 구현한 회로
 Fig. 6. Implemented circuit with the proposed architecture.

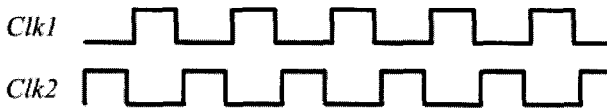


그림 7. 회로에 사용된 클럭
 Fig. 7. Used clocks in the circuit.

이 Clk2일 때 $1 / (1 - z^{-1})$ 적분기의 입력이 되도록 클럭 타이밍을 설정하였다. 그리고 중심주파수를 조절하는 C1 계수값은 스위치와 커패시터를 통하여 가변 할 수 있도록 하였다.

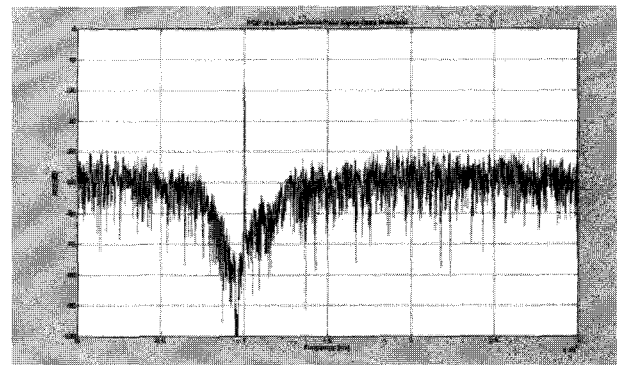
IV. SIMULATION RESULTS

설계된 그림 6의 회로는 표 3의 성능을 가지는 Rail to Rail Folded Cascode Opamp와 표 2의 계수값을 이용하여 2차 SC Bandpass $\Sigma-\Delta$ 모듈레이터를 0.18 μ m 1P6M CMOS 공정파라미터를 적용하여 시뮬레이션하

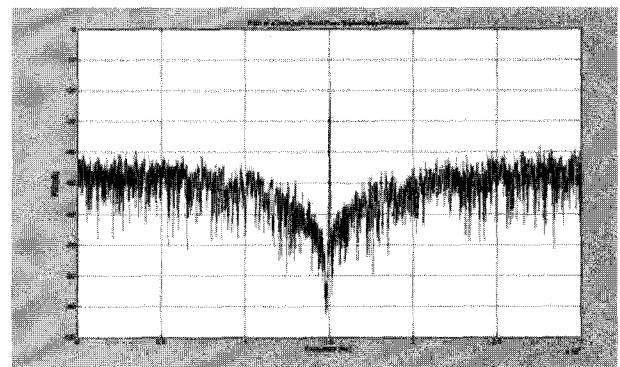
표 3. Opamp의 특성
 Table 3. Summary of the Opamp performance.

DC Gain	80dB
Unity Gain Frequency	300MHz
Phase Margin	60 °
Slew Rate	286V/ μ s
Load Capacitance	2.5pF
Power Consumption	4.77mW

였다. 이때 모듈레이터에 적용된 양자화기의 기준전압은 1.15V와 0.65V이고, 샘플링 주파수는 60MHz, 중심 주파수는 10MHz, 12.5MHz, 15MHz 그리고 대역폭은 200KHz이다. 이러한 입력조건에서 시뮬레이션된 동작 특성은 표 4와 같고, 중심주파수가 10MHz와 15MHz일



(a) 중심주파수가 10MHz일 때 PSD



(b) 중심주파수가 15MHz일 때 PSD

그림 8. 제안된 구조의 파워스펙트럼(PSD)
 Fig. 8. PSD of the proposed architecture.

표 4. 제안된 2차 SC Bandpass Σ - Δ 모듈레이터의 동작특성

Table 4. Performance of the proposed 2nd order SC bandpass Σ - Δ modulator.

Center Frequency	10MHz	15MHz
Sampling Rate	60MHz	60MHz
Signal Bandwidth	200kHz	200MHz
SNR	48dB	46dB
Dynamic Range	42dB	41dB
Resolution	7.7bit	7bit
Power Consumption	18.67mW	18.7mW

때 파워스펙트럼(PSD) 시뮬레이션 결과는 그림 8과 같다. 그림 8(a)의 파워스펙트럼 중심주파수는 10MHz가 아닌 9.5MHz이고 그림 8(b) 역시 중심주파수는 15MHz가 아닌 14.8MHz의 각각 중심주파수의 오차가 발생되었다. 이러한 원인은 제안된 구조의 계수 C1의 값이 기생커패시터 값과 계수 C1의 값을 가변하기 위한 스위치와 커패시터의 영향으로 고려되며 이러한 기생커패시터에 의한 오차는 시뮬레이션을 통한 최적화를 수행하면 해결될 수 있다

V. CONCLUSION

본 논문에서는 Bandpass Σ - Δ 모듈레이터의 계수 값 하나를 가변함으로써 IF 대역 중심주파수를 조절할 수 있는 새로운 2차 Bandpass Σ - Δ 모듈레이터 구조를 제안하였다.

이 방법을 이용하면 기존 구조보다 간단히 중심주파수를 조절할 수 있고, 주파수 조절을 위한 8개의 클럭이 요구되지 않으므로 회로 구현이 용이할뿐더러 중심주파수 조절을 위한 타이밍 조절이 간편하다는 장점을 가진다.

제안된 구조를 이용하여 설계된 2차 SC Bandpass Σ - Δ 모듈레이터의 시뮬레이션 결과 중심주파수가 10MHz, 12.5MHz, 15MHz에서 중심주파수의 오차가 생겼다. 이는 계수값을 가변하기 위한 스위치와 커패시터의 영향과 기생 커패시터의 영향으로 사료되고, 최적화를 통해 해결할 수 있을 것이다.

본 논문에서 제시한 방법을 이용하면 IF 대역의 중심주파수를 간단한 방법으로 변환할 수 있어 효율적인 데

이터 변환을 할 수 있으리라 사료된다. 그리고 앞으로 설계된 회로를 공정을 통하여 칩의 특성을 확보하여야 할 것이다.

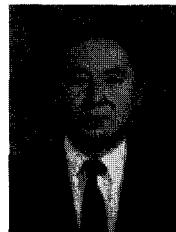
참고 문헌

- [1] Rusu, Delia Rodriuez de Llera Gonzalez, and Mohammed Ismail, "Reconfigurable ADCs Enable Smart Radios for 4G Wireless Connectivity", *IEEE Circuits & Devices Magazine*, May/June 2006.
- [2] L. Cardelli, L.Fanucci, V. Kempe, F.Mannozi, and D. Strle, "Tunable bandpass sigma delta modulator using one input parameter" *Electoronics Letters*, 23rd, vol. 39, No. 2, January 2003.
- [3] Kuo, C, Chen, C., Lin, H., and Liu, S., "A tunable bandpass DS modulator using double sampling", *IEEE ISCAS*, May 2005, pp.368-371
- [4] Richard Schreier and Gabor C. Temes, *Understanding Delta-Sigma Data Converters*, Wiley-Interscience, 2005, pp.149-151.

저자 소개



김재봉(학생회원)
2006년 전북대학교 전자정보공학부 학사 졸업.
2006년~현재 전북대학교 전자정보공학부 석사 과정
<주관심분야 : Low-voltage Low-power analog circuit, ADC/DAC>



조성익(정회원)
1987년 전북대학교 전기공학과 학사 졸업
1989년 전북대학교 전기공학과 석사 졸업.
1994년 전북대학교 전기공학과 박사 졸업.

1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원

2004년~현재 전북대학교 전자정보공학부 조교수
<주관심분야: 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL >