

비공진형 협벽 도파관 슬롯 배열 설계를 위한 효율적인 슬롯 어드미턴스 추출 방법에 관한 연구

A Study on the Efficient Extraction of Slot Admittance for the Design of a Non-Resonant Waveguide Edge Slot Array

박종국 · 한기진* · 나형기 · 김찬홍** · 이동국**

Jongkuk Park · Ki Jin Han* · Hyung-gi Na · Chan-hong Kim** · Dong-kook Lee**

요 약

본 논문에서는 비공진형 협벽 도파관 슬롯 배열 설계를 위해 필요한 기준이 되는 단위 슬롯 어드미턴스를 해석적으로 추출하는 방법을 제시하였다. 충분한 개수의 동일 기울임 각을 가지는 교번 슬롯 구조에 대해, 도파관 협벽의 단위 슬롯과 단위 슬롯 양쪽에 이웃한 전송선 부분을 균일한 손실 전송선으로 근사하고, 이로부터 손쉽게 전체의 ABCD 행렬을 계산하여 전체의 시뮬레이션 또는 측정값과 비교함으로써, 손실 전송선의 복소 특성 임피던스와 복소 전파 상수를 구하고 해석적으로 정규화된 슬롯 어드미턴스를 추출하였다. 제안한 방법의 타당성을 입증하기 위해, X-대역 협벽 도파관 슬롯 배열 설계용으로 제작된 기준 슬롯 도파관 샘플의 정규화된 슬롯 어드미턴스를 구하고 기존의 방법으로 얻은 값과 비교하여 잘 일치함을 보였다.

Abstract

In this paper, an analytic method is proposed to extract the reference slot admittance required for the design of a non-resonant waveguide edge slot array. A slot and two neighboring transmission line sections of the numerous alternately inclined slots with the identical inclination angle are modelled as a uniform lossy transmission line, and thus, the total ABCD matrix is easily calculated and compared with the simulated or measured one. From this procedure, the complex characteristic impedance and the complex propagation constant of the lossy transmission line are calculated and the normalized slot admittance is analytically obtained. In order to validate the proposed method, the admittance value of a reference slotted waveguide fabricated for designing the X-band edge slot array is extracted and it is compared with the one obtained by the other conventional method.

Key words : Non-Resonant Edge-Slot Array, Slot Admittance, Uniform Lossy Transmission Line

I. 서 론

일반적으로 협벽 도파관 슬롯 배열 안테나를 설계하기 위해서는, 도파관 협벽에 위치하는 기울어진 슬롯의 정규화된 슬롯 어드미턴스를 정확하게 추출

하는 것이 중요하다. 이러한 슬롯 어드미턴스 데이터의 추출을 위해 단일 슬롯 모델 혹은 증대(incremental) 슬롯 모델에 기초한 많은 연구들이 진행되어 왔다^{[1]-[3]}. 특히 단일 슬롯 모델에 대해서는 모멘트법^[4] 또는 유한 요소 경계 적분법^[5] 등의 시뮬레이션

「본 논문은 국방과학연구소 주관 사업의 일환으로 연구되었음.」

LIG 넥스원 용인연구소 초고주파연구센터(LIG Nex1 RF and Microwave R&D Center)

*조지아공과대학교 전자공학과(Department of Electronic Engineering, Georgia Institute of Technology)

**국방과학연구소 기술 3본부(Agency for Defense Development)

· 논문 번호 : 20080708-085

· 수정완료일자 : 2008년 10월 20일

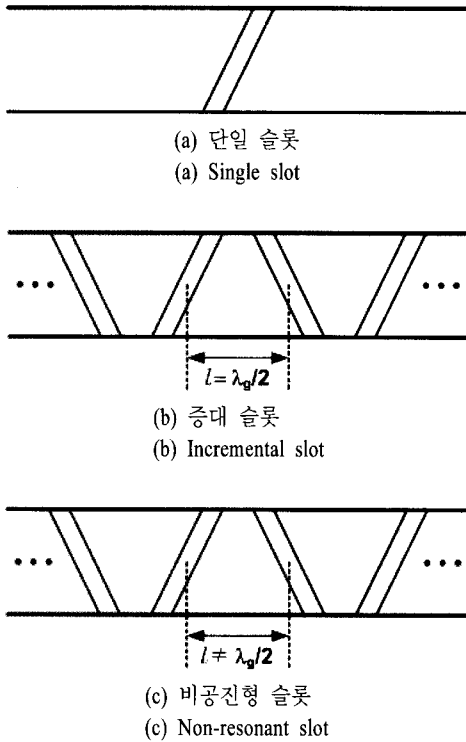


그림 1. 협벽 도파관 슬롯 배열 안테나의 설계를 위한 도파관 협벽의 기울어진 슬롯 모델
Fig. 1. Waveguide narrow-wall inclined slot model for the design of a waveguide edge-slot array antenna.

이나, 측정을 통해 정확한 슬롯의 어드미턴스를 제공^[6]하는 등의 많은 연구가 진행되어 왔다. 그러나 그림 1(a)와 같은 단일 슬롯 모델은 도파관 협벽의 기울어진 슬롯 간에 비교적 강하게 발생하는 상호 결합 효과(mutual coupling)를 무시한 데이터를 제공하기 때문에 실제 협벽 도파관 슬롯 배열 안테나의 설계 시에는 별 도움이 되지 않는다.

일반적으로 공진형 슬롯 배열 안테나, 즉 복사 소자로 사용하는 각 슬롯 간의 간격이 $\lambda_g/2$ (λ_g : 관내 파장)인 경우에는 이러한 상호 결합 효과를 고려한 슬롯 어드미턴스 데이터를 추출하기 위해 그림 1(b)와 같은 증대(incremental) 슬롯 모델을 사용한다^[1]. 이 경우에는 대개 충분한 개수($N \geq 20$)의 동일한 기울임 각(inclination angle)을 가진 협벽 슬롯을 제작하여 측정을 수행하고 이로부터 슬롯 어드미턴스를 추출하게 된다. 이 때, 각 슬롯 간의 간격이 $\lambda_g/2$ 이기 때문에 전체 구조의 등가 어드미턴스가 NY 로 나타나게 되

어, 매우 쉽게 슬롯 어드미턴스 Y 를 구해낼 수 있다.

그러나 이러한 공진형 슬롯 배열 안테나는 일반적으로 주파수 대역폭이 좁고, 각 슬롯에서의 반사파가 동위상으로 더해지기 때문에 VSWR 특성이 좋지 않다. 이에 따라 비공진형(또는 진행파형) 슬롯 배열 안테나, 즉 그림 1(c)와 같이 각 슬롯 간의 간격이 $\lambda_g/2$ 미만 또는 초과되도록 설계하는 배열 구조가 많이 사용되어 왔다. 이러한 경우에도 마찬가지로, 충분한 개수($N \geq 20$)의 동일한 기울임 각을 가진 협벽 슬롯을 제작하여 측정하거나 HFSS와 같은 3차원 시뮬레이션 결과 데이터로부터 슬롯 어드미턴스를 추출하는 것이 일반적이다. 그러나 이 경우에는 공진형 슬롯 배열의 경우와는 다르게 전체의 ABCD 파라미터가 매우 복잡하게 나타나며, 기준 슬롯 어드미턴스를 얻기 위해서는 N 차 복소 방정식의 해를 구해야 한다. 기존에는 이러한 해를 찾기 위해서 필러 방법^[7]과 같이 반복적으로 해를 찾는 수치 해석법을 사용해 왔다. 하지만 이러한 수치적이고 반복적인 해 추적 방법은 대개 초기치도 매우 중요할 뿐만 아니라, 시간이 오래 걸리는 단점이 있다.

따라서 본 논문에서는 비공진형 협벽 도파관 슬롯 배열 설계를 위해 필요한 기준 슬롯 어드미턴스를 효율적으로 추출할 수 있는 해석적 방법을 제시하였다. 먼저 도파관 협벽의 단위 슬롯과 단위 슬롯 양쪽에 이웃한 전송선 부분을, 균일한 손실 전송선으로 근사함으로써 손쉽게 전체 구조의 ABCD 행렬을 계산하여, 전체 구조의 측정값 또는 HFSS로부터 얻은 시뮬레이션 값과 비교함으로써, 등가 손실 전송선의 복소 특성 임피던스와 복소 전파 상수를 구하여 해석적으로 슬롯 어드미턴스를 계산하였다. 이러한 해석적인 방법은 초기치 설정과 같은 문제가 전혀 없고 해를 얻는데 소요되는 시간이 매우 짧기 때문에 협벽 도파관 슬롯 배열 안테나의 설계에 매우 유용하게 사용될 것으로 판단된다.

II. 손실 전송선 모델

일반적으로 도파관 협벽 슬롯 배열 안테나를 설계할 때는, 주어진 패턴으로부터 개별 슬롯이 가져야 하는 등가의 분기 컨덕턴스(shunt conductance) 값을 계산한 다음, 이러한 컨덕턴스를 제공할 수 있는

개별 슬롯의 치수, 즉 개별 슬롯의 기울임 각과 슬롯의 유효 길이를 정해주면 된다. 일단 슬롯의 기울임 각이 정해지면, 슬롯의 유효 길이는 사용 파장의 반으로 정하면 되므로, 도파관 협벽의 높이가 슬롯의 유효 길이보다 작아서 발생하는 슬롯 절단 깊이(slot cut-depth)도 정해지게 된다. 이 때 각 슬롯의 등가 컨덕턴스 값을 제공하는 슬롯의 기울임 각을 구하기 위해서는 다음과 같은 근사식을 사용한다^[3].

$$g(\phi) = g_0 \left(\frac{\sin \phi}{\sin \phi_0} \right)^2 \quad (1)$$

위 식에서 ϕ_0 는 기준으로 정한 슬롯의 기울임 각을 나타내며, g_0 는 그 기준 슬롯의 컨덕턴스이다. 따라서 ϕ_0 에서의 컨덕턴스 g_0 만 구하면 각 슬롯의 등가 컨덕턴스 g 를 제공하는 슬롯의 기울임 각 ϕ 를 계산해 낼 수 있다. 이러한 ϕ_0 의 값은 대략 15° 정도로 정하는 것이 보통이다.

한편, 이와 같이 기준으로 정한 슬롯의 유효 길이는, 원하는 중심 주파수에서 슬롯 등가 어드미턴스의 허수부가 0이 되도록 정해지는데, 위에서 언급한 바와 같이 상호 결합 효과가 고려된 어드미턴스 값을 얻기 위해서는, 일정한 유효 길이 및 동일한 기울임 각 ϕ_0 를 가진 N 개(≥ 20)의 도파관 협벽 슬롯을 3차원 시뮬레이션하거나 샘플을 제작/측정하여 전체 구조의 산란 계수로부터 단위 슬롯의 정규화된 어드미턴스 값을 추출해야 한다. 이러한 전체 구조의 등가회로는 그림 2(a)의 단위 등가 회로 N 개가 직렬(cascade) 연결된 것으로 나타낼 수 있다.

따라서, 그림 2(a)에 주어진 파라미터를 이용하여 N 개 도파관 슬롯의 등가 회로에 대한 ABCD 파라미터는 다음 수식과 같이 나타낼 수 있다.

$$\begin{aligned} ABCD_N &= (ABCD_{unit})^N \\ ABCD_{unit} &= L_{l/2} A L_{l/2} \\ L_{l/2} &= \begin{pmatrix} \cos(\beta_g l/2) & jZ_0 \sin(\beta_g l/2) \\ jY_0 \sin(\beta_g l/2) & \cos(\beta_g l/2) \end{pmatrix} \\ A &= \begin{pmatrix} 1 & 0 \\ Y & 1 \end{pmatrix} \end{aligned} \quad (2)$$

식에서 β_g 는 관내 전파 상수를 나타내며, Z_0 와 Y_0 는 각각 특성 임피던스와 특성 어드미턴스를 나

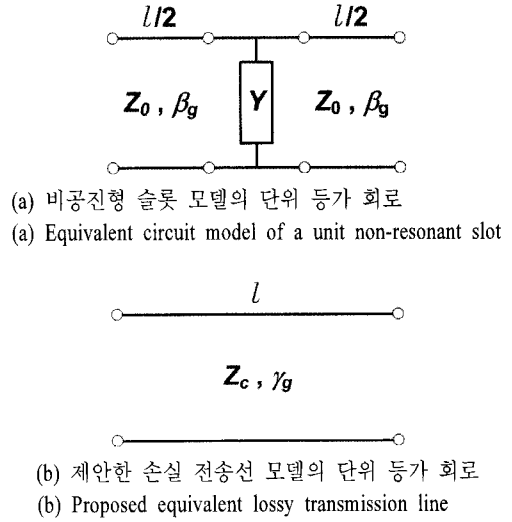


그림 2. 비공진형 슬롯의 어드미턴스 추출을 위한 단위 슬롯 등가 회로 및 새로 제안한 단위 손실 전송선 등가 회로

Fig. 2. Equivalent circuit of a unit non-resonant slot model and the proposed equivalent lossy transmission line.

타낸다. 위 식을 보면 $l = \lambda_g/2$ 일 경우, 즉 공진형 슬롯 배열일 경우에는 $ABCD_N$ 이 매우 간단한 Y 의 함수로 나타나므로, 측정이나 시뮬레이션으로부터 얻은 데이터와 비교하여 간단하게 Y 를 구해낼 수 있음을 알 수 있다. 그러나 이러한 경우가 아니면, 2이상의 N 에 대해 식 (2)로 주어지는 $ABCD_N$ 은 매우 복잡한 Y 의 함수로 나타나므로, 식 (2)로부터 직접 해석적인 해를 구하는 것은 거의 불가능함을 알 수 있다. 이에 따라 복소 어드미턴스 Y 값을 수치적으로 계속 변화시켜가며 식 (2)에 대입하여 해를 찾아 가는 것이 일반적인 방법이었다.

그러나 본 논문에서는 참고문헌 [2]에서 제시한 임피던스 방법의 개념을 기초로 하여, 그림 2(a)의 단위 등가 회로를 그림 2(b)와 같이 복소 특성 임피던스와 복소 전파 상수를 가지는 전송선 모델로 나타내었다. 물리적으로는, 단위 슬롯의 복사로 인한 손실을 단위 전송선에서의 연속적인 손실로 등가한 것으로 해석하면 된다. 이러한 손실 전송선 모델의 단위 ABCD 행렬은 다음과 같이 나타낼 수 있다.

$$ABCD_{unit, LT} = \begin{pmatrix} \cosh(\gamma_g l) & Z_c \sinh(\gamma_g l) \\ Y_c \sinh(\gamma_g l) & \cosh(\gamma_g l) \end{pmatrix} \quad (3)$$

식 (3)에서 γ_g 와 $Z_c (=1/Y_c)$ 는 각각 복소 전파 상수와 복소 특성 임피던스를 나타낸다. 이와 같이 그림 2(a)의 단위 슬롯에 대한 등가 회로를 그림 2(b)의 단위 손실 전송선 모델로 등가하면, N 개의 도파관 슬롯의 등가 회로에 대한 ABCD 파라미터는 특성 임피던스와 전파 상수가 동일한 N 개의 단위 손실 전송선의 등가 회로이므로 다음 식과 같이 간단하게 표현되는 것을 알 수 있다.

$$ABCD_{N,LT} = \begin{pmatrix} \cosh(N\gamma_g l) & Z_c \sinh(N\gamma_g l) \\ Y_c \sinh(N\gamma_g l) & \cosh(N\gamma_g l) \end{pmatrix} \quad (4)$$

따라서 3차원 시뮬레이션이나 측정을 통해 얻은 산란 계수를 ABCD 파라미터로 변환하여 식 (4)와 비교함으로써 γ_g 와 Z_c 를 구하면 된다.

III. 슬롯 어드미터스 추출

본 절에서는 γ_g 와 Z_c 를 구하는 과정과 이로부터 슬롯 어드미터스를 계산하는 방법에 대해서 기술하고자 한다. 식 (4)와 시뮬레이션 또는 측정을 통해 얻은 ABCD 행렬을 비교하면 다음과 같다.

$$\begin{pmatrix} \cosh(N\gamma_g l) & Z_c \sinh(N\gamma_g l) \\ Y_c \sinh(N\gamma_g l) & \cosh(N\gamma_g l) \end{pmatrix} = \begin{pmatrix} A & B \\ C & D \end{pmatrix} \quad (5)$$

식 (5)에서 행렬 (1, 2) 원소를 행렬 (2, 1) 원소로 나누어 주면 다음과 같은 식이 얻어진다.

$$Z_c^2 = B/C \quad (6)$$

이 때 식 (6)으로부터 복소 특성 임피던스 Z_c 는 수학적으로 해가 2개이지만, 2개의 해 중에 그 실수부가 양의 부호를 가지는 것을 선택한다. 이것은 개별 슬롯에서 손실로 소모되는 전력이 상당히 작은 편이기 때문에, 복소 특성 임피던스 Z_c 는 슬롯이 없는 경우의 무손실 전송선의 특성 임피던스와 실수부가 거의 비슷해야 하기 때문이다. 식 (6)에서 Z_c 를 구하고 나면 $\cosh(N\gamma_g l)$ 와 $\sinh(N\gamma_g l)$ 는 쉽게 다음 식과 같이 나타남을 알 수 있다.

$$\begin{aligned} \cosh(N\gamma_g l) &= A \text{ 또는 } = D \\ \sinh(N\gamma_g l) &= B/Z_c \text{ 또는 } = CZ_c \end{aligned} \quad (7)$$

시뮬레이션의 결과를 이용했을 경우에는 식 (7)에

서 $\cosh(N\gamma_g l)$ 와 $\sinh(N\gamma_g l)$ 에 대한 각각의 2가지 표현식으로 구한 값이 거의 동일하다. 그러나 측정 값인 경우에는 2가지 표현식으로 구한 값이 약간 차이가 나는 경우가 많다. 따라서 이러한 경우에는 수치 오차를 감소시키기 위해 다음과 같이 기하 평균을 사용하였다.

$$\begin{aligned} \cosh(N\gamma_g l) &= \pm \sqrt{AD} \\ \sinh(N\gamma_g l) &= \pm \sqrt{BC} \end{aligned} \quad (8)$$

이 때, 식 (8)에서의 부호는 식 (7)과 비교하면 쉽게 결정할 수 있다. 식 (8)에서의 두 식을 더하면,

$$\exp(N\gamma_g l) = \pm \sqrt{AD} \pm \sqrt{BC} \triangleq S \quad (9)$$

따라서, 복소 전파 상수 γ_g 는 다음과 같이 표현할 수 있다.

$$\begin{aligned} \gamma_g &= \frac{1}{Nl} \ln |S| + j \frac{1}{Nl} (2n\pi + \arg(S)) \\ n &= 0, 1, \dots, N-1 \end{aligned} \quad (10)$$

식 (10)이 나타내는 N 개의 해 중에 물리적인 의미를 가지는 유일한 해를 찾기 위해 식 (2)와 식 (3)의 ABCD 행렬의 (1, 1) 원소를 비교해 보면 다음과 같다.

$$\cos \beta_g l + \frac{j}{2} \frac{Y}{Y_0} \sin \beta_g l = \cosh \gamma_g l \quad (11)$$

대부분의 경우에, 슬롯이 나타내는 정규화된 슬롯 컨덕턴스, 즉 $\left(\frac{Y}{Y_0}\right)$ 의 실수부는 0.1 정도이거나 0.1 미만의 값을 가지며, 또 대부분 슬롯의 길이가 공진 이 되는, 즉 $\left(\frac{Y}{Y_0}\right)$ 의 허수부가 매우 작아지는 주파수 부근에서 사용하기 때문에 γ_g 의 허수부는 β_g 와 유사한 값을 가져야 한다. 이에 따라, 식 (10)에서 γ_g 허수부 N 개의 해 중에 물리적으로 의미를 가지는 해는 β_g 와 가장 가까운 값을 가져야 한다는 것을 알 수 있다.

이와 같이 식 (6)과 식 (10)에서 복소 특성 임피던스와 복소 전파 상수를 구하면, 이로부터 식 (2)와 식 (3)의 단위 ABCD 행렬 비교를 통해 정규화된 슬롯 어드미터스를 구해낼 수 있다. 즉, 식 (11)과 같이 (1, 1) 원소만 비교해도 $\left(\frac{Y}{Y_0}\right)$ 는 쉽게 구할 수 있다.

한편, 본 논문의 전제인 비공진형 슬롯의 어드미턴스의 추출은 위와 같은 과정을 통해 쉽게 이뤄지지만, 슬롯 사이의 거리 l 이 관내 파장의 반에 수렴할 경우 어떤 문제점이 발생하는지 살펴 볼 필요가 있다. 이와 같은 경우, 먼저 식 (11)에서 $\sin \beta_g l$ 의 값이 0에 수렴하게 되기 때문에 어드미턴스 계산에 있어 문제가 있음을 알 수 있다. 이에 따라, 본 논문의 저자들이 제시한 참고문헌 [8]에서는 ABCD 행렬 비교를 통해 추가로 얻을 수 있는 식 (12)를 통해 위와 같은 경우에도 정규화된 슬롯 어드미턴스를 구할 수 있도록 제안하였다.

$$\left(\frac{Y}{Y_0}\right)\cos(\beta_g l) = (z_c + y_c)\sinh \gamma_g l - 2j\sin(\beta_g l) \quad (12)$$

여기서 $z_c = Z_c/Z_0$, $y_c = Y_c/Y_0$ 이다. 기존의 논문에서는 위와 같이 경우에 따라 다른 식을 적용해야 했지만, 본 논문에서는 이러한 약점을 해소하기 위해 단위 ABCD 행렬 원소를 직접 비교하는 기존의 방법보다는 산란 계수 변환을 이용하여 식 (2)와 (3)의 S_{21} 값을 비교하는 방법을 취하였다. 이를 수식으로 나타내면 다음과 같다.

$$2\exp(j\beta_g l) + \left(\frac{Y}{Y_0}\right)\exp(j\beta_g l) = 2\cosh \gamma_g l + (z_c + y_c)\sinh \gamma_g l \quad (13)$$

여기서 식 (13)을 살펴보면, 슬롯 간격과 관계없이 정규화된 슬롯 어드미턴스를 구해낼 수 있음을 알 수 있다.

또한, 슬롯과 슬롯 사이의 거리 l 이 관내 파장의 반에 수렴할 경우, 추가적으로 발생하는 문제는 식 (5)에서 우항의 ABCD 행렬의 (2, 1) 원소 C가 0에 가까워져서 식 (6)으로부터 구해지는 등가 복소 특성 임피던스 Z_c 의 값이 매우 커지는 것이다. 이에 따라 식 (13)으로 계산되는 어드미턴스가 해석적 연속성(analytic continuation)을 만족시키는지 살펴 볼 필요가 있다. 이와 같은 경우에 식 (13)에서 문제가 될 수 있는 항은 $(z_c + y_c)\sinh \gamma_g l$ 임을 알 수 있다. 이 가운데 두 번째 항 $y_c \sinh \gamma_g l$ 는 $\sinh \gamma_g l$ 가 유한한 값을 가지는데 반해 $y_c = Z_0/Z_c \rightarrow 0$ 이 되므로 0에 수렴하기 때문에 문제가 없다. 그러나 첫 번째 항 $z_c \sinh \gamma_g l$ 이 유한한 값을 가지기 위해서는 $z_c =$

$Z_c/Z_0 \rightarrow \infty$ 이므로 $\sinh \gamma_g l \rightarrow 0$ 인 것을 입증해야 하고 또한 그 수렴값을 찾아야 한다. 이를 위해 식 (5)의 (1, 2) 원소 B와 (2, 1) 원소 C의 곱을 살펴보면, B는 유한한 값이고 C는 0에 수렴하는 값이므로 두 원소의 곱 BC는 0에 수렴하게 되므로 $\sinh^2 Ny_g l$ 은 0에 수렴하고, 이에 따라 $\sinh Ny_g l \rightarrow 0$ 이 성립하며 이 식은 다음과 같이 바꾸어 쓸 수 있다.

$$\exp(2Ny_g l) \rightarrow 1 = \exp(2n\pi) \quad (14)$$

$$n = 0, 1, \dots, 2N-1$$

식 (14)에서 $\gamma_g = \alpha_g + j\beta_g$ 라 하고, 여러 해 중에서 β_g 가 β_g 와 가장 유사한 값을 가져야 한다는 조건을 적용하면 $\alpha_g \rightarrow 0$, $\beta_g \rightarrow \beta_g$ 임을 쉽게 알 수 있다. 이를 식 (5)의 (1, 2)항의 등식에 적용하면

$$Z_c \sinh(N\gamma_g l) \approx Z_c(N\alpha_g l) \cos(N\pi) = \{N \cos(N\pi) / \cos \pi\} \cdot \{Z_c \alpha_g l \cos \pi\} \approx \{N \cos(N\pi) / \cos \pi\} \cdot \{Z_c \sinh(\gamma_g l)\} = B \quad (15)$$

이에 따라 문제가 되었던 $z_c \sinh \gamma_g l$ 의 수렴값은 식 (15)로부터 쉽게 얻어낼 수 있음을 알 수 있다.

위의 결과에 따라 슬롯 간의 간격이 관내 파장의 반에 매우 가까워진 경우에는 슬롯 어드미턴스를 추출하기 위해서는 식 (15)를 적용하면 되지만, 실제로 진행 파형 도파관 슬롯 배열 설계 시에는 원하는 대역폭 내에서 슬롯 간의 간격이 반파장과 충분히 다르도록 설계하는 것이 일반적이기 때문에 식 (15)를 사용해야 하는 경우는 드물 것으로 판단된다.

IV. 슬롯 어드미턴스 추출 결과

본 논문에서 제시한 방법을 입증하기 위해서, 이미 알려진 슬롯 어드미턴스를 이용하여 그림 2(a)에 주어진 단위 등가 회로의 ABCD 파라미터를 계산하고, 이러한 단위 등가 회로 20개를 연결하여 전체의 ABCD 파라미터로부터 산란 계수를 얻은 다음, 앞 절에서 제시한 절차대로 슬롯 어드미턴스를 역으로 계산하여 초기에 주어진 값과 동일한 값을 가지는지 확인해 보았다. 이미 알려진 어드미턴스의 값으로는 참고문헌 [6]에 주어진 S-대역 표준 도파관 WR-284에 기울임 각 15°, 절단 길이 0.783 cm인 슬롯의 어드

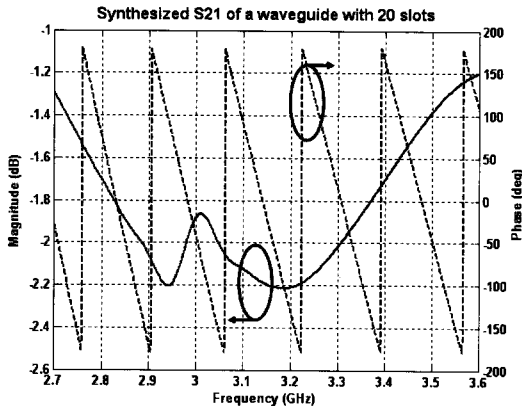


그림 3. 주어진 어드미턴스로부터 합성된 전체 산란 계수(S_{21})
 Fig. 3. Synthesized S -parameter(S_{21}) obtained from the given admittance.

미턴스 값을 사용하였다.

한편, 앞 절에서 언급한 바와 같이, 슬롯의 배열 간격이 1/2 관내 파장에 가까운 경우에도 위에 제시한 계산식으로 정규화된 슬롯 어드미턴스를 특이점 없이 계산할 수 있다는 것을 보이기 위해, 슬롯 간의 배열 간격은 주어진 주파수 범위에서 공진형 배열이 되는 경우가 생기도록 7 cm로 정하였다.

위와 같은 슬롯 파라미터 등을 이용하여 합성된 20개의 단위 구조(슬롯 및 슬롯 양단의 전송선)로 이루어진 전체 슬롯 도파관의 산란 계수 중 S_{21} 은 그림 3과 같다.

이렇게 주어진 전체 산란 계수를 이용하여 앞 절에서 제시한 과정을 따라 어드미턴스를 추출하면 된다. 이 때, 식 (6)과 식 (10)으로부터 얻은 복소 특성 임피던스 Z_c 와 복소 전파 상수 γ_g 를 각각 그림 4와 그림 5에 나타내었다.

그림 4와 그림 5에서 보면, 앞 절에서 언급한 바와 같이 공진주파수 부근에서 복소 특성 임피던스 Z_c 는 매우 큰 값을 가지며, 복소 전파 상수 γ_g 의 실수부는 0에 가까워지는 것을 알 수 있다. 이에 따라 식 (13)의 계산에 있어 문제가 될 만한 $z_c \sinh \gamma_g l$ 의 값을 살펴보는 것이 의미가 있다. 앞 절에서 언급한 바와 같이 공진 주파수 부근에서는 위의 값을 구하기 위해 식 (15)를 사용하였다.

그림 6에서 보면 공진 주파수 부근에서 계산된

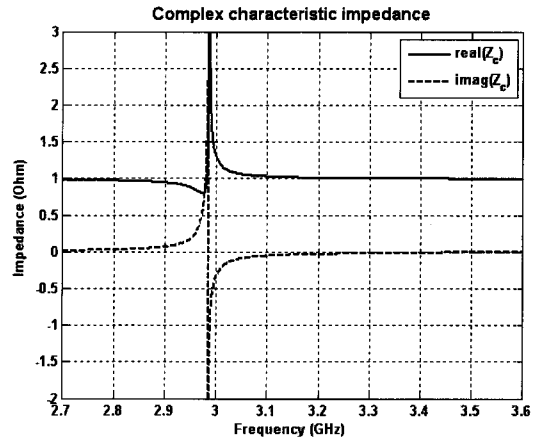


그림 4. 등가 손실 전송선의 복소 특성 임피던스
 Fig. 4. Characteristic impedance of an equivalent lossy transmission line.

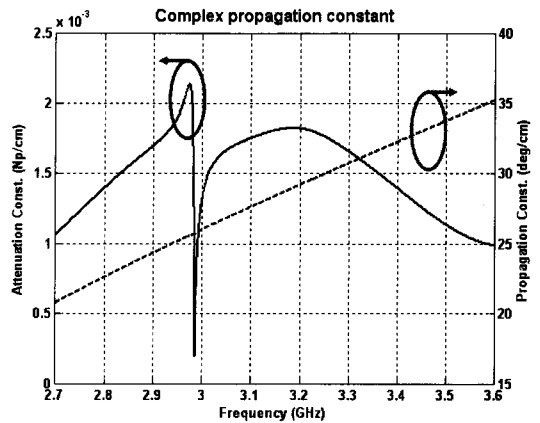


그림 5. 등가 손실 전송선의 복소 전파 상수
 Fig. 5. Complex propagation constant of an equivalent lossy transmission line.

$z_c \sinh \gamma_g l$ 의 값이 특이점(singularity) 없이 잘 계산된 것을 알 수 있다.

위와 같은 과정을 종합하여 그림 7에서 구하고자 하는 정규화된 슬롯 어드미턴스 값을 나타내었다.

그림 7의 결과를 살펴보면, 공진형 슬롯 간격이 되는 주파수를 포함하여 제시한 모든 주파수 범위에서, 초기에 주어진 어드미턴스 값과 제시한 방법을 통해 추출한 어드미턴스 값이 정확하게 일치하는 것을 알 수 있다.

한편, 본 논문에서 제시한 방법이 실제 상황에서도 잘 적용되는지 확인하기 위해, 그림 8과 같이 X-

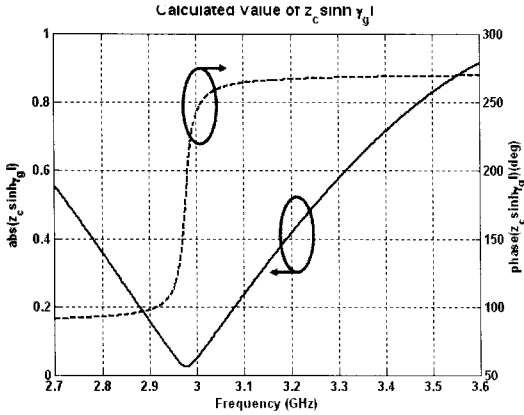


그림 6. $z_c \sinh \gamma_g l$ 계산값

Fig. 6. Calculated value of $z_c \sinh \gamma_g l$.

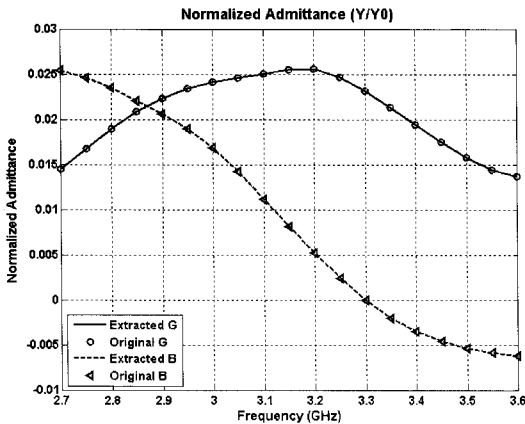


그림 7. 주어진 어드미턴스와 그 값을 이용한 전체 산란 계수로부터 역으로 추출한 어드미턴스의 비교

Fig. 7. Comparison between the given and extracted admittance.

대역 WR90 도파관에 20개의 동일한 각도로 교번하여 기울어진 슬롯을 가진 구조를 살펴보았다.

그림 8에 주어진 구조 및 슬롯의 상세 제원은 표 1과 같으며, 이 때 λ_0 은 중심 주파수에서의 자유 공간 파장이다.

위와 같은 구조에 대한 시뮬레이션은 Ansoft사의 HFSS를 이용하였으며, 단위 셀 밖의 도파관 길이에 의한 위상 분기 제거된 산란 계수로부터, 제시한 방법을 이용해 정규화된 어드미턴스 값을 얻었다. 또한 역으로, 위와 같이 계산된 어드미턴스 값을 이용한 단위 등가 회로 20개를 연결하여 얻은 산란 계수

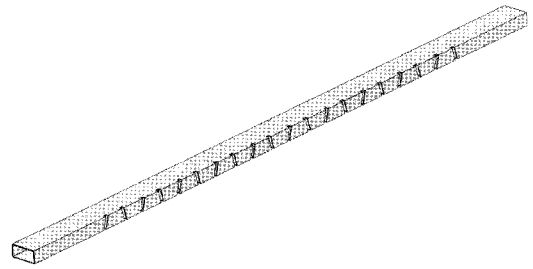


그림 8. 동일한 기울임 각을 가진 20개의 슬롯으로 이루어진 도파관 구조

Fig. 8. Waveguide model composed of 20 slots inclined alternately with the same angles.

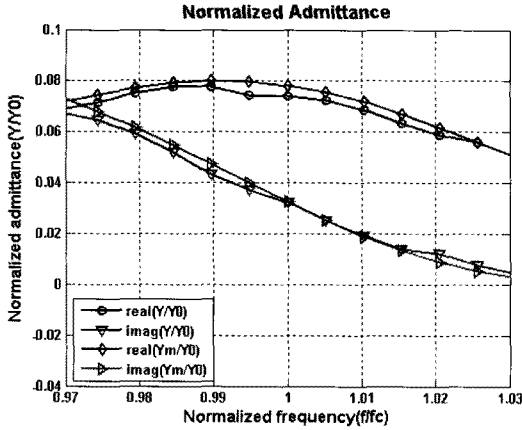
표 1. 주어진 슬롯 도파관 구조의 상세 제원

Table 1. Dimensions of a given slotted waveguide.

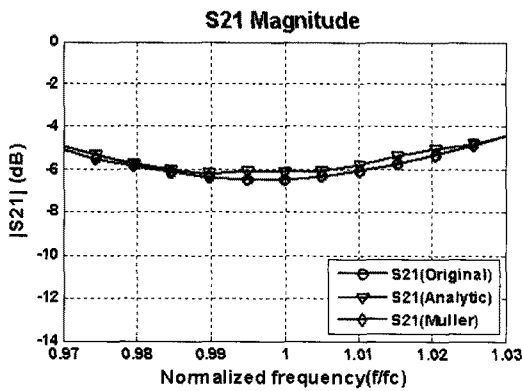
항 목	제 원
도파관 벽 두께	$0.0206 \lambda_0$
슬롯 폭	$0.0975 \lambda_0$
슬롯 절단 깊이	$0.0916 \lambda_0$
슬롯 간격	$0.7475 \lambda_0$
경사각	15°

와 원래의 시뮬레이션으로부터 얻은 산란 계수를 비교하여 그림 9에 나타내었다.

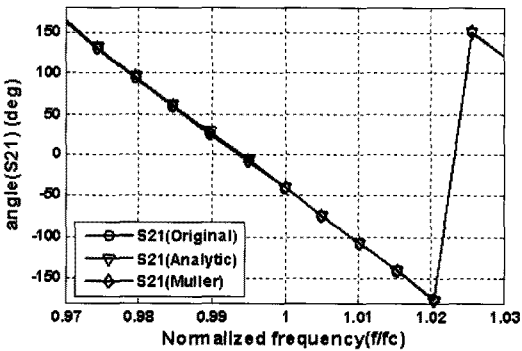
그림 9(a)에서 Y_m/Y_0 는 필터 방법을 이용하여 얻은 정규화된 어드미턴스 값으로서, 이 값을 적용하여 그림 9(b)에 주어진 전체 구조의 산란 계수 S_{21} 을 식 (2)를 통해 구했을 때, 시뮬레이션을 통해 얻은 산란 계수 S_{21} 과 비교하여 가장 그 차이가 작도록 최적화한 값이다. S_{21} 만의 차이를 최적화의 비용 함수(cost function)로 삼은 이유는, S_{11} 을 필터 방법의 비용함수에 포함시키는 경우, 그 절대값이 상당히 작아서 시뮬레이션에서 얻은 값이 매우 정확하지 않으면 그 차이를 비교하는 것이 특정 주파수에서는 상당히 큰 오차를 발생시키는 현상이 발견되었기 때문이다. 그런데 그림 9(a)와 (b)에서 보면, 본 논문에서 제시한 방법은 3차원 시뮬레이션으로부터 얻은 S_{11} , S_{21} 값을 모두 이용했음에도 불구하고 필터의 방법을 통해 얻은 값과 거의 유사한 값을 제공하는 것을 알 수 있다. 두 값 사이의 약간의 차이는 위와 같은 이유와 더불어, 그림 8에 주어진 구조가 전기적으로 매우 큰 구조이기 때문에 3차원 시뮬레이션으로 얻을 수



(a)



(b)



(b)

그림 9. (a) 제시한 방법을 통해 얻은 정규화된 어드미턴스, (b) 전체 S₂₁ 비교

Fig. 9. (a) Normalized admittance values obtained from the proposed method, (b) Comparison of total S₂₁'s.

있는 산란 계수 정확도의 한계에 기인한 것으로 판단된다.

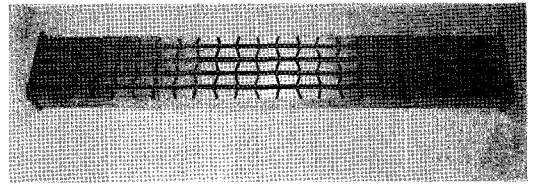


그림 10. 슬롯 어드미턴스 추출을 위해 제작한 적층된 슬롯 도파관

Fig. 10. Stacked slotted waveguides fabricated for extracting the slot admittance.

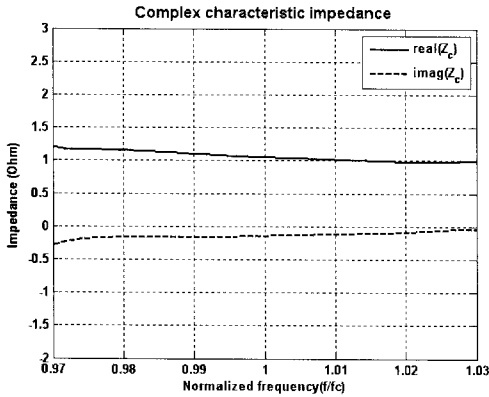
한편, 그림 8과 같은 구조로부터 얻은 그림 9의 어드미턴스 값은 도파관을 적층했을 때의 상호 결합 효과를 포함하지 않기 때문에, 이러한 효과를 고려한 실제 배열 안테나 설계에 필요한 어드미턴스 값을 얻기 위해, 그림 10과 같이 20개의 슬롯이 5줄로 적층된 구조를 제작하여 어드미턴스 값을 추출하였다. 또한, 도파관 협벽 슬롯 배열 안테나에서 나비엽 감소를 위해 일반적으로 사용하는 뒷면 접지판(trough short)^[9]이 적용되었다. 한편, 그 밖의 모든 슬롯의 제원은 그림 8의 구조와 동일하며, 도파관 적층 간격은 $0.5525 \lambda_0$ 이다.

위에서 어드미턴스 추출에 사용한 산란 계수는 5줄의 도파관 중에 다른 도파관들은 중단 부하를 이용하여 정합한 상태에서 중앙의 도파관에 대한 측정 값을 이용하였다. 이를 통해 얻어진 결과로서, 제시한 추출 과정에서 산출된 등가 복소 특성 임피던스, 등가 복소 전파 상수 및 이로부터 추출한 정규화된 어드미턴스 값을 그림 11에 나타내었다.

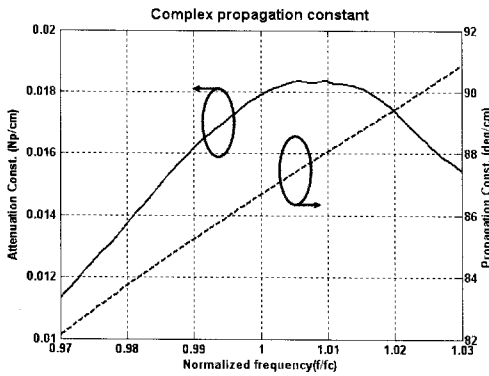
그림 11(a)와 (b)에서 보면 원하는 주파수 대역에서 슬롯 간의 간격이 반파장이 되는 경우가 존재하지 않으므로 특성 임피던스 및 전파 상수 계산값이 부드러운 곡선을 나타내는 것을 알 수 있으며, 그림 11(c)에서 두 방법으로 구한 정규화된 어드미턴스 값이 원하는 주파수 대역에서 비교적 잘 일치함을 알 수 있다.

V. 결 론

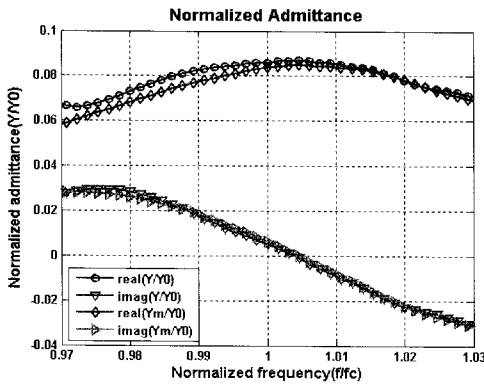
본 논문에서는 비공진형 도파관 협벽 슬롯 배열 안테나를 설계하기 위해, 필요한 정규화된 어드미턴스 값을 추출하기 위한 해석적인 방법을 제시하였다. 도파관 협벽의 슬롯과 슬롯 양쪽에 이웃한 전송



(a)



(b)



(c)

그림 11. (a) 측정값으로 계산된 복소 특성 임피던스, (b) 측정값으로 계산된 복소 전파 상수, (c) 측정값으로 계산된 정규화된 어드미턴스

Fig. 11. (a) Complex characteristic impedance calculated with the measured S-parameters, (b) Complex propagation constant calculated with the measured S-parameters, (c) Normalized admittance values calculated with the measured S-parameters.

선 부분을 균일한 손실 전송선으로 근사하여 전체의 ABCD 행렬을 계산하고, 시뮬레이션 또는 측정으로부터 얻은 기준값과 비교함으로써 손실 전송선의 복소 특성 임피던스와 복소 전파 상수를 구하고, 이로부터 슬롯 어드미턴스를 추출하였다. 이러한 방법의 타당성을 입증하기 위해, 기준 기울임 각을 가진 20개의 협벽 슬롯이 장착된 도파관을 5줄로 적층한 구조를 제작하고, 이에 대해 기존의 윌러 방법으로 추출한 결과와 비교하여 두 방법으로 얻은 정규화된 어드미턴스 값이 서로 잘 일치함을 보였다.

참고 문헌

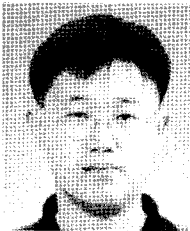
- [1] W. H. Watson, "Resonant slots", *J. IEE(London), pt. III-A*, vol. 93, pp. 747-777, 1946.
- [2] I. P. Kaminow, R. J. Stegen, *Waveguide Slot Array Design*, Hughes Aircraft Co. Tech. Mem. 348, Jul. 1954.
- [3] R. C. Johnson, *Antenna Engineering Handbook*, 3rd Ed., McGraw Hill, chap. 9, pp. 10-16, 1993.
- [4] C. G. Jan, P. Hsu, and R. -B. Wu, "Moment method analysis of sidewall inclined slot in rectangular waveguides", *IEEE Trans. Antennas Propag.*, vol. AP-39, pp. 68-73, Jan. 1991.
- [5] C. G. Jan, R. B. Wu, P. Hsu, and D. -C. Chang, "Analysis of edge slots in rectangular waveguide with finite waveguide wall thickness", *IEEE Trans. Antennas Propag.*, vol. AP-44, pp. 1120-1126, Aug. 1996.
- [6] V. V. S. Prakash, S. Christopher, and N. Balakrishnan, "Sidewall inclined slot in a rectangular waveguide: Theory and experiment", *Proc. Inst. Elect. Eng. Microwave Antennas Propagation*, vol. 145, no. 3, pp. 233-238, Jun. 1998.
- [7] W. H. Press, S. A. Teukolsky, W. T. Vetterling, and B. P. Flannery, *Numerical Recipes in C*, Cambridge University Press, p. 371, 1995.
- [8] K. J. Han, J. Park, H. -G. Na, C. H. Kim, and M. S. Chung, "An efficient evaluation of slot admittance for design of non-resonant waveguide edge slot array", *IEEE APS. Proceedings*, pp. 3269-3272,

2004.

[9] D. C. Chang, C. I. Hung, C. C. Lin, J. W. Lin, K. T. Ho, and T. M. Lee, "Suppression of second order

beam for traveling wave slot arrays", in *Microwave Conference Proceedings, Asia-Pacific*, vol. 1, pp. 93-96, 1993.

박 종 국



1995년 2월: 서울대학교 전자공학과 (공학사)
1997년 2월: 서울대학교 전기컴퓨터공학부 (공학석사)
2001년 8월: 서울대학교 전기컴퓨터공학부 (공학박사)
2001년 11월~현재: LIG넥스원(LG이노텍, Nex1future) 선임연구원, 책임연구원

[주 관심분야] 배열 안테나 설계, 능동 위상 배열 시스템, 레이더 시스템, 초고주파 수동 회로 설계 및 전자파 수치 해석

김 찬 홍



1991년 2월: 경북대학교 전자공학과 (공학사)
1993년 2월: 포항공과대학교 전자전기공학과 (공학석사)
2008년 8월: 한국과학기술원 전기 및 전자전공 (공학박사)
1993년~현재: 국방과학연구소 선임연구원

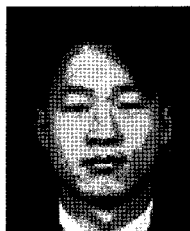
[주 관심분야] 레이더 및 SAR 시스템 설계/분석, 위상배열 안테나 설계/분석, 안테나 측정, 전자장 수치해석, 안테나 신호처리

한 기 진

1998년 2월: 서울대학교 전기컴퓨터공학부 (공학사)
2000년 2월: 서울대학교 전기컴퓨터공학부 (공학석사)
2005년 4월: LG이노텍(Nex1future) 선임연구원
2005년 8월~현재: 조지아공과대학교 전자공학과 박사과정

[주 관심분야] Signal/Power Integrity, EMC, 전자파 수치 해석, RF 소자 및 시스템, Electromechanics

이 동 국



1998년 2월: 경북대학교 전자공학과 (공학사)
2000년 2월: 경북대학교 전자공학과 (공학석사)
2000년~현재: 경북대학교 전자공학과 박사과정
2002년~현재: 국방과학연구소 선임연구원

[주 관심분야] 레이더 시스템 설계/분석, 위상배열 안테나 설계/분석, 안테나 측정, 전자장 수치해석, 안테나 신호처리

나 형 기



1996년 2월: 포항공과대학교 전자전기공학과 (공학박사)
1996년 1월~현재: LIG넥스원(LG정밀, LG이노텍, Nex1future) 선임연구원, 책임연구원, 수석연구원

[주 관심분야] 안테나 및 능동위상

배열 레이더