

확장된 메모리 다항식 모델을 이용한 전력 증폭기 모델링 및 디지털 사전 왜곡기 설계

Modeling and Digital Predistortion Design of RF Power Amplifier Using Extended Memory Polynomial

이영섭 · 구현철 · 김정휘* · 류규태*

Youngsup Lee · Hyunchul Ku · Jeong-Hwi Kim* · Kyo-Tae Ryoo*

요 약

본 논문에서는 RF 전력 증폭기의 메모리 효과 모델링의 정확성을 향상시키기 위한 확장된 메모리 다항식 모델을 제안하고 검증하였다. 볼테라 커널 중에서 대각행렬의 성분만을 고려하는 기본적인 메모리 다항식 기반의 모델의 정확성을 향상시키기 위하여 지연차수가 다른 성분들에 의한 교차항을 추가하여 확장 모델을 구성하였다. 제안된 확장 메모리 다항식의 복잡성을 메모리리스 모델, 메모리 다항식 모델과 비교하였다. 확장된 모델을 이용하여 비선형 관계식을 행렬식으로 표현한 후, 최소 자승법(least square method)을 이용하여 변수를 추출하는 모델링 기법을 제시하였다. 또한, 제안된 기법과 간접 학습 방식을 이용하여 디지털 사전 왜곡기를 구현하기 위한 디지털 사전 왜곡부 구현 방안 및 디지털 신호 처리(DSP) 방식을 제시하였다. 제안된 모델의 성능을 검증하기 위하여 2.3 GHz 대역의 WiBro 신호를 인가한 10 W급 GaN HEMT 전력 증폭기와 30 W급 LDMOS 전력 증폭기에 대하여 모델의 정확도를 비교 검토하였으며, 10 W GaN HEMT 전력 증폭기에 대하여 제안된 모델을 이용하는 간접 학습 방식에 기반한 디지털 사전 왜곡기를 적용하여 인접 채널 간섭비(ACPR) 성능을 검증하였다. 제안된 모델은 메모리 다항식에 비하여 모델의 정확성을 향상시키고 10 W GaN HEMT에 대하여 디지털 사전 왜곡기 적용시 기존 방식에 비하여 3차 비선형 영역에서 평균 3 dB의 ACPR 성능 향상을 보여주었다.

Abstract

This paper suggests an extended memory polynomial model that improves accuracy in modeling memory effects of RF power amplifiers(PAs), and verifies effectiveness of the suggested method. The extended memory polynomial model includes cross-terms that are products of input terms that have different delay values to improve the limited accuracy of basic memory polynomial model that includes the diagonal terms of Volterra kernels. The complexity of the memoryless model, memory polynomial model, and the suggested model are compared. The extended memory polynomial model is represented with a matrix equation, and the Volterra kernels are extracted using least square method. In addition, the structure of digital predistorter and digital signal processing(DSP) algorithm based on the suggested model and indirect learning method are proposed to implement a digital predistortion linearization. To verify the suggested model, the predicted output of the model is compared with the measured output for a 10 W GaN HEMT RF PA and 30 W LDMOS RF PA using 2.3 GHz WiBro input signal, and adjacent-channel power ratio(ACPR) performance with the proposed digital predistortion is measured. The proposed model increases model accuracy for the PAs, and improves the linearization performance by reducing ACPR.

Key words : Adjacent Channel Power Ratio, Digital Predistortion, Memory Effects, Memory Polynomial, Nonlinear Model, Power Amplifier, WiBro

건국대학교 전자공학부(Department of Electronic Engineering, Konkuk University)

*KT 인프라 연구소(Infra Laboratory, KT)

· 논문 번호 : 20080723-093

· 수정완료일자 : 2008년 9월 10일

I. 서 론

무선 통신의 발전과 함께 사용자 및 전송하고자 하는 사용자당 데이터량이 급격히 증가하고 있다^[1]. 이러한 요구 사항에 의해 현재 3 GPP의 LTE(Long Term Evolution) 시스템이나 IEEE 802.16의 WiMAX(Worldwide Interoperability for Microwave Access) 시스템에 대한 연구가 활발히 진행되고 있다. 최근 국내에서는 KT를 중심으로 모바일 WiMAX의 한 종류인 WiBro(Wireless Broadband) 서비스가 제공되고 있다. 이와 같은 차세대 무선 통신 시스템의 특성으로는 전송 신호 데이터량 증가에 따른 광대역화와 스펙트럼 효율의 증가 및 OFDM(Orthogonal Frequency Division Multiplexing) 방식의 이용에 따른 신호의 PAPR(Peak-to-Average Power Ratio) 값의 증가 등을 들 수 있다. 높은 PAPR을 갖는 전송 신호의 경우, 비선형 특성을 가지는 전력 증폭기에 의하여 왜곡되어 전송 신호의 EVM(Error Vector Magnitude) 특성이 나빠지며, 인접 채널 간섭 성분 또한 증가하게 된다. 이와 같은 비선형성 극복 방안 중 디지털 사전 왜곡 기법이 최근 급격히 발달한 디지털 기술을 바탕으로 경제적이고 효율적인 선형화 방안으로 각광을 받고 있다^[2].

전송 신호의 광대역화 및 PAPR 값의 증가에 따라 전력 증폭기의 메모리 특성이 일반적으로 증가하게 된다. 이러한 이유는 광대역화에 따른 전력 증폭기의 입력력 주파수 특성 변화 및 높은 PAPR 특성에 따른 전력 증폭기의 열적 특성 변화 등이다. 사전 왜곡 기법의 성능은 전력 증폭기 비선형 모델의 정확성에 의해 결정된다. 일반적인 볼테라 급수와 같은 모델은 메모리 특성을 포함한 전력 증폭기의 비선형 모델을 정확하게 예측할 수 있다. 반면, 실제 디지털 사전 왜곡기를 FPGA(Field Programmable Gate Array) 등의 디지털 칩에 구현하는 경우에는 디지털 사전 왜곡부의 복잡성에 의해서 실현 가능성 및 경제성이 결정된다. 일반적인 볼테라 급수의 경우는 모델의 정확성에도 불구하고, 모델의 복잡성 및 볼테라 커널 추출의 어려움에 의하여 구현시의 경제성이 떨어진다. 디지털 사전 왜곡기의 구현은 모델의 정확성과 함께 구현 용이성을 고려하여 결정되어야 한다. 이러한 이유로 단순화된 볼테라 급수 형태를 가지는

Wiener 모델, Hammerstein 모델, Wiener-Hammerstein 모델, Parallel Wiener 모델, 메모리 다항식(Memory Polynomial) 모델 등이 메모리 특성을 보상하는 사전 왜곡 기법으로 활용되고 있다.

이 중 메모리 다항식 모델은 참고문헌 [3], [4]에서 소개된 모델로서 볼테라 급수의 커널 중 대각 행렬 성분만을 고려하여 모델의 복잡성을 결정적으로 줄인 단순화된 볼테라 급수 모델이다. 또한, 이 모델을 이용하는 간접 학습(indirect learning) 방식에 기반한 디지털 사전 왜곡 기법은 우수한 메모리 특성 보상 결과를 보여주었다^{[4],[5]}. 하지만 대각 행렬 성분만을 고려한 특성에 의하여 광대역의 신호에 대한 전력 증폭기의 모델링 오차 및 사전 왜곡 기법 적용시의 성능에서 한계가 존재하게 된다. 예를 들어 WiBro 신호의 경우, 1 FA 신호의 주파수 대역이 약 9 MHz(8.75 MHz)이며, 3 FA의 경우에는 27 MHz가 된다. 이와 같은 광대역 신호에 대한 디지털 사전 왜곡 기법의 성능 향상을 위하여서 디지털 칩에 구현이 용이하면서도 상대적으로 높은 정확도를 가지는 확장된 모델링 및 사전 왜곡기 구현을 필요로 하게 된다^{[6],[7]}.

본 논문에서는 대각 행렬 성분뿐만 아니라 상호 시간 지연이 다른 입력에 의한 비선형 특성과 입력 성분의 곱에 의해서 발생하는 교차 성분을 포함하도록 메모리 다항식 모델을 확장시키고, 이에 기반한 디지털 사전 왜곡기 구현을 위한 사전 왜곡기부의 구현 방안 및 디지털 신호처리부의 알고리즘을 제안한다. 제안한 기법을 검증하기 위하여, 1 FA WiBro 신호를 GaN HEMT 소자를 이용한 10 W급 전력 증폭기 및 LD MOS FET을 이용한 30W급 전력 증폭기에 인가하여 출력 신호를 측정 한 후, 제안된 모델의 예측값을 측정값과 비교하여 오차를 계산하고, 일반적인 메모리 다항식 기법과 비교하여 오차의 향상을 확인하였다. 또한, 제안된 모델과 간접 학습 방식을 이용한 디지털 사전 왜곡기를 구현하고, GaN HEMT 소자를 이용한 전력 증폭기에 적용하여 1 FA WiBro 신호에 대한 ACPR(Adjacent Channel Power Ratio) 성능 향상을 비교함으로써 제안된 모델의 효과를 검증하였다.

본 논문의 구성은 다음과 같다. 2장에서는 기존의 메모리 다항식 모델에 관하여 간략히 살펴보고 교차 성분을 포함하는 확장된 메모리 다항식 모델을 제안

한다. 또한 일반적인 볼테라 급수, 메모리 다항식 모델, 확장된 메모리 다항식 모델의 복잡도를 비교한다. 3장에서는 제안된 확장된 메모리 다항식 방식에 기반한 디지털 사전 왜곡기의 구현을 언급한다. 간접 학습 방식에 기반한 디지털 사전 왜곡기의 구성 방안 및 디지털 신호 처리부의 알고리즘에 대하여 기술한다. 4장에서는 제안된 방식에 기반한 모델의 정확성 향상 및 사전 왜곡기의 성능 향상을 WiBro 신호를 이용하여 검증하였다.

II. 확장된 메모리 다항식 모델

2-1 메모리 다항식 모델

RF 전력 증폭기의 비선형 특성을 표현하기 위하여 이산 신호에 대한 기본적인 메모리 다항식을 기술하면 다음과 같다.

$$y[n] = \sum_{k=1}^N \sum_{q=0}^Q a_{k,q} |x[n-q]|^{k-1} \cdot x[n-q] \quad (1)$$

식 (1)에서 $x[n]$, $y[n]$ 은 다음과 같이 전력 증폭기 입력 신호의 복소 포락선 신호 $x(t)$, $y(t)$ 의 이산화된 신호를 나타낸다.

$$x[n] = x(nT_s + T_0), \quad y[n] = y(nT_s + T_0) \quad (2)$$

이 경우 $x(t)$, $y(t)$ 는 실제 측정된 전력 증폭기의 입, 출력 신호에 대하여 시간 오차와 위상 오차를 신호의 포락선과 동위상/직교 위상 신호에 대한 상호 연관함수를 계산하여 최대의 상호 연관값을 가지도록 시간 및 위상을 보상해 준 신호가 된다. 여기서 T_s 는 샘플링 주기를 나타내며, T_0 는 신호 획득시의 기준 시작 시간을 나타낸다. 식 (1)에서 N 은 최대 비선형 차수를 나타내며, Q 는 샘플링 주기 T_s 를 기준으로 시스템의 메모리 깊이를 나타내는 값이다. 식 (1)에서 기술된 메모리 다항식은 벡터-행렬식을 사용하여 표현하기 위하여 다음과 같이 이산 신호를 표기한다.

$$x_i = x[n_0 + i - 1] \quad (3)$$

여기서 n_0 는 샘플링 시작 기준점이 된다. 식 (3)은 앞으로의 모든 이산 신호 표기에 동일하게 적용된다. 식 (1)의 메모리 깊이가 Q 인 비선형 특성식의 계

수를 유도하기 위해서 m 개의 연속적인 이산 출력 데이터를 고려한다. 이 경우, 식 (1)을 기술하기 위해서 입력 신호의 경우는 다음과 같이 출력 신호에 비해 Q 샘플 주기 시간만큼 앞선 데이터들이 필요하다.

$$\begin{bmatrix} x_{1-Q} & \cdots & x_1 & x_2 & x_3 & \cdots & x_m \\ y_1 & y_2 & y_3 & \cdots & y_m \end{bmatrix} \quad (4)$$

식 (4)에서의 이산 입력 신호에 대하여 식 (1)은 다음과 같은 행렬식으로 표현된다.

$$\mathbf{y} = \mathbf{X} \cdot \mathbf{a} \quad (5)$$

여기서

$$\mathbf{X} = \begin{bmatrix} \mathbf{X}_{N_0} & \mathbf{X}_{N_1} & \mathbf{X}_{N_2} & \cdots & \mathbf{X}_{N_Q} \end{bmatrix}, \quad (6)$$

$$\mathbf{X}_{N_q} = \begin{bmatrix} x_{1-q} & |x_{1-q}|x_{1-q} & |x_{1-q}|^2 x_{1-q} & \cdots & |x_{1-q}|^{N-1} x_{1-q} \\ x_{2-q} & |x_{2-q}|x_{2-q} & |x_{2-q}|^2 x_{2-q} & \cdots & |x_{2-q}|^{N-1} x_{2-q} \\ x_{3-q} & |x_{3-q}|x_{3-q} & |x_{3-q}|^2 x_{3-q} & \cdots & |x_{3-q}|^{N-1} x_{3-q} \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ x_{m-q} & |x_{m-q}|x_{m-q} & |x_{m-q}|^2 x_{m-q} & \cdots & |x_{m-q}|^{N-1} x_{m-q} \end{bmatrix} \quad (7)$$

식 (5)에서 행렬 \mathbf{X} 는 메모리를 고려한 입력 신호에 의하여 생성되는 것으로 $m \times N(Q+1)$ 크기를 가지는 행렬이다. 식 (5)에서 벡터 \mathbf{a} 는 메모리 다항식에서의 복소 계수로서 $N(Q+1) \times 1$ 의 크기를 가지는 벡터이며, \mathbf{y} 는 m 개의 측정된 출력 복소 포락선 값을 나타내는 $m \times 1$ 벡터로서 다음과 같이 각각 정의된다.

$$\mathbf{a} = \begin{bmatrix} a_0 \\ a_1 \\ \vdots \\ a_Q \end{bmatrix} \quad \text{여기서 } \mathbf{a}_i = \begin{bmatrix} a_{1,i} \\ a_{2,i} \\ \vdots \\ a_{N,i} \end{bmatrix}, \quad \mathbf{y} = \begin{bmatrix} y_1 \\ y_2 \\ \vdots \\ y_m \end{bmatrix} \quad (8)$$

메모리 다항식의 계수 추정치 값 $\hat{\mathbf{a}}$ 는 최소 자승법(least square)을 적용하여 식 (5)에서 다음과 같이 구할 수 있다.

$$\hat{\mathbf{a}} = \text{pinv}(\mathbf{X}) \cdot \mathbf{y} \quad (9)$$

식 (9)에서 $\text{pinv}(\cdot)$ 는 pseudo inverse를 나타낸다.

2-2 확장된 메모리 다항식 모델

위에서 기술한 메모리 다항식 모델은 볼테라 커널의 대각 성분만을 고려한 단순화된 모델로서, 메모리를 고려하지 않는 비선형 모델에 비해서는 모델의 정확도나 사전 왜곡 성능이 우수하나, 대각 행렬 성분만을 고려하여 성능의 한계가 존재하게 된다. 이 경우 볼테라 커널의 수를 확장함으로써 모델의 정확도를 향상시킬 수 있다. 반면, 시스템의 구현 측면에서는 시스템의 구성 및 변수 추출 과정이 메모리 다항식에 비하여 크게 복잡하지 않도록 구성해 주는 것이 필요하다. 일반적인 이산 신호에 대한 볼테라 급수는 다음과 같이 표현된다.

$$y[n] = \sum_{k=0}^{\infty} \bar{h}_k(\bar{x}[n]) \quad (10)$$

인과적인 시스템에 대해서

$$\bar{h}_k(\bar{x}[n]) = \sum_{q_1=0}^{\infty} \sum_{q_2=0}^{\infty} \cdots \sum_{q_k=0}^{\infty} h_k(q_1, q_2, \dots, q_k) \cdot x[n-q_1]x[n-q_2] \cdots x[n-q_k] \quad (11)$$

이며, 메모리 깊이를 Q 까지 고려하면 다음과 같다.

$$\bar{h}_k(\bar{x}[n]) = \sum_{q_1=0}^Q \sum_{q_2=0}^Q \cdots \sum_{q_k=0}^Q h_k(q_1, q_2, \dots, q_k) \cdot x[n-q_1]x[n-q_2] \cdots x[n-q_k] \quad (12)$$

식 (12)에서 이산 볼테라 커널 $h_k(q_1, q_2, \dots, q_k)$ 의 값이 $q_1 = q_2 = \dots = q_k = q$ 가 아닌 경우 그 값을 0으로 가정하는 것이 기본적인 메모리 다항식 모델이다. 이와 같은 q_1, q_2, \dots, q_k 조건에서 자유도를 하나 증가시켜서 $q_2 = \dots = q_k = q$ 인 경우를 제외한 볼테라 커널의 값을 0으로 하면 식 (10)은 식 (13)과 같이 표현된다.

$$y[n] = \sum_{k=1}^N \sum_{q=0}^Q \sum_{q_1=0}^q a_{k,q,q_1} |x[n-q]|^{k-1} \cdot x[n-q_1] \quad (13)$$

자유도를 한 단계씩 증가시키기에 따라 모델은 일반적인 볼테라 급수의 형태를 띠게 되지만 추출하여야 할 볼테라 커널의 수가 빠르게 증가하므로 향후 디지털 사전 왜곡기의 구현을 고려하여 기본적인 메모리 다항식 모델의 볼테라 커널의 q_1, q_2, \dots, q_k 조건에서 하나의 자유도를 증가시킨 모델을 고려한다.

식 (13)에서 과거의 입력 신호의 AM/AM과 AM/PM에 의한 성분만을 고려하기 위하여 $q_2 = q_3 =$

$\dots = q_k = q$ & $q_1 \leq q$ 인 경우를 제외한 볼테라 커널을 0으로 하면 식 (10)은 다음과 같이 표현이 가능하다.

$$y[n] = \sum_{k=1}^N \sum_{q=0}^Q \sum_{q_1=0}^q a_{k,q,q_1} |x[n-q]|^{k-1} \cdot x[n-q_1] \quad (14)$$

식 (14)에서 기술된 모델을 확장된 메모리 다항식 모델이라고 정의한다. 이 방식은 참고문헌 [7]에서 기술된 “Generalized Memory Polynomial”에서 lagging 항을 제외한 모델과 유사한 구성으로 leading 항을 포함하여 인과적인 비선형 왜곡 성분만을 포함한 형태이다. 확장된 메모리 다항식 모델의 볼테라 커널도 앞에서 기술한 메모리 다항식과 유사한 방식으로 시스템 파라미터 값을 유도할 수 있다. 식 (5)에서 기술된 행렬식을 이용하여 확장된 메모리 다항식을 나타낸다. 이 경우, \mathbf{y} 는 앞에서 기술한 벡터와 동일하며, 행렬 \mathbf{X} 와 벡터 \mathbf{a} 는 다음과 같이 확장된 메모리 다항식 모델에 대하여 새롭게 정의된다.

$$\mathbf{X} = [\mathbf{X}_1 \quad \mathbf{X}_{N-1}] \quad (15)$$

여기서 \mathbf{X}_1 은 다음과 같이 정의되는 $m \times (Q+1)$ 행렬이다.

$$\mathbf{X}_1 = \begin{bmatrix} x_1 & x_{1-1} & x_{1-2} & \cdots & x_{1-Q} \\ x_2 & x_{2-1} & x_{2-2} & \cdots & x_{2-Q} \\ x_3 & x_{3-1} & x_{3-2} & \cdots & x_{3-Q} \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ x_m & x_{m-1} & x_{m-2} & \cdots & x_{m-Q} \end{bmatrix} \quad (16)$$

또한 \mathbf{X}_{N-1} ($N > 2$)는 다음과 같이 정의된다.

$$\mathbf{X}_{N-1} = [\mathbf{X}^1 \quad \mathbf{X}^2 \quad \mathbf{X}^3 \quad \cdots \quad \mathbf{X}^{(N-1)}] \quad (17)$$

여기서

$$\mathbf{X}^k = [\mathbf{X}_0^k \quad \mathbf{X}_1^k \quad \mathbf{X}_2^k \quad \cdots \quad \mathbf{X}_Q^k] \quad (18)$$

$$\mathbf{X}_q^k = \begin{bmatrix} |x_{1-q}|^k x_{1-q} & |x_{1-q-1}|^k x_{1-q} & |x_{1-q-2}|^k x_{1-q} & \cdots & |x_{1-Q}|^k x_{1-q} \\ |x_{2-q}|^k x_{2-q} & |x_{2-q-1}|^k x_{2-q} & |x_{2-q-2}|^k x_{2-q} & \cdots & |x_{2-Q}|^k x_{2-q} \\ |x_{3-q}|^k x_{3-q} & |x_{3-q-1}|^k x_{3-q} & |x_{3-q-2}|^k x_{3-q} & \cdots & |x_{3-Q}|^k x_{3-q} \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ |x_{m-q}|^k x_{m-q} & |x_{m-q-1}|^k x_{m-q} & |x_{m-q-2}|^k x_{m-q} & \cdots & |x_{m-Q}|^k x_{m-q} \end{bmatrix} \quad (19)$$

위의 과정을 통하여 구한 행렬 \mathbf{X} 는 $m \times (Q+1) \cdot$

$\left[\left(\frac{NQ+2N-Q}{2} \right) \right]$ 의 크기를 갖는다. 벡터 \mathbf{a} 는 다음과 같이 정의된다.

$$\mathbf{a} = \begin{bmatrix} \mathbf{a}_1 \\ \vdots \\ \mathbf{a}_{N-1} \end{bmatrix} \quad (20)$$

여기서

$$\mathbf{a}_1 = \begin{bmatrix} a_{1,0,0} \\ a_{1,1,1} \\ \vdots \\ a_{1,Q,Q} \end{bmatrix}, \mathbf{a}_{N-1} = \begin{bmatrix} \mathbf{a}^1 \\ \mathbf{a}^2 \\ \vdots \\ \mathbf{a}^{N-1} \end{bmatrix}, \mathbf{a}^k = \begin{bmatrix} \mathbf{a}_0^k \\ \mathbf{a}_1^k \\ \vdots \\ \mathbf{a}_Q^k \end{bmatrix}, \mathbf{a}_q^k = \begin{bmatrix} a_{k+1,q,0} \\ a_{k+1,q,1} \\ \vdots \\ a_{k+1,q,q} \end{bmatrix} \quad (21)$$

입출력 측정 데이터로부터 추출되어야 하는 벡터 \mathbf{a} 의 추정치 값은 식 (9)에서 기술된 방식으로 최소자승법을 이용하여 유도될 수 있다.

2-3 모델의 복잡성 비교

본 절에서는 일반적인 볼테라 급수, 메모리를 고려하지 않는 메모리리스 다항식, 메모리 다항식, 앞에서 기술한 확장된 메모리 다항식의 커널의 개수를 비교함으로써 모델의 복잡성을 비교한다. 각 모델은 1차항부터 N 차항까지 N 차의 차수로 구성되었다고 가정하고 Q 개의 메모리 항까지를 고려한다. 이 경우 볼테라 급수에서 구하여야 하는 커널의 수는 다음과 같다.

$$\begin{aligned} \text{Number of Kernels} &= \sum_{k=1}^N (Q+1)^k \\ &= \frac{(Q+1)[(Q+1)^N - 1]}{Q} \end{aligned} \quad (22)$$

메모리리스 다항식에서 구하여야 하는 변수의 수는 N 개가 되며, 메모리 다항식에서 구하여야 하는 수는 각 차수별로 $(Q+1)$ 개가 되므로 전체 개수는 $(Q+1)N$ 개가 된다.

위에서 제안하는 인과적인 확장된 메모리 다항식의 경우에 필요한 볼테라 커널의 수는 다음과 같다.

$$\begin{aligned} \text{Number of Kernels} &= (Q+1) + \frac{(Q+1)(Q+2)}{2}(N-1) \\ &= (Q+1) \left[\frac{(Q+2)N-Q}{2} \right] \end{aligned} \quad (23)$$

표 1. 비선형 모델별 복잡도 비교(추출할 커널 수)
Table 1. Comparison of complexity for nonlinear models.

모델	볼테라 모델	메모리 리스	메모리 다항식	확장된 메모리 다항식
$Q=2, N=3$	39	3	9	15
$Q=3, N=5$	1,364	5	20	44
$Q=5, N=3$	258	3	18	48
$Q=3, N=7$	21,844	7	28	64
$Q=5, N=7$	335,922	7	42	132

모델의 차수와 메모리 깊이에 따른 추출하여야 할 변수의 수를 몇 가지 경우에 대해 비교하면 표 1과 같다.

표 1에서와 같이 Q 개의 샘플 주기만큼의 메모리 깊이에 대하여 고려한 경우, 볼테라 모델의 커널 수는 대체적으로 $(Q+1)^N$ 에 비례하여 증가하여 그 수가 기하급수적으로 증가하는 것을 확인할 수 있다. 실제로 이와 같은 일반적인 볼테라 모델을 사전 왜곡 기 구현에 적용하는 것은 어렵다. 확장된 메모리 다항식의 경우는 메모리 다항식에 비해, 추출하여야 할 변수가 $Q(Q+1)(N-1)/2$ 개가 많다. 상대적으로 낮은 Q 값을 사용하는 실제 시스템의 경우를 고려하면 확장된 메모리 다항식에서 필요로 하는 변수의 수는 메모리 다항식에 비해 크게 증가하지 않으며, 이러한 확장된 메모리 다항식에 기반한 사전 왜곡 시스템의 구현도 비교적 용이하다.

제안된 모델에서 계수를 추출하는 시간은 $pimv(\mathbf{X})$ 를 구하는 시간에 의해서 결정된다. 디지털 신호 처리를 통하여 $pimv(\mathbf{X})$ 을 구하는 시간은 행렬의 크기에 의해서 결정된다. 동일한 m 값에 대하여 계수의 추출시간은 표 1에 나타난 커널의 수 및 디지털 연산 장치의 속도에 의해서 결정된다. 추출할 커널의 수가 선형적으로 증가할 경우, 계산 시간은 지수적으로 증가하게 된다. $m=1,024$ 로 하고 Matlab을 사용하여(2.40 GHz의 Intel Core 2 CPU, 2 GHz RAM 사양) $pimv(\mathbf{X})$ 를 구할 때 $Q=2, N=3$ 인 경우, 기본적인 메모리 다항식의 계수를 구하는 시간은 2.3 msec 확장된 메모리 다항식의 계수를 구하는 시간은 5.4 msec였으며, $Q=3, N=5$ 인 경우는 각각 7.5 msec, 35 msec가 필요하였다.

III. 확장된 메모리 다항식 모델에 기반한 디지털 사전 왜곡기

디지털 사전 왜곡기를 구현하기 위하여서는 전력 증폭기의 비선형 특성의 역함수를 추출하는 것이 필요하다. 전력 증폭기의 비선형 특성을 추출하지 않고 p -th order 역함수를 유도해 내는 간접 학습 방식을 이용하는 사전 왜곡 방식이 참고문헌 [5]에서 처음 적용되었다. 그림 1에서 도시된 바와 같이 간접 학습 방식은 전력 증폭기의 출력값 $y[n]$ 이 사전 왜곡기(predistorter training A)의 입력으로 인가된 경우의 출력값 $\hat{z}[n]$ 과 송신기의 입력값 $x[n]$ 이 사전 왜곡기(predistorter copy)의 입력으로 인가된 경우의 출력값 $z[n]$ 의 오차값 $e[n]$ 을 최소화하여 줌으로써 전력 증폭기의 출력값을 송신기의 입력값과 같은 형태로 선형화하는 방식이다.

그림 1에서 ‘predistorter training(A)’ 부는 디지털 사전 왜곡기의 비선형 함수를 찾아내는 블록이며, 여기서 추출된 비선형 함수와 동일한 기능을 하는 ‘predistorter copy(주로 FPGA 등에 구현됨)’부를 송신 경로에 삽입하게 된다.

3-1 디지털 신호 처리부

간접 학습 방식을 사용하여 확장된 메모리 다항식 구조의 역함수를 유도하기 위하여서는 입, 출력 신호에 대하여 현재 신호에 비해 Q 샘플 주기보다 시간적으로 앞에 있는 측정 데이터가 필요하다.

$$\begin{aligned} \mathbf{x}_Q &= [x_{1-Q} \ \dots \ x_1 \ x_2 \ x_3 \ \dots \ x_m], \\ \mathbf{y}_Q &= [y_{1-Q} \ \dots \ y_1 \ y_2 \ y_3 \ \dots \ y_m] \end{aligned} \quad (24)$$

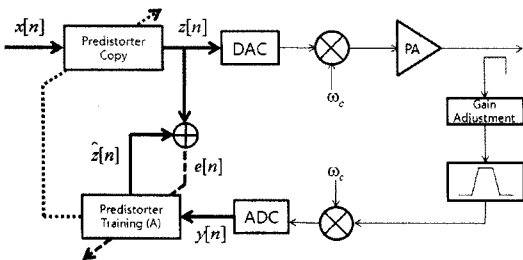


그림 1. 간접 학습 방식을 이용한 디지털 사전 왜곡기 구성 방안

Fig. 1. Digital predistortion structure based on indirect learning algorithm.

데이터 \mathbf{x}_Q 를 이용하여 앞장에서 정의되는 행렬 \mathbf{X} 를 구할 수 있다. 동일한 방식으로 데이터 \mathbf{y}_Q 에 대하여 식 (15)~(19)를 적용하여 출력 데이터 집합에 대하여서도 \mathbf{Y} 를 구할 수 있다. 이 경우 \mathbf{X}, \mathbf{Y} 는 모두 $m \times (Q+1) \left[\left(\frac{NQ+2N-Q}{2} \right) \right]$ 행렬이 된다. 사전 왜곡부가 확장 메모리 다항식 구조를 가지는 경우, 그림 1에서 다음과 같은 관계식이 성립한다.

$$\mathbf{z} = \mathbf{X} \cdot \mathbf{a}, \quad \hat{\mathbf{z}} = \mathbf{Y} \cdot \mathbf{a} \quad (25)$$

여기서 \mathbf{z} 와 $\hat{\mathbf{z}}$ 은 다음과 같이 정의된다.

$$\begin{aligned} \mathbf{z} &= [z_1 \ z_2 \ z_3 \ \dots \ z_m]^T \\ \hat{\mathbf{z}} &= [\hat{z}_1 \ \hat{z}_2 \ \hat{z}_3 \ \dots \ \hat{z}_m]^T \end{aligned} \quad (26)$$

위의 식에서 복소 계수의 추정치값 $\hat{\mathbf{a}}$ 은 다음과 같이 pinv를 사용하여 구할 수 있다.

$$\hat{\mathbf{a}} = \text{pinv}(\mathbf{Y}) \cdot \hat{\mathbf{z}} \quad (27)$$

그리고 이 경우 $\mathbf{z} = \mathbf{X} \cdot \mathbf{a}$ 를 이용하면

$$\mathbf{z} = \mathbf{X} \cdot \text{pinv}(\mathbf{Y}) \cdot \hat{\mathbf{z}} \quad (28)$$

이 경우 오차는 다음과 같이 벡터로 정의된다.

$$\mathbf{e} = \mathbf{z} - \hat{\mathbf{z}} = (\mathbf{X} - \mathbf{Y}) \cdot \hat{\mathbf{a}} \quad (29)$$

사전 왜곡부를 구성하기 위해서는 $\mathbf{e} \rightarrow 0$ 이 되도록 $\hat{\mathbf{a}}$ 값을 설정하여야 한다. 이 경우 $\hat{\mathbf{a}}$ 는 다음과 같은 iteration 식을 통하여 \mathbf{e} 값이 0으로 가도록 update 하여 준다.

$$\hat{\mathbf{a}}^{(p+1)} = \hat{\mathbf{a}}^{(p)} + \mu \cdot \text{pinv}(\mathbf{Y}) \cdot \mathbf{e} \quad (30)$$

일반적으로 $\mu = -1$ 과 0 사이의 값으로 설정하며, -1 인 경우 수렴의 속도는 가장 빠른 반면, 안정도가 상대적으로 떨어지게 된다.

디지털 신호 처리부에서 “predistorter training(A)”를 추출하기 위해서 처음에는 그림 1의 “predistorter copy” block은 입력 신호를 bypassing시켜서 \mathbf{X}, \mathbf{Y} 를 추출하게 되며, 이 데이터 및 식 (27)을 이용하여 “predistorter training(A)”부를 생성하고, 이 기능을 “predistorter copy”부로 복사하게 된다. 이 후는 생성

된 “predistorter copy” 부를 동작시키고, 식 (30)에서 기술된 iteration 방식을 통하여 식 (29)의 오차가 기준값보다 작아질 때까지 “predistorter training(A)”부를 갱신한다. 갱신된 “predistorter training (A)”부는 “predistorter copy”로 복사되며, 동일한 과정이 반복된다.

3-2 디지털 사전 왜곡부

앞절에서는 확장된 메모리 다항식 모델과 이에 기반한 시스템 파라미터의 추출 과정을 간접 학습 방식을 이용하여 기술하였다. 본 절에서는 위에서 추출된 시스템 변수를 이용하여 디지털 사전 왜곡부 (그림 1의 ‘predistorter copy’부)를 FPGA 등에 구현하기 위한 방안에 대하여 기술한다. 확장된 메모리 다항식 모델에서 다음과 같이 함수 $f_{q,q_1}(\cdot)$ 를 정의한다.

$$u_{q,q_1}[n] = f_{q,q_1}(x[n-q]) = \sum_{k=1}^N a_{k,q,q_1} |x[n-q]|^{k-1} \quad (31)$$

식 (31)은 q 의 지연시간에서의 입력 신호의 크기 성분에 의한 지연시간 q_1 의 신호의 크기와 위상의 비선형 왜곡을 나타낸다. 식 (31)을 이용하면 디지털 사전 왜곡부의 입력과 출력 신호의 관계식은 다음과 같이 정리된다.

$$z[n] = \sum_{q=0}^Q \sum_{q_1=0}^q u_{q,q_1}[n] \cdot x[n-q_1] \quad (32)$$

위의 식 (32)는 다음과 같이 기술될 수 있다.

$$z[n] = \sum_{q_1=0}^Q \left(\sum_{q=q_1}^Q u_{q,q_1}[n] \right) \cdot x[n-q_1] \quad (33)$$

이 경우, 디지털 사전 왜곡부에서 $z[n]$ 을 추출하기 위한 블록 다이어그램을 도시하면 그림 2 또는 그림 3과 같은 구조를 가진다. 그림 2와 그림 3에서 기본적인 메모리 다항식 부분과 교차항을 포함하는 확장된 메모리 다항식 부분을 구분하여 도시하였다. 그림 2의 경우는 확장된 메모리 다항식 부분을 구성하는 경우, 교차항에서의 시간 지연 항을 기준으로 디지털 사전 왜곡부의 구조를 정리하였으며(f_{q,q_1} 에서 $q-q_1$ 값의 크기에 따라 분류), 그림 3에서는 왜곡되는 신호의 현재 시간 지연항(f_{q,q_1} 에서 q_1 값에

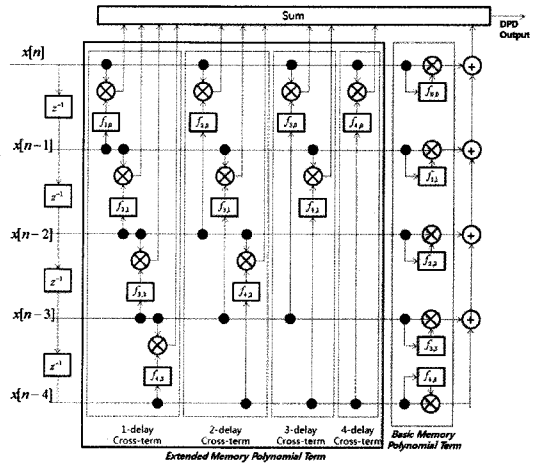


그림 2. 확장된 메모리 다항식 구조를 이용한 디지털 사전 왜곡기 구현 방식 1(f_{q,q_1} 에서 $q-q_1$ 값의 크기에 따른 구성)

Fig. 2. Digital predistorter based on the extended memory polynomial structure depending on $q-q_1$ values.

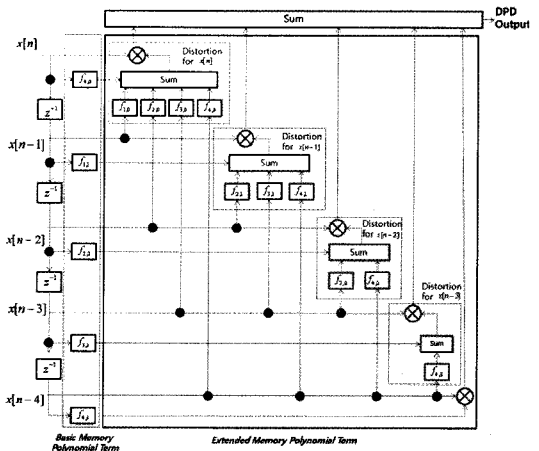


그림 3. 확장된 메모리 다항식 구조를 이용한 디지털 사전 왜곡기 구현 방식 2(f_{q,q_1} 에서 q_1 값에 따른 구성)

Fig. 3. Digital predistorter based on the extended memory polynomial structure depending on q_1 values.

따라 분류)에 따라 분류한 구조이다. 그림 2와 그림 3은 $Q=4$ 로 한 경우의 예시이며, Q 값의 변화에 따라 동일한 구성을 가지고 축소 및 확장될 수 있다.

그림 2, 그림 3에서 도시된 f_{q,q_1} 블록은 그림 4와

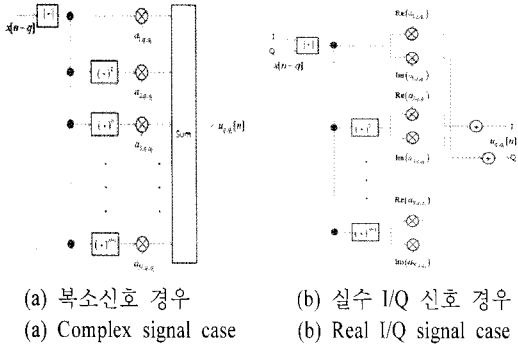


그림 4. f_{q,q_1} 의 구현 방식
Fig. 4. The structure of f_{q,q_1} .

같이 구성된다. 그림 4에서는 복소신호 처리의 경우와 실수의 I/Q 신호에 대한 구조를 각각 도시하였다. 그림 4에서 도시된 f_{q,q_1} 는 look-up table(LUT) 구조를 이용하여도 구현이 가능하다.

IV. 실험 및 검증

4-1 모델 오차 검증

제안된 확장된 메모리 다항식 모델의 정확도를 검증하기 위하여 WiBro 1 FA 하향 신호의 디지털 I/Q 신호를 DAC(Digital to Analog Converter) 및 상향 주파수 변환기를 거쳐서 전력 증폭기에 입력한 후 출력 신호를 하향 주파수 변환기와 ADC(Analog to Digital Converter)를 이용하여 측정하였다. 측정된 Wi-

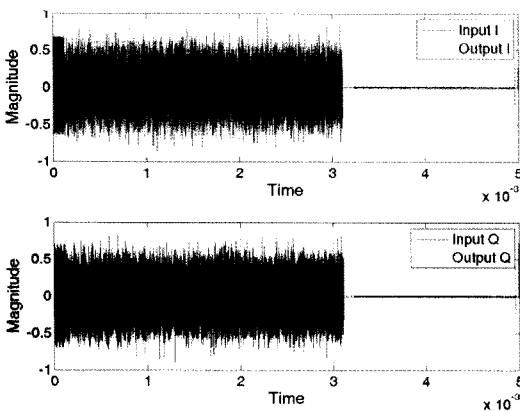


그림 5. WiBro 1 FA 신호에 대한 입출력 측정 I/Q 신호(GaN HEMT 전력 증폭기)
Fig. 5. Measured I/Q signal for WiBro 1 FA signal (GaN HEMT RF PAs).

Bro 신호의 중심 주파수는 2.335 GHz였다. 실험의 검증을 위하여 GaN HEMT 전력 소자를 사용한 10 W 급 Class AB 전력 증폭기와 LDMOS 전력 소자를 사용한 30 W급 Class AB 전력 증폭기가 사용되었다. 그림 5는 GaN HEMT 소자를 이용한 전력 증폭기의 측정된 입, 출력 I/Q 신호이다. 입력 신호는 입력 포락선 신호의 최대값으로 정규화되었으며, 출력 신호는 전력 증폭기의 선형 이득값으로 나누어 주었다. 5 msec 동안 100 Msample/sec의 샘플링 속도로 신호를 측정하였다.

그림 6에서 측정된 신호를 이용하여 AM/AM, AM/PM 특성을 도시하고 제안된 확장 메모리 다항식 모델을 이용하여 예측되는 출력값을 함께 도시하였다. 측정된 신호는 메모리 효과에 의하여 그림 6에서 도시된 바와 같이 AM/AM, AM/PM 특성 곡선이 퍼져서 분포하는 것을 확인할 수 있었다. 확장된 메모리 다항식 모델(그림 6에서는 $N=5, Q=3$ 인 경우)의 예측값은 측정된 AM/AM, AM/PM 값을 정확히 근사화 하는 것을 확인할 수 있다.

모델의 정확성을 검증하기 위하여 Q 값과 N 값을 변경하면서 측정값과 모델의 예측값 사이의 오차값을 비교하여 모델의 정확성을 검증하였다. 검증 결과, N 값의 변화에 비해 Q 값의 변화에 대해 모델의 정확도가 크게 향상되는 것을 확인할 수 있었다. 그림 7은 GaN 전력 증폭기와 LDMOS 전력 증폭기에 대하여 11차의 비선형식에 대하여 Q 값을 변경하면서 기본적인 메모리 다항식과 확장된 메모리 다항식의 오차의 RMS(Root Mean Square) 값을 출력값의 평균으로 나누어준 백분율로 도시하였다. 그림 7에서

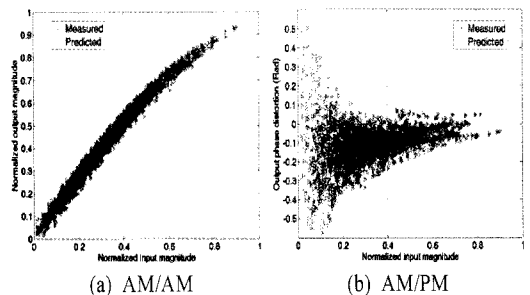


그림 6. AM/AM, AM/PM 측정값 및 확장 메모리 다항식 모델을 위한 예측값 비교($N=5, Q=3$)
Fig. 6. Comparison of measured and predicted AM/AM and AM/PM($N=5, Q=3$).

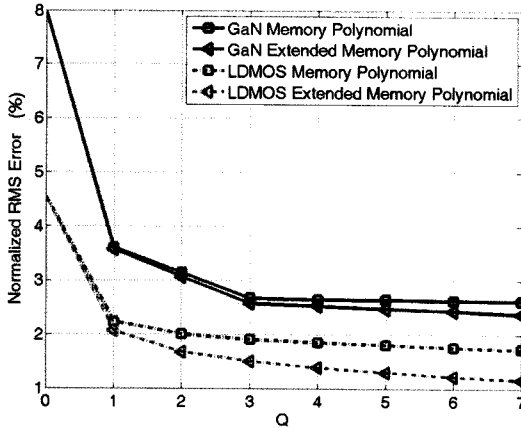
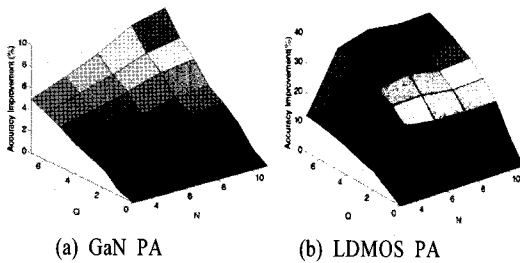


그림 7. 기본적인 메모리 다항식과 확장된 메모리 다항식의 모델의 정확도 비교 ($N=11$)

Fig. 7. Comparison of model accuracies between memory polynomial and the proposed extended memory polynomial ($N=11$).



(a) GaN PA

(b) LDMOS PA

그림 8. 메모리 다항식 모델에 대한 확장 메모리 다항식 모델의 정확도 향상

Fig. 8. Accuracy improvement for the proposed method compared to memory polynomial model.

$Q=0$ 인 경우는 메모리리스 모델의 경우를 나타낸다. $Q=1$ 만 고려하더라도 모델의 오차는 메모리리스의 경우에 비해 크게 줄어드는 것을 확인할 수 있다. 그림 7에서 확장된 메모리 다항식 모델은 GaN 전력 증폭기와 LDMOS 전력 증폭기 두 경우 모두 기본적인 메모리 다항식에 비해 모델 오차를 감소시키는 것을 확인할 수 있다. 그림 7에서 GaN 전력 증폭기의 측정 오차가 LDMOS 전력 증폭기에 비해 큰 이유는 모델링을 하기 위하여 데이터를 획득할 때 GaN 전력 증폭기의 경우 비선형 포화 영역의 출력값들을 LDMOS 전력 증폭기의 경우에 비해 더 많이 포함하였기 때문이다.

메모리 다항식과 제안된 확장 모델의 성능을 비

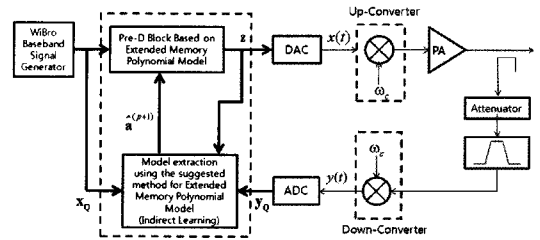


그림 9. 제안하는 모델에 기반한 WiBro 시스템에 대한 디지털 사전 왜곡기를 포함하는 송신기
Fig. 9. A transmitter with digital predistortion based on the proposed method.

교하기 위하여 N, Q 값을 변경하면서 메모리 다항식의 오차에 대비한 제안된 모델의 오차의 향상을 백분율로 그림 8에 도시하였다. $N=11, Q=7$ 인 모델에 대하여 GaN 전력 증폭기의 경우 10%, LDMOS PA의 경우 36%의 모델의 정확도 향상을 보여준다.

4-2 사전 왜곡기 적용시 ACPR 성능 비교

본 논문에서 제안된 확장된 메모리 다항식에 기반한 구조를 적용하여 디지털 사전 왜곡기를 구현하고, 그 성능을 확인한다. 간접 학습 방식을 사용한 디지털 사전 왜곡기를 구현하고 WiBro 신호에 대한 인접 채널 간섭비의 향상을 확인하기 위하여 그림 9와 같은 측정 환경을 구축하였다.

그림 9에서 사전 왜곡기부는 Matlab 프로그램을 이용하여 구성되었다. 사전왜곡된 디지털 I/Q 데이터는 Matlab에서 생성된 후, RF 신호생성기로 전송되어 DAC와 상향 주파수 변환기를 통해서 RF 신호로 변환된 후 RF 전력 증폭기에 인가되었다. RF 전력 증폭기의 출력 신호는 RF 신호 분석기에서 하향 주파수 변환 및 ADC를 거쳐서 I/Q 신호로 변환되어 측정되었다.

그림 10에서는 10 W급 GaN 소자를 이용하는 전력 증폭기에서의 출력 신호와 메모리 다항식 구조의 사전 왜곡기와 제안된 확장 메모리 다항식 구조의 사전 왜곡기를 적용하였을 경우의 측정된 출력 스펙트럼을 도시하였다. 이 경우 $Q=3, N=5$ 를 적용하여 주었다.

측대역인 비선형 3차 영역에서 인접 채널 전력은 기본 메모리 다항식의 경우 평균 7 dB 감소하였으며,

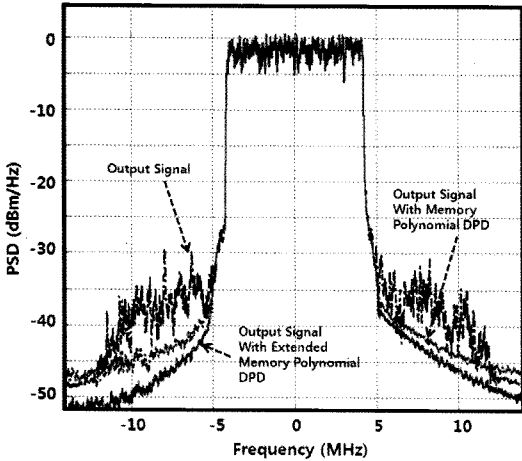


그림 10. 제안하는 방식을 이용한 디지털 사전 왜곡기 적용시의 WiBro 신호에 대한 출력 스펙트럼 특성(1 FA WiBro 신호)

Fig. 10. The output spectrum characteristics for a system with a digital predistortion based on the proposed method for a WiBro signal.

확장된 메모리 다항식의 경우 평균 10 dB 감소하였다. 제안하는 방식은 기본적인 메모리 다항식에 비해 평균 3 dB의 인접 채널 전력을 감소시키는 것을 확인하였다. 그림 10에서 결과와 같이 확장된 메모리 다항식을 디지털 사전 왜곡기 설계에 적용하여 기본적인 메모리 다항식 기법을 이용하는 것에 비해서 메모리 효과를 줄였으나, 일부 보상되지 못한 메모리 성분의 비대칭적인 스펙트럼 특성에 의하여 전력 증폭기의 출력 스펙트럼의 하위 측대역과 상위 측대역간에 2~3 dB의 비대칭적인 특성을 보인다.

V. 결 론

본 논문에서는 기존의 메모리 다항식 모델에 지연 시간이 다른 항들간의 교차항을 일부 포함하는 확장된 메모리 다항식 모델을 제안하였다. 또한, 제안한 모델의 볼테라 커널의 추출 방법 및 제안한 모델을 이용하는 디지털 사전 왜곡기의 구현 방안을 제시하였다. 제시한 모델은 비교적 간단한 구조를 가지고 메모리 효과를 가지는 광대역 송신 시스템에

대하여 모델의 예측 정확도를 향상시키고, 디지털 사전 왜곡기의 성능을 향상시킨다. 제안된 모델의 검증을 위하여 WiBro 신호를 이용하여 GaN 소자를 이용한 Class AB급 전력 증폭기와 LDMOS 소자를 이용한 Class AB급 전력 증폭기에 대하여 모델의 정확성 향상을 검증하였다. 또한, 디지털 사전 왜곡기 구현의 적용시의 선형화 성능 향상을 검증하였다.

참 고 문 헌

- [1] S. G. Glisic, *Advanced Wireless Communications, 4G Technologies*, Wiley, 2004.
- [2] P. B. Kenington, "Linearized transmitters: an enabling technology for software defined radio", *IEEE Comm. Magazine*, vol. 40, no. 2, pp. 156-162, Feb. 2002.
- [3] J. Kim, K. Konstantinou, "Digital predistortion of wideband signals based on power amplifier model with memory", *Electron. Lett.*, vol. 37, pp. 1417-1418, Nov. 2001.
- [4] L. Ding, G. T. Zhou, D. R. Morgan, Z. Ma, J. S. Kenney, J. Kim, and C. R. Giardina, "A robust digital baseband predistorter constructed using memory polynomial", *IEEE Trans. Commun.*, vol. 52, no. 1 pp. 159-165, Jan. 2004.
- [5] C. Eun, E. J. Powers, "A new Volterra predistorter based on the indirect learning architecture", *IEEE Trans. Signals Process.*, vol. 45, no. 1. pp. 223-227, Jan. 1997.
- [6] A. Zhu, "Behavioral modeling of RF power amplifiers based on pruned Volterra series", *IEEE Microw. Wireless Compon. Lett.*, vol. 14, pp. 563-565, Dec. 2004.
- [7] D. R. Morgan, Z. Ma, J. Kim, M. G. Zierdt, and J. Pastalan, "A generalized memory polynomial model for digital predistortion of RF power amplifiers", *IEEE Trans. Signals Process.*, vol. 54, no. 10. pp. 3852-3860, Oct. 2006.

이 영 섭



2007년 2월: 건국대학교 전자공학부 (공학사)
2007년 3월~현재: 건국대학교 전자정보통신공학과 석사과정
[주 관심분야] RF System, 고효율 전력 증폭기 설계

김 정 휘



1993년 2월: 경북대학교 전자공학과 (공학사)
1996년 2월: 경북대학교 전자공학과 (공학석사)
1993년 1월~1994년 2월: (주)현대 전자 연구원
1996년 2월~현재: (주)KT 인프라 연구소 책임연구원
[주 관심분야] 이동통신시스템, Cognitive Radio, RF 전력 증폭기

구 현 철

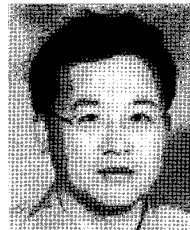


1995년 2월: 서울대학교 전기공학과 (공학사)
1997년 2월: 서울대학교 전기공학과 (공학석사)
2003년 12월: Dept. ECE, Georgia Institute of Technology, Atlanta, USA (공학박사)

1997년 2월~1999년 7월: KT 연구개발본부 전임연구원
2004년 1월~2005년 2월: 삼성전자 무선사업부 책임연구원

2005년 3월~현재: 건국대학교 전자공학부 조교수
[주 관심분야] RF 전력 증폭기, 중계기, 비선형 시스템 해석, Cognitive Radio, SDR

류 규 태



1991년 2월: 경북대학교 전자공학과 (공학사)
1993년 2월: 경북대학교 전자공학과 (공학석사)
1993년 3월~현재: (주)KT 인프라 연구소 수석연구원
[주 관심분야] RF 전력 증폭기, 중계기, MIMO 시스템, SDR