논문 2008-45SD-11-1

양자 현상을 고려한 나노미터 스케일 MuGFETs의 C-V 특성

(C-V Characteristics in Nanometer Scale MuGFETs with Considering Quantum Effects)

윤 세 레 나*, 유 종 근*, 박 종 태*

(Se Re Na Yun, Chong Gun Yu, and Jong Tae Park)

요 약

본 연구에서는 양자 현상을 고려한 나노미터 MuGFET의 C-V 특성을 분석하기 위하여 2차원 Poisson-Schrödinger 방정식을 self-consistent하게 풀 수 있는 시뮬레이터를 구현하였다. 소자 시뮬레이터를 이용하여 양자 현상으로 인한 소자크기와 게이트 구조에 따른 게이트-채널 커패시턴스 특성을 분석하였다. 소자의 크기가 감소할수록 단위 면적당 게이트-채널 커패시턴스는 증가하였다. 그리고 게이트 구조가 다른 소자에서는 게이트-채널 커패시턴스가 유효게이트 수가 증가할수록 감소하였다. 이런 결과를 실리콘 표면의 전자농도 분포와 인버전 커패시턴스로 설명하였다. 또한 인버전 커패시턴스로부터 소자의 크기 및 게이트 구조에 따른 inversion-layer centroid 길이도 계산하였다.

Abstract

In this work, a two dimensional, self-consistent Poisson-Schrödinger solver has been implemented to study C-V characteristics in nanometer scale MuGFETs with considering quantum effects. The quantum-mechanical effects on gate-channel capacitance for different device dimension and gate configurations of nanometer scale MuGFETs have been analyzed. It has been found that the gate-channel capacitance per unit gate area is increased as the device dimension decreases. For different gate configurations, the gate-channel capacitance is decreased with increase of effective gate number. Those results have been explained by the distribution profile of electron concentration in the silicon surface and inversion capacitance. The length of inversion-layer centroid has been calculated from inversion capacitance with device dimension and gate configurations.

Keywords: SOI MOSFET, MuGFET, gate-channel capacitance, nano scale CMOS

I. 서 론

Multiple-gate SOI MOSFET(MuGFET)는 구동 전류가 크고 단채널 현상을 줄일 수 있으며 표준 벌크 CMOS공정을 이용할 수 있기 때문에 나노 스케일 CMOS 소자로 가장 유력하다. MuGFET는 실리콘 박막의 면을 게이트 전극이 둘러싸고 있는 field effects transistor를 의미하며, double gate FinFET, tri-gate, pi-gate, omega-gate와 GAA 소자 등이 있다[1~5].

실리콘 박막의 두께(t_{si})가 비교적 큰 SOI 소자에서는 인버전 전자가 실리콘 표면에 위치하게 되나 t_{si}=10nm 이하에서는 양자 현상에 의해 박막의 두께가 얇을수록 전자가 실리콘 표면에서 약간 떨어진 곳에 위치하게 된다. 그리고 전도 밴드에 있는 전자의 최소에너지가 증가하게 되어 t_{si}가 작아질수록 문턱전압이 증가하게 된다[6]. 양자 현상을 고려한 나노미터 스케일 MuGFET의 문턱전압 증가 현상과 모델링, 전류-전압 특성, 소자설계가이드 라인, 회로설계를 위한 기초 연구는 많이 진행되었다[7~9]. 그리고 t_{si}가 작을수록 양자 현상에 의해 ultra-thin SOI 소자의 게이트-채널 커패시턴스(C_{gc})가 증가하는 현상을 측정을 통하여 입증하였고[10~11],

* 정회원, 인천대학교 전자공학과
(Department of Electronics Engineering, University of Incheon)

※ 본 연구는 2007년도 인천대학교 교내 연구비로 수행되었음.
접수일자: 2008년4월14일, 수정완료일: 2008년10월28일

double-gate SOI 소자에서 t_{si} 감소에 따른 C_{gc} 증가를 계산하기 위한 해석학적인 모델이 제시되었다[12]. 이 연구에서는 Schrödinger 방정식을 계산하여 전자의 파동함수를 구하지 않고, 해석학적으로 방정식을 계산하였다. 발표된 연구 결과에 의하면 t_{si}가 작을수록 단위 면적당 C_{gc}가 증가하는 이유는 인버전 커패시턴스의 증가 때문이며 이를 설명하기 위하여 인버전 전자가 실리콘 표면으로부터 떨어져 있는 평균거리를 정의하였다[11]. 또 인버전 전자 분포의 최대가 되는 inversion-layer centroid(Z_{eff})를 계산하기 위해 양자 현상을 고려하지 않고, Poisson 방정식만 사용한 해석적 모델링이 제시되었고 이것이 double-gate SOI 소자의 성능에 미치는 영향에 관한 연구도 발표되었다[13].

MuGFET 소자에서는 게이트 구조와 소자의 크기에 따라 실리콘 표면에서의 전자 파동함수가 다르게 되고 이로 인해 전자 분포 모양이 다르게 된다[14]. 전도대의 최소 에너지도 게이트 구조에 따라 다르게 되므로 문턱전압도 게이트 구조에 따라 다르게 되는 연구도 발표되었다[7]. C_{gc}는 상호 컨덕턴스의 크기와 비례 관계에 있기 때문에 나노미터 스케일 MuGFET에서 C_{gc}-V 특성은 소자의 특성 분석에 중요하다. 하지만 현재까지 양자 현상과 게이트 구조 및 소자의 크기를 동시에 고려한 MuGFET의 C_{gc}-V 특성에 관한 연구는 보고된 적이 없다.

본 연구에서는 양자 현상과 게이트 구조 및 소자의 크기를 동시에 고려한 MuGFET의 C_{gc}-V 특성을 분석하기 위하여 2차원 Poisson-Schrödinger 방정식을 self-consistent하게 풀 수 있는 시뮬레이터를 구현하였다. 소자 시뮬레이터를 이용하여 양자 현상으로 인한 소자 크기에 따른 C_{gc}-V 특성 현상을 분석하였다. 그리고 게이트 구조에 따른 C_{gc}-V 특성을 Z_{eff}와 인버전 전자 분포로 설명 하였다.

Ⅱ. 소자 시뮬레이션

본 연구에서는 양자 현상이 C_{gc}에 미치는 영향을 분석하기 위해 참고문헌[14]에서 발표된 소자 시뮬레이터를 수정 보완하여 새로운 시뮬레이터를 구현하였다. 2차원 시뮬레이터는 MATLAB과 Comsol Multiphysics을 사용하여 Poisson-Schrödinger 방정식을 2차원적으로 self-consistent하게 풀 수 있으며 전체 flow chart는 그림 1과 같다. 먼저 초기 조건으로 x, y 지점에서의 전자농도 n(x,y)를 "zero"로 설정하고 Poisson 방정식을

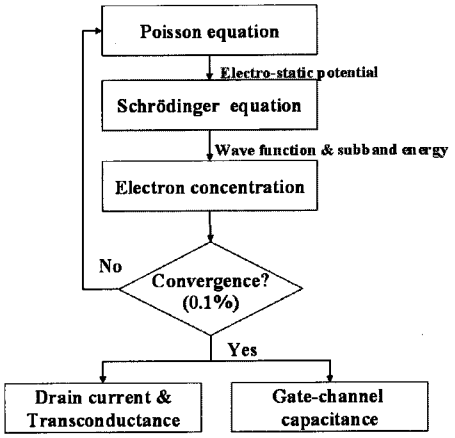


그림 1. Poisson-Schrödinger방정식의 self-consistent한 계산 과정

Fig. 1. Flow chart of the self-consistent solution of Schrödinger and Poisson equation.

풀어 전위 분포를 구한다. 그리고 구해진 전위를 이용하여 Schrödinger 방정식을 통해 2차원 파동방정식과 에너지 밴드를 계산한다. 이 결과를 이용하여 전도대 바닥 Ec에서 Ec+10KT 내에 존재하는 모든 전도대의 전자농도를 더하여 전체 전자농도 n(x,y)를 구한다. 인가된 전압에서의 최종 전자농도는 Newton-Rapson 알고리즘을 이용하여 전자농도의 변화가 0.1%보다 작을 때 까지 반복하여 구한다. 본 연구에서는 C_{gc}-V 특성을 분석하기 위하여 식 (1)과 같이 단위 체적당 전자농도를 적분하여 단위 면적당 평균 인버전 전하를 구하였다.

$$Q_{inv} = q\frac{L}{A_g}\iint n(x,y)dxdy \qquad (1)$$

여기서 A_g는 active 실리콘 박막의 단위면적으로 $t_{si}\times W_{si}$이다.

C_{gc}는 게이트 전압 변화에 따른 실리콘 박막의 전하량(Q_S)의 변화로 정의되므로 식 (1)을 이용하여 $C_{gc}=\frac{\Delta Q_S}{\Delta V_G}$를 계산할 수 있다. Q_S는 인버전 전하(Q_{inv})와 공핍층 전하(Q_{depl})의 합 즉 $Q_S=Q_{inv}+Q_{depl}$와 같이 쓸 수 있다. 그러나 실리콘 박막이 매우 얇을 때는 Q_{depl}는 Q_{inv}보다 매우 작으므로 무시 할 수 있어 $C_{gc}=\frac{\Delta Q_{inv}}{\Delta V_G}$와 같이 쓸 수 있다[15].

그리고 C_{gc}는 산화층 커패시턴스 (C_{ox}), 인버전 전하 커패시턴스 (C_{inv}), 공핍영역 커패시턴스(C_{depl})가 직렬로 연결된 것으로 표현할 수 있다[15].

$$C_{gc}=\left(\frac{1}{C_{ox}}+\frac{1}{C_{inv}}+\frac{1}{C_{depl}}\right)^{-1} \quad (2)$$

SOI 소자에서 t_{si}가 작으면 C_{depl}를 무시할 수 있기 때문에 식 (2)은 다음과 같이 쓸 수 있다.

$$C_{gc}=\left(\frac{1}{C_{ox}}+\frac{1}{C_{inv}}\right)^{-1} \quad (3)$$

시뮬레이터에서 C_{gc}를 계산하고 식 (3)을 이용하여 C_{inv}를 계산하고, 소자의 크기와 게이트 구조에 따른 Z_{eff}를 추출하였다.

Ⅲ. 시뮬레이션 결과

1. 소자 크기에 따른 C_{gc} 특성

그림 2는 게이트 구조가 다른 MuGFET의 단면도를 나타낸 것이다. 시뮬레이션에 사용된 게이트 구조는 FinFET, tri-gate, pi-gate, omega-gate와 GAA 소자이다. 시뮬레이션에서 t_{si}=2nm~10nm로 하였고 W_{si}=t_{si}로 하였다. 사용된 시뮬레이터가 2차원이므로 게이트 길이는 1um로 비교적 길게 하였다. 게이트 산화층 두께 T_{ox}=0.5nm이며 매몰 산화층 두께는 t_{si}의 2배로 하였다. 또한 게이트와 실리콘 사이의 일함수 차이는 -0.8V를 사용하였고, 기판은 접지시켰다.

그림 3은 소자의 크기가 t_{si}=W_{si}=2nm인 FinFET의 게이트 전압에 따른 단위 게이트 길이당 C_{gc}와 C_{inv}, C_{ox}를 나타낸 것이다. 여기에서 단위 길이당 C_{gc}와 C_{inv}, C_{ox}는 게이트 길이 1um로 나눈 커패시턴스를 의미한다. 그림으로부터 C_{ox}는 게이트 전압에 무관하게 상수 값(2.76pF/cm)을 갖는 반면에 C_{gc}와 C_{inv}는 V_{GS}에 따라 증가하는 것을 알 수 있다. 즉, C_{gc}는 weak inversion 영역에서는 C_{inv}에 의해 결정되어지고 strong inversion 영역에서는 C_{ox}에 의해 결정되어지는 것을 알 수 있다. 이는 참고문헌[16]에 보고된 결과와도 동일하다. 그림으로부터 C_{gc}가 상호 컨덕턴스의 크기와 비례 관계에 있으므로 C_{gc}를 크게 하기 위해서는 게이트 산화층 두께를 작게 하여 C_{ox}를 증가 시켜야 함을 알 수 있다.

그림 4는 소자의 크기가 t_{si}=2nm~10nm인 FinFET의 게이트 전압에 따른 단위 게이트 면적(A_g=2t_{si})당 C_{gc}를 나타낸 것으로 소자 크기가 작아질수록 단위 면적당 C_{gc}는 증가하는 것을 알 수 있다. 이런 결과는 참고 문헌[10-11]에서 연구한 ultra-thin SOI 소자의 측정 결과와 일치된 경향을 보이고 있다. t_{si}=2nm 소자가 비교적 큰 소자에 비해 C_{gc}가 게이트 전압 증가에 따라 빨리 증가하는 즉, 증가 기울기가 큰 것을 알 수 있다. 만일, C_{inv}을 고려하지 않았다면 면적당 C_{gc}는 C_{ox}와 거의 같을 것이다. 그러나 소자 크기 t_{si}=2nm에서 C_{gc}가 C_{ox}보다

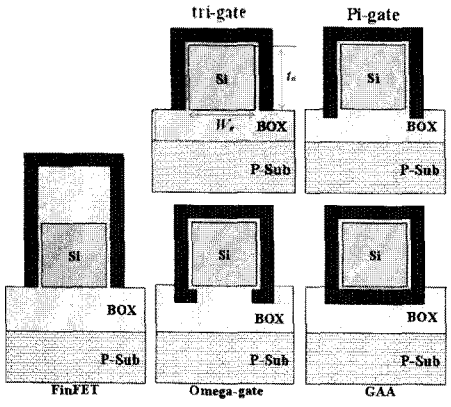


그림 2. MuGFET의 소자 구조
Fig. 2. Schematic device structures of MuGFETs.

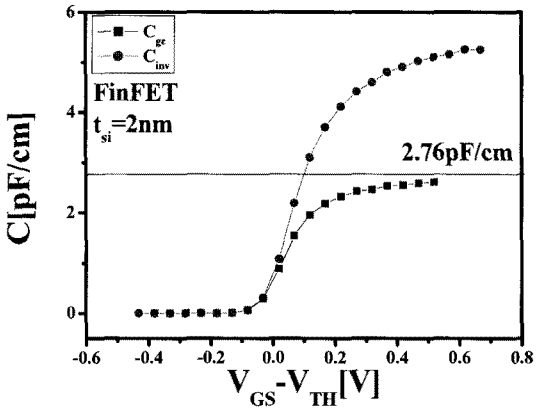


그림 3. FinFET의 단위길이당 C_{ox}, C_{inv} and C_{gc}
Fig. 3. C_{ox}, C_{inv} and C_{gc} per unit gate length in FinFET.

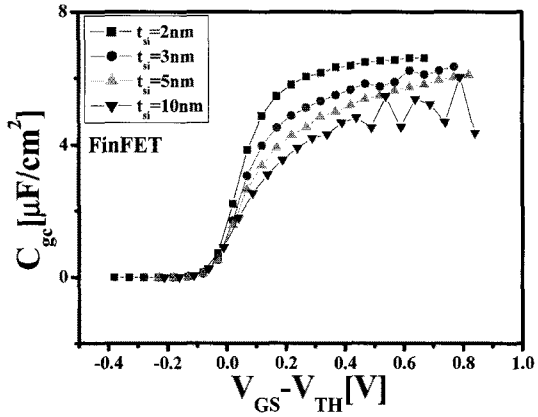


그림 4. FinFET소자의 단위 면적당 C_{gc}
Fig. 4. C_{gc} per unit area as a function of the gate voltage in FinFET.

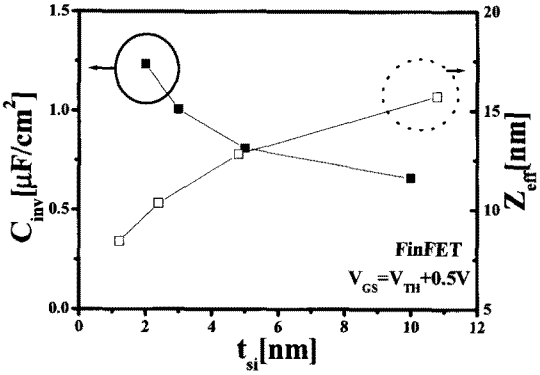


그림 5. FinFET소자의 크기에 따른 단위 면적당 C_{inv}과 Z_{eff}

Fig. 5. C_{inv} per unit area and Z_{eff} as a function of the device dimensions in FinFET.

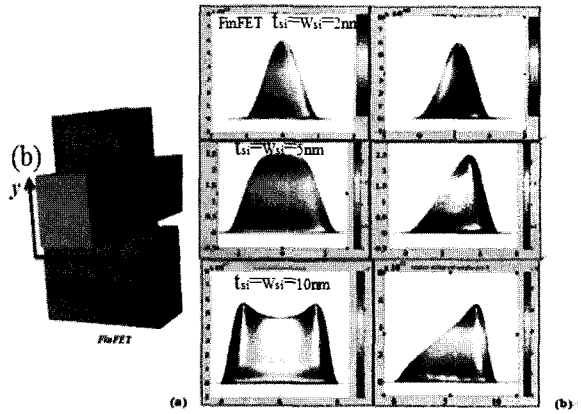


그림 6. FinFET소자의 인버전 전자농도 분포도 x방향(a), y방향(b) (V_G=V_{TH})

Fig. 6. Distribution profile of inversion electron concentration in the direction of W_{si} (a) and t_{si} (b).

더 작은 것은 C_{inv}에 의한 것이다. 소자의 크기에 따른 C_{gc} 의존성을 분석하기 위하여 식 (3)을 이용하여 C_{inv}를 계산하여 그림 5에 나타내었다. 그리고 나노미터 스케일에서는 양자 현상에 의하여 인버전 전자가 표면으로부터 떨어진 곳에 위치하게 되므로 서론에서 서술한 것과 같이 $C_{inv}=\frac{\epsilon_{si}}{Z_{eff}}$와 같이 표현 될 수 있다[10]. 그림 5에서는 소자크기에 따른 단위 면적당 C_{inv}와 Z_{eff} 변화를 나타내었다. 소자 크기가 작아질수록 C_{inv}이 증가하는 것과 Z_{eff}가 감소하는 것을 알 수 있다. 예를 들어 t_{si}=2nm 소자는 Z_{eff}=0.76nm 인 것을 알 수 있는데 이는 참고문헌[12]에서 계산한 0.7nm와 거의 일치하는 결과이다. 그리고 소자의 크기가 증가할수록 Z_{eff}가 증가하는 것은 참고문헌[13]의 결과와 일치한다. 나노미터 소자에서는 양자 현상에 의하여 전자분포가 실리콘 표면에서 약간 떨어진 위치에 분포하게 되지만 전자의 농도가 최대가 되는 지점도 실리콘 박막의 중앙에 위치하므로 t_{si}가 10nm 보다 작은 소자에서는 t_{si} 증가에 따라 Z_{eff}가 증가하는 것으로 사료된다. 또 t_{si} 증가에 따라 Z_{eff}가 증가하는 현상을 설명하기 위하여 그림 6에서는 FinFET 소자의 크기와 실리콘 필름의 단면 방향(W_{si} 방향(a)과 t_{si} 방향(b))에 따른 인버전 전자의 분포를 나타내었다. W_{si}방향의 전자분포로부터 t_{si}가 10nm보다 더 작아지면 FinFET의 두 표면에서의 전자 파동함수가 많이 중복되어 전자 농도의 최대가 실리콘 필름 영역의 중간에 위치하게 된다. 소자 크기가 감소할수록 전자 농도의 최대는 증가하게 된다. 그리고 t_{si} 증가할수록 t_{si} 방향의 전자 분포가 비대칭인 것은 FinFET구조가 비대칭구조이기 때문이다. 소자 크기가 커질수록 분포도는 좀 더 비대칭이 된다. 이 결과로부터 t_{si} 증가에 따라 Z_{eff}가 증가하는 것은 소자의 크기가 증가할수록 t_{si} 방향의 전자 분포가 타원형이 되는 데서 기인된 것으로 사료 되어진다.

2. 게이트 구조에 따른 C_{gc} 특성

소자 시뮬레이션에서 Schrödinger 방정식을 계산할 때 소자의 게이트 구조에 따라 실리콘 표면에서 전자 파동함수가 다르게 되고 이로 인하여 전자분포는 게이트 구조에 따라 다르게 된다. 그림 7은 게이트 구조가 다른 MuGFET의 단위 게이트 면적당 C_{gc}를 나타낸 것이다. tri-gate, pi-gate, omega-gate는 게이트 면적을 $2t_{si}$+W_{si}로, GAA는 $2(t_{si}$+$W_{si})$로 정의 하였다. 그림으로부터 단위 면적당 C_{gc}는 FinFET 소자가 가장 크고 GAA 소자가 가장 작은 것을 알 수 있다. 단위 면적당

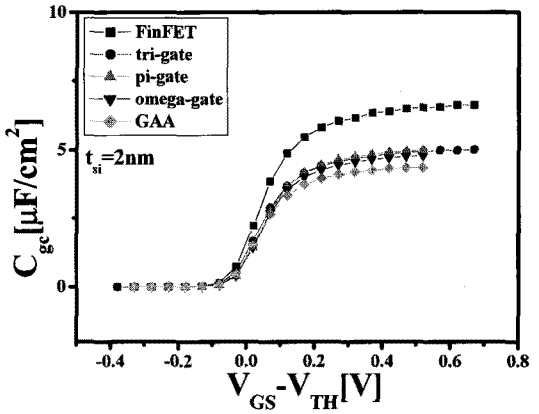


그림 7. 게이트 구조가 다른 MuGFET의 단위 면적당 C_{gc}

Fig. 7. C_{gc} per unit area as a function of the gate voltage for different gate configurations.

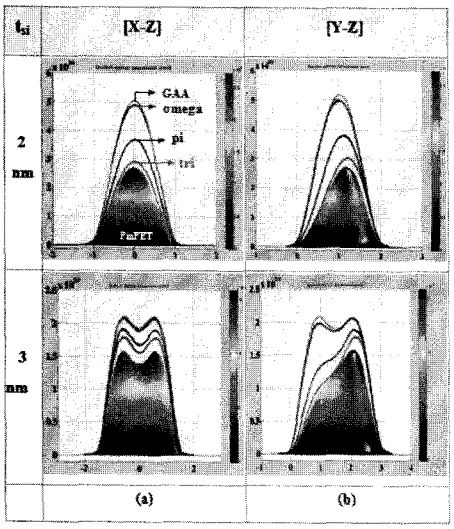


그림 8. 게이트 구조가 다른 MuGFET의 인버전 전자 농도분포도 (W_{si} 방향(a), t_{si} 방향(b))

Fig. 8. Distribution profile of inversion electron concentration with different gate configuration in the direction of W_{si} (a) and t_{si} (b)

C_{gc}가 아닌 전체 C_{gc}를 계산하면 FinFET 소자가 가장 작고 GAA 소자가 가장 크게 된다. 그림 8에는 유효게이트 수의 증가에 따른 단위 면적당 C_{gc} 감소를 설명하기 위하여 게이트 구조가 서로 다른 MuGFET의 인버전 전자분포를 비교하였다. 그림으로부터 t_{si}=2nm인 소자인 경우 전자 농도의 최대가 실리콘 박막의 중앙에 위치하고, 유효게이트 수가 증가할수록 최대 전자농도가 증가하는 것을 알 수 있다. 소자의 크기가 같은 경우, 전체 인버전 전자 양은 유효게이트 수가 증가할수록 많은 것을 알 수 있다. 그러나 GAA 소자는 FinFET 보다 게이트 면적이 2배로 크므로 단위 면적당 C_{gc}는 유효게이트 수의 증가에 따라 감소하게 된다. 그림 9는 소자 크기와 게이트 구조에 따른 MuGFET의 단위 면적당 C_{inv}을 나타낸 것이다. 그림으로부터 모든 게이트 구조에서의 단위 면적당 C_{inv}은 t_{si}가 감소함에 따라서 증가하며 유효게이트 수가 증가할수록 감소하는 것을 알 수 있다. 이를 설명하기 위해 단위 면적당 C_{gc}와 유효게이트 수에 관계를 그림 10에 나타내었다. 그림으로부터 기울기가 약 0.445인 것은 유효게이트 수가 증가하는 만큼 단위면적당 C_{gc}는 증가하지 않는다는 것을 의미한다. 즉 유효게이트 수에 비례하여 인버전 전자의 양이 많아 지지 않는 다는 것을 의미한다. 이것은 유효게이트 수가 증가할수록 실리콘 표면 전위에 따라 코너 영역에서 인버전 전자가 비례적으로 증가하지 않는다는 것을 의미한다. 따라서 유효 게이트 수의 증가할수록

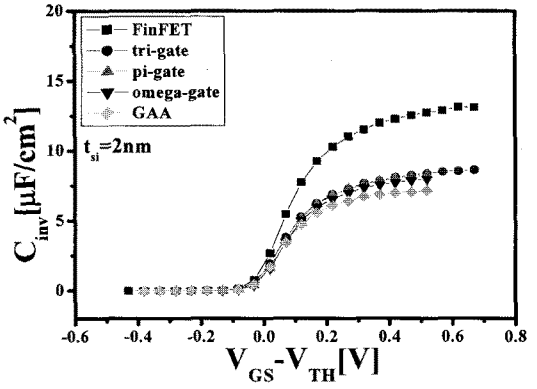


그림 9. 게이트 구조가 다른 MuGFET의 단위 면적당 C_{inv}

Fig. 9. C_{inv} per unit area as a function of the gate voltages for different gate configurations.

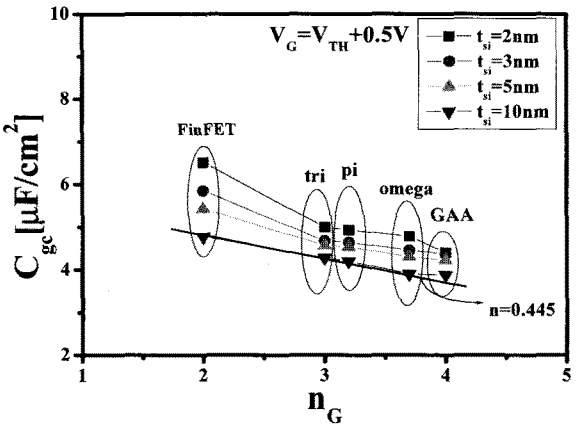


그림 10. 유효게이트 수에 따른 단위 면적당 C_{gc}

Fig. 10. C_{gc} as a function of the effective gate number.

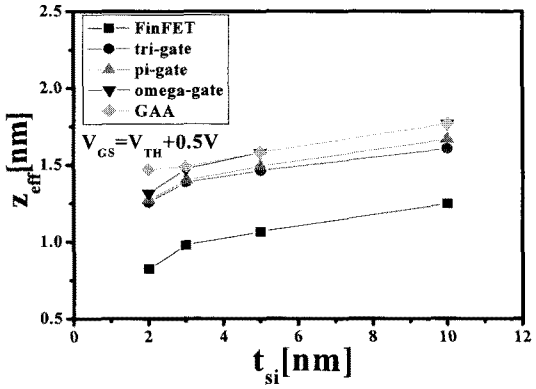


그림 11. 소자 크기에 따른 게이트 구조가 다른 MuGFET의 Z_{eff}

Fig. 11. Z_{eff} as a function of the device dimensions for different gate configurations.

charge sharing effect에 의해 인가된 게이트 전압에 따른 실제 인버전 전자의 양은 상대적으로 작아져서 C_{inv}

이 감소하게 된다.

그림 11은 소자 크기와 게이트 구조에 따른 MuGFET의 Z_{eff}를 계산하여 나타낸 것이다. 그림으로부터 모든 게이트 구조에 대해 소자 크기가 작아짐에 따라 Z_{eff}가 감소하는 것을 알 수 있다. 그리고 유효게이트 수가 증가할수록 Z_{eff}가 큰 것을 알 수 있다. 이것은 유효게이트 수가 증가함에 따라 volume inversion이 더 많이 일어나는 것을 의미한다.

Ⅳ. 결 론

양자 현상에 의한 나노 스케일 MuGFET의 게이트-채널 커패시턴스 특성을 소자의 크기 및 게이트 구조에 따라 분석하기 위하여 2차원 Poisson-Schrodinger 방정식을 self-consistent하게 풀 수 있는 프로그램을 구현하였다. 시뮬레이션 결과 소자 크기가 감소함에 따라 단위 면적당 C_{gc}는 증가 하였고 유효게이트 수가 증가함에 따라 단위 면적당 C_{gc}는 감소하였다. 이를 인버전 커패시턴스와 전자농도 분포를 분석하여 그 이유를 설명하였다. 그리고 소자 크기 및 게이트 구조에 따른 inversion-layer centroid 길이는 소자의 크기가 클수록 유효게이트 수가 많을수록 증가하였다.

참 고 문 헌

[1] X. Huang, W.C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.K. Choi, K. Asano, V. Subramanian, T.J. King, J. Bokor, and C. Hu, "Sub 50nm FinFET: PMOS," Technical Digest of IEDM, pp. 67-70, 1999.

[2] B.S. Doyle, S. Datta, M. Doczy, S. Hareland, B Jin, J. Kavalieros, T. Linton, A. Murthy, R. Rios, and R. Chau, "High performance fully-depleted tri-gate CMOS transistors," IEEE Electron Device Letters, vol. 24, no. 4, pp. 263-265, 2003.

[3] J.T. Park, J.P. Colinge, and C.H. Diaz, "Pi-gate SOI MOSFETs," IEEE Electron Device Letters, vol. 22, no. 4, pp. 405-406, 2001.

[4] Yang, F.L. et al., "25 nm CMOS Omega FETs," Technical Digest of IEDM, pp. 255-258, 2002.

[5] J.P. Colinge, M.H. Gao, A.R. Rodriguez, H. Maes, and C. Claeys, "Silicon-on-insulator gate-all-around device," Technical Digest of IEDM, pp. 595-598, 1990.

[6] Y. Omura, S. Horiguchi, M. tabe, and K. Kishi, "Quantum-mechanical effects on the threshold voltage of ultrathin-SOI nMOSFETs," IEEE Electron Dev. Letters, vol. 14, no. 12, pp. 569-571, 1993.

[7] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, T. Ernst, B. previtali, and S. Deleonibus, "Mutiple gate device: advantage and challenges," micrelectronic engineering, vol.80, pp. 378-385, 2005.

[8] B.K. Ip, and J.R. brews, "Quantum effects upon drain current in a biased MOSFET," IEEE Trans. Electron Devices, vol. 45, no. 10, pp. 2213-2221, 1998.

[9] C. Pacha, K. von Arnim et. al., "Circuit design issues in muti-gate FET CMOS technologies," ISSCC digest of Techn., pp. 420-421, 2006.

[10] Shin-ichi. Takagi, Junji Koga and Akira Toriumi, "Subband structure engineering for performance enhancement of Si MOSFETs," Technical Digest of IEDM, pp. 219-222, 1997.

[11] Ken Uchida, Junji Koga, Ryuji Ohba, Toshinori Numata, and Shin-ichi Takagi, "Experimental evidence of quantum-mechanical effects on low-field mobility, gate-channel capacitance, and threshold voltage of ultra-thin body SOI MOSFETs," Technical Digest of IEDM, pp. 633-636, 2001.

[12] Lixin Ge, Francisco Gamiz, Glenn O. Workman, and Surya Veeraraghavan, "On the gate capacitance limits of nanoscale DG and FD SOI MOSFETs," IEEE Trans. Electron Devices, vol. 53, no. 4, pp.753-758, 2006.

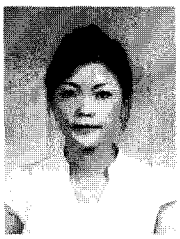
[13] J.A. Lopez-Villanueva, P. C. Cassinello, F. Gamiz, and A. J. Palma, "Effects of the inversion-layer centroid on the performance of double-gate MOSFETs", IEEE Trans. Electron Devices, vol. 47, no. 1, pp. 141-146, 2000.

[14] J.P. Colinge, J.C. Alderman, W. Xiong, and C.R. Cleavelin, "Quantum-mechanical effects in Trigate SOI MOSFETs," IEEE Trans. Electron Devices, vol. 53, no. 5, pp. 1131-1136, 2006.

[15] D. Vasileska, D.K. Schroder, and D.K. Ferry, "Scaled silicon MOSFET's: degrdation of the total gate capacitance", IEEE Trans. Electron Devices, vol. 44, no. 4, pp. 584-587, 1997.

[16] A. Marchi, E. Gnani, S. Reggiani, M. Rudan and G. Baccarani, "Investigating the performance limits of silicon-nanowire and carbon-nanotube FETs," Solid State electronics, vol. 50, pp. 78-85, 2006.

저 자 소 개



윤 세레나(정회원)
1998년 인천대학교 전자공학과 학사 졸업
2000년 인천대학교 전자교육학과 석사 졸업
2008년 인천대학교 전자공학과 박사 졸업
<주 관심분야: SOI MOSFET, 나노소자>

박 종 태(정회원)
대한전자공학회 논문지 제40권 SD편 제10호 참조

유 종 근(정회원)
대한전자공학회 논문지 제40권 SD편 제10호 참조