

논문 2008-45SD-11-3

1.8V 12-bit 10MSPS Folding/Interpolation CMOS Analog-to-Digital Converter의 설계

(Design of an 1.8V 12-bit 10MSPS Folding/Interpolation CMOS
Analog-to-Digital Converter)

손 찬*, 김 병 일**, 황 상 훈***, 송 민 규****

(Chan Son, Byung-Il Kim, Sang-Hoon Hwang, and Min-Kyu Song)

요 약

본 논문에서는 1.8V 12-bit 10MSPS CMOS A/D 변환기 (ADC) 를 제안한다. 제안하는 ADC 는 12-bit 의 고해상도를 구현 하기 위해 even folding 기법을 이용한 folding/interpolation 구조로 설계하였다. ADC 의 전체 구조는 2단으로 구성된 folding/interpolation 구조로써, 각각의 folding rate (FR) 은 8을 적용하였고, interpolation rate (IR) 은 1st stage 에서 8, 2nd stage 에서 16을 적용하여 설계함으로써 고해상도를 만족시키기 위한 최적의 구조를 제안하였다. 또한 SNR 을 향상시키기 위하여 folding/interpolation 구조 자체를 cascaded 형태로 설계하였으며, distributed track and hold 를 사용하였다. 제안하는 ADC 는 0.18 μ m 1-poly 4-metal n-well CMOS 공정을 사용하여 제작되었다. 시제품 ADC 는 측정결과 10MSPS 의 변환속도 에서 약 46dB 의 SNDR 성능특성을 보이며, 유효 칩 면적은 2000 μ m \times 1100 μ m 의 면적을 갖는다.

Abstract

In this paper, an 1.8V 12-bit 10MSPS CMOS A/D converter (ADC) is described. The architecture of the proposed ADC is based on a folding and interpolation using an even folding technique. For the purpose of improving SNR, cascaded-folding cascaded-interpolation technique, distributed track and hold are adapted. Further, a digital encoder algorithm is proposed for efficient digital process. The chip has been fabricated with 0.18 μ m 1-poly 4-metal n-well CMOS technology. The effective chip area is 2000 μ m \times 1100 μ m and it consumes about 250mW at 1.8V power supply. The measured SNDR is about 46dB at 10MHz sampling frequency.

Keywords : ADC, folding/interpolation, even folding, auto switching encoder, high-resolution

I. 서 론

이동 통신용 단말기, 캠코더, 멀티미디어기기 등과 같은 휴대용 장비의 이용은 급속한 증가 추세에 있으며,

그 응용 범위 또한 확대되고 있다. 이러한 장비들은 적은 전력소모와 소형화, 또한 빠른 변환속도를 우선적으로 요구하고 있기 때문에 SoC (System on a Chip)의 one-chip 으로 구현되어가고 있다. SoC 의 구현을 위해서는 아날로그-디지털 인터페이스의 기술이 중요하며, 그중에서 고속, 저 전력과 높은 해상도를 갖는 ADC 는 광범위한 응용 분야를 갖는다. 의료장비 및 프로세스 제어, 레이더, 디지털 샘플링 오실로스코프 등과 같은 응용 분야는 높은 해상도와 높은 변환 속도를 갖는 ADC의 주요사용 예이다. ADC 의 종류로는 flash ADC, two-step ADC, subranging ADC, folding/interpolation ADC, pipeline ADC 등이 있다. 기존에는 BJT 공정이나 BiCMOS 공정을 사용하여 고속 ADC

* 정회원, 페어차일드코리아
(Fairchild Semiconductor)

** 학생회원, **** 정회원, 동국대학교 반도체과학과
(Dept. of Semiconductor Science, Dongguk Univ.)

***정회원, 삼성전기
(Samsung Electro-Mechanics)

※ 본 논문은 반도체설계교육센터 (IDEC) 및 정보통신부 출연금으로 ETRI, SoC 산업진흥 센터에서 수행한 IT-SoC 핵심설계인력양성사업의 연구결과임.
접수일자: 2007년8월13일, 수정완료일: 2008년10월28일

가 주로 설계되었다. 그러나 3V 이상의 전원 전압의 사용과 많은 전력 소모로 인해 저 전압, 저 전력 소모가 요구되는 장비에는 적합하지 않았다. 또한 이러한 ADC는 아날로그 시스템과 디지털 시스템이 하나의 블록으로 구성된 혼성모드 회로설계에 있어 CMOS 공정을 사용하는 DSP와 함께 one-chip 할 수 없다는 단점도 갖고 있다. 특히 기존 full-flash 방식은 고속 동작을 위해 널리 사용되고 있으나 많은 비교기의 수에 의한 큰 칩 면적과 많은 전력 소모를 가지는 단점을 가지고 있다^[1]. 이러한 단점을 극복하기 위해 최근 folding 및 interpolation 기법을 이용한 ADC가 활발히 연구되고 있다^[1~5].

Interpolation 기법의 장점은 full-flash ADC와 비교하여 preamplifier의 수를 감소시키는데 있다. 그러나 비교기의 수는 여전히 flash 구조 ADC의 수와 같다. 그러므로 비교기의 수를 감소시키기 위하여 folding 기법을 같이 적용하여 preamplifier 및 비교기의 수를 감소시켜 전력소모 및 면적을 줄이는 효과를 기대할 수 있다. 또한 folding과 interpolation 블록을 완전 차동 구조로 설계하고, 오프셋 보상이 필요 없는 래치를 사용함으로써 고속 동작이 가능한 ADC를 설계할 수 있다. 그러므로 folding 구조에 interpolation 기법을 결합한 구조가 고속, 저 전력 응용에 가장 적합한 ADC 구조로 제안된 바 있다.

본 논문은 고해상도와 적은 면적 A/D 변환기에 대한 새로운 기술에 대한 연구이다. 특히 본 연구에서는 full-flash 방식의 고속 동작을 유지하면서 작은 칩 면적 특성을 갖는 folding 및 interpolation 기법을 이용한 ADC를 설계한다. 이를 위하여, 다음과 같은 기법을 적용하였다. 12-bit의 분해능을 얻기 위해 총 2단으로 구성된 folding/interpolation 구조를 이용하였고, 각각의 FR은 8을 적용하였으며, IR은 1st 단에서 8, 2nd 단에서 16을 적용하여 설계하였다. 따라서 12-bit를 모두 flash 구조로 설계했을 때 요구되는 4095개의 비교기 수를 총 79개로 줄여 면적과 전력 소모에서 많은 이득을 얻을 수 있다. 또한 기본구조는 고속 동작에 적합한 flash 구조를 사용함으로써 높은 변환속도 특성을 유지할 수 있다. 특히 전류에 의해 구동되는 interpolation 기법을 사용하여 저항열에 의한 interpolation 기법의 단점인 비 선형성을 개선하였다. 더불어 고속 동작의 문제점들을 해결하기 위하여 dynamic 래치, 새로운 알고리즘의 encoder를 제안하였으며, 입력 신호에 대한 overflow/underflow 문제를 해결하기 위한 회로와 상위

블록과 중위블록, 하위블록의 지연시간을 보정하는 회로를 설계하여 적용하였다.

본 논문의 내용을 정리하면 다음과 같다. II장에서는 제안하는 ADC의 구조와 세부적인 회로설계 내용, 그리고 각 블록에 대해 기술하였다. III장에서는 전체 구조에 대한 여러 가지 모의실험 결과를 통해 성능을 평가하였으며, IV장에서는 레이아웃 및 측정결과에 대해서 기술하였다. 마지막으로 V장에서는 제안하는 ADC에 대한 전체적인 내용을 요약 표를 통해 정리하였다.

II. 제안하는 ADC의 설계

1. Folding/Interpolation ADC의 구조

Folding 구조의 ADC에서 가장 중요한 점은 FR과 IR의 설정이다. 낮은 FR은 많은 비교기를 요구하며, 높은 FR은 많은 기준 전압들을 필요로 한다. 그러므로 ADC가 몇 bits의 해상도를 가졌느냐에 따라 최적의 FR을 결정할 수 있다. 본 연구에서 제안하는 12-bit 80MSPS ADC는 그림 1과 같이 상위-3bit, 중위-3bit, 하위-6bit으로 구성된다.^[5] 총 2단으로 구성된 folding/interpolation 구조를 갖는 제안하는 ADC는 각각의 FR 8을 적용하였고, IR은 1st 단에서 8, 2nd 단에서 16을 적용하였으며, 상위 3-bit, 중간 3-bit, 하위 6-bit으로 구성되어 있다. 이를 위한 기준 전압은 총 32개가 필요하며, preamplifier array의 출력은 상위 3-bit, 첫 번째 folding 블록의 출력은 중간 3-bit, 두 번째 folding 블록의 출력은 최종적으로 하위 6-bit을 결정한다. Folding과 interpolation 신호처리를 거쳐 비교기에서 나오는 64개의 thermometer code는 제안된 encoder에 의해 하위 6-bit과 지연 시간 보정을 위한 1-bit이 출력되고, 이와 동시에 상위 ADC, 중위 ADC에 의하여 각각의 3-bit binary code를 생성한다. 이때 하위 1-bit을 이용하여 상위와 중위, 그리고 하위의 지연시간을 보정하여 지연시간에 의한 오류 code를 제거한다. 그림 1에 본 논문에서 제안하는 전체 ADC의 구조를 블록다이어그램으로 나타내었다.

2. 구조 결정

표 1에 12-bit ADC를 구현하기 위해 사용되는 preamplifier와 비교기의 개수를 folding/interpolation, full-flash 구조별로 정리하였다. 표 1과 같이 12-bit의 folding/interpolation 구조는 preamplifier와 비교기의 개수가 full-flash 구조에 비해 현격히 감소하여 면적과

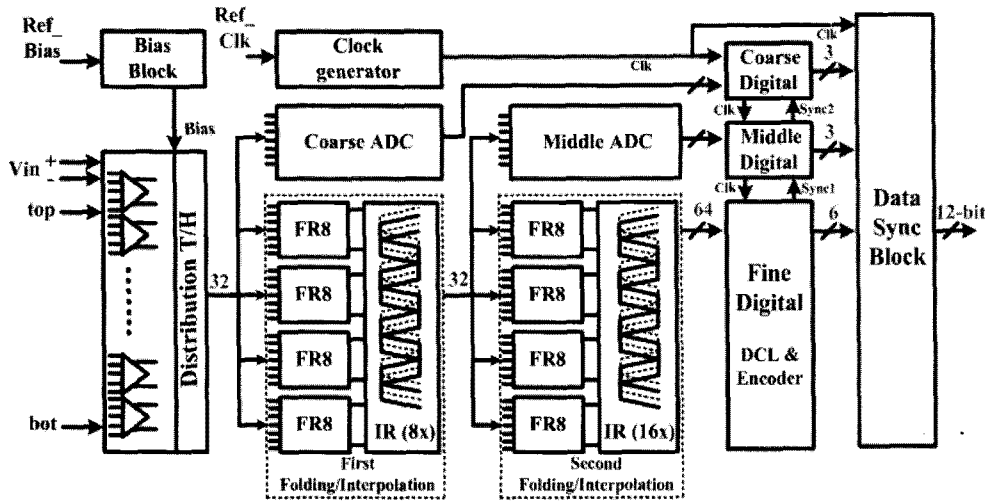


그림 1. Folding/Interpolation A/D 변환기의 전체 블록도
 Fig. 1. Full block diagram of the folding/interpolation ADC.

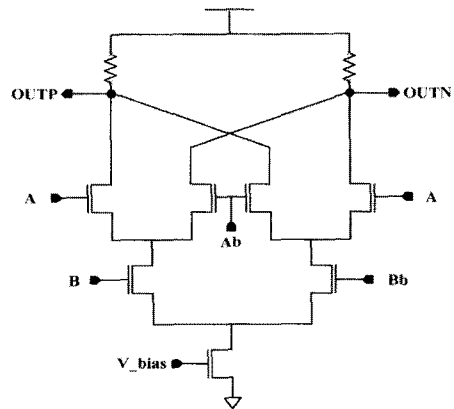
표 1. 12-bit 해상도 ADC 의 구조
 Table 1. Structure of 12-bit resolution ADC.

Structure	1st FR	1st NFB	1st IR	2nd FR	2nd NFB	2nd IR	No. of preamp	No. of Latch
Full-flash	4095	4095
4+8	16	4	64	.	.	.	64	271
6+6	64	4	16	.	.	.	256	127
3+3+6	8	4	8	8	4	16	32	79

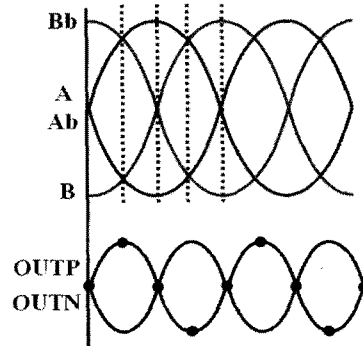
전력소모가 줄어들지만, 상위를 4-bit 이상으로 가져가는 경우 folding으로 신호를 접기가 불가능하다. 그러므로 상위 ADC 해상도를 4-bit 이하로 가져가야 하는데, 그럴 경우 하위 ADC의 해상도가 8-bit 이상이 되므로 NFB (Number of Folding Block)와 IR이 커져 최종 ADC 출력의 선형성이 저하된다. 또한 folding ADC에서 기대할 수 있는 전력소모와 면적에 대해 장점을 기대하기 어렵다. 이에 본 연구에서는 12-bit 해상도를 구현하기에 가장 적합한 3+3+6 구조를 채택하여 전력소모 및 ADC 면적을 최소화 하여 설계하였다.

3. Even Folding 회로^[2]

제안하는 12-bit ADC는 기존 folding/interpolation 구조에서 한 번 더 folding 및 interpolation 신호처리를 수행하는 구조로써 각각 상위 3-bit, 중위 3-bit, 하위 6-bit의 binary code를 출력한다. 이때 1st folding 블록에서는 preprocessing 블록에서 4개의 기준 전압을 추



(a)



(b)

그림 2. (a) Even folding 회로도
 (b) Even folding 출력파형 (FR=2)
 Fig. 2. (a) Even folding circuit.
 (b) Even folding outputs. (FR=2)

가 뽑아서 folding 신호처리를 수행할 수 있지만, 2nd folding 블록은 1st folding/interpolation 블록의 출력이 32개의 차동 신호이므로 짝수개의 신호로 folding 신호

처리를 해야 한다.

본 논문에서는 짝수개의 신호로 folding 신호처리를 수행하기 위해 even folding 회로를 사용하였다. 그림 2.(a) 는 본 논문에 적용된 even folding 회로의 구조이다. 이 회로의 특징은 두 개의 입력신호 A 와 B 신호의 위상차가 90° 를 이룰 때 그림 2.(b)에서의 그림과 같이 기존 FR 2의 folding 출력과 같은 결과를 보인다. 특히 그림 3.(a)와 같이 even folding 회로를 cascade 형태로 3개를 연결하면 최종 FR 8인 출력을 기대할 수 있다. 그림 3.(b)에 cascade even folding 출력을 도식화하여

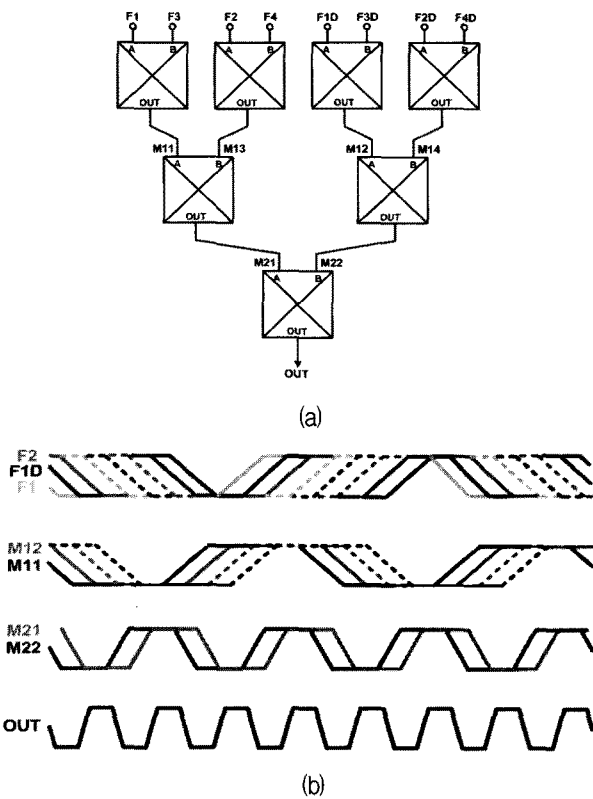


그림 3. (a) Cascade even folding 블록 다이어그램
(b) Cascade even folding 출력 (FR=8)
Fig. 3. (a) Cascade even folding block diagram.
(b) Cascade even folding outputs. (FR=8)

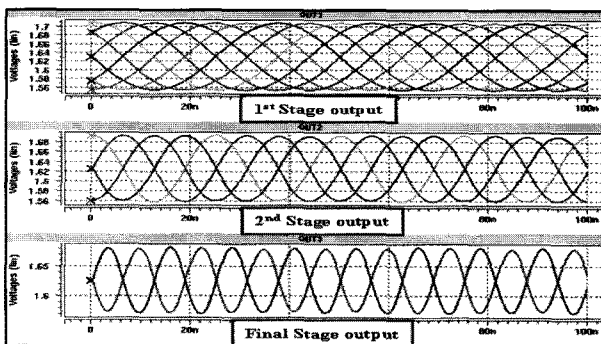


그림 4. Cascade even folding 블록 모의실험 결과
Fig. 4. Cascade even folding block simulation results.

나타내었으며, 그림 4는 설계된 ADC에 51.2usec의 ramp 파형 입력을 인가하여 확인한 모의실험 결과이다.

4. 제안하는 Auto Switching 인코더의 설계

제안하는 auto switching 인코더의 알고리즘을 그림 5에 나타내었다. Folding 출력은 이상적인 경우 톱니파 형태를 가져야 하지만, 이를 회로로 구현하기에는 불가능하므로 일반적으로 folding 출력은 정현파 형태로 구현한다. 그러므로 folding 출력 정현파의 $2\pi N + \pi$ 에서 $2\pi N + 2\pi$ ($N=0,1,2,3,\dots$)까지의 구간에서는 반드시 reverse-coding 이 필요하다. 이를 위한 일반적인 디지털 블록은 62개의 비교기 출력 (outp=31개, outn=31개) 이 스위치 블록으로 인가되면, 선택 신호 (sync select signal) 가 reverse-coding 을 위한 선택신호로 사용되며 동시에 지연시간 보상을 위한 LSB 로 출력된다. 그러나 제안하는 ADC에 적용한 auto switching encoder는 reverse-coding 과정 없이 reverse-thermometer code 를 그대로 받아 encoding 을 수행한다. 특히 부가적인 스위칭 블록을 제거할 수 있어 고속 동작, 저 전력 소모 특성을 갖는다.

그림 6에 제안하는 encoding logic을 나타내었다. encoder 는 앞단의 DCL (Digital error correction logic) 로부터 인가되는 스위칭 되지 않은 thermometer 신호

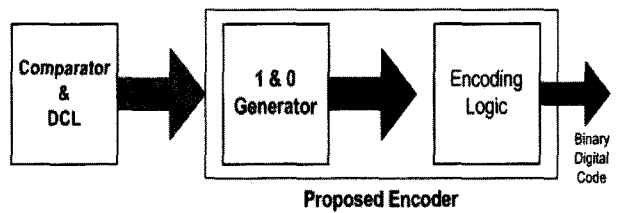


그림 5. 제안하는 auto switching 인코더의 알고리즘
Fig. 5. The proposed auto switching encoder algorithm.

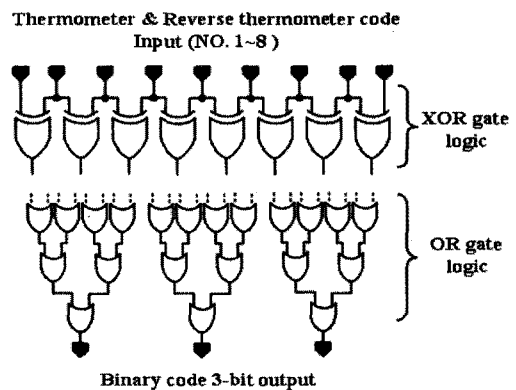


그림 6. 제안하는 auto switching 인코딩 로직
Fig. 6. The proposed auto switching encoding logic.

Thermometer code (MSB)	Encoder	Thermometer code	Encoder	Thermometer code (LSB)	Encoder
0000	000	0000	000	0000	000
0001	001	0001	001	0001	001
0010	010	0010	010	0010	010
0011	011	0011	011	0011	011
0100	100	0100	100	0100	100
0101	101	0101	101	0101	101
0110	110	0110	110	0110	110
0111	111	0111	111	0111	111

그림 7. 3-bit 인코더의 알고리즘

Fig. 7. 3-bit Encoder algorithm.

를 1&0 생성기의 XOR gate 에 인가하고, 두 입력이 서로 다른 부분의 XOR 는 “1” 로 출력하고 나머지 두 입력이 같은 부분의 XOR는 “0” 으로 출력한다. 이때 발생하는 신호는 thermometer 와 reverse-thermometer 의 구간에서 서로 일치하여 뒷단의 OR gate로 구성된 encoding logic 은 2-input OR gate 를 사용하여 buffer 의 효과를 함께 나타낼 수 있다. 또한 thermometer 와 reverse-thermometer 구간에서도 오동작 없이 동작 할 수 있고 이를 인가받은 encoding logic 에서 binary 의 digital code 를 생성 출력하게 된다. 특히 기존 switch based encoder 가 갖는 고속 스위칭에 대한 전력소비와 면적의 낭비를 줄여준다.

그림 7은 제안하는 auto switching encoder 의 예를 위해 나타낸 3-bit 에 대한 algorithm 이다. XOR 를 거친 thermometer code 가 OR gate logic 을 거쳐 binary code 를 출력한다. bit-1의 경우 음영으로 표시된 4개의 code가 OR 로 들어가기 때문에 하나라도 1 이 있는 부분은 반드시 1 을 출력하고, bit-2 와 bit-3 도 마찬가지로 음영으로 표시된 4개 Code 가 OR 로 들어가서 1 을 출력하게 된다.

III. FULL chip 회로도 및 모의실험 결과

설계된 12-bit ADC 는 PAD를 포함시킨 post-layout 모의실험을 통해 동작 성능을 검증하였다. ADC 입력에 ramp 파형을 인가하여 출력 digital code 를 확인함과 동시에 주파수별 성능특성을 확인하기 위해 FFT (Fast Fourier Transform) 결과를 확인하였다. 그림 8은 ADC 에 인가된 ramp 입력에 대한 4096 개의 digital code 출력 결과이다. 12-bit 해상도에 해당되는 4096 개의 binary code 가 출력됨을 확인하였다.

그림 9.(a)는 본 연구에서 설계된 ADC 의 정현파 입력에 대한 출력 복원 파형이다. 샘플링 주파수 10MHz 에서

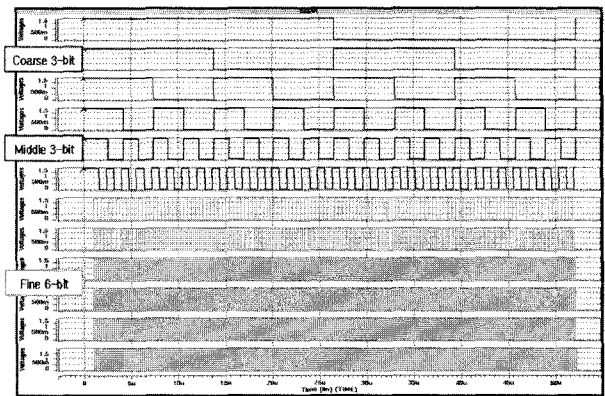
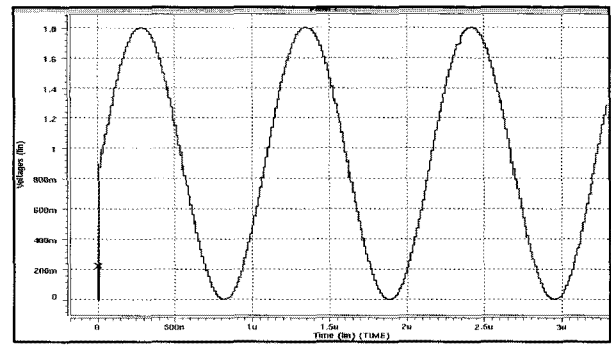
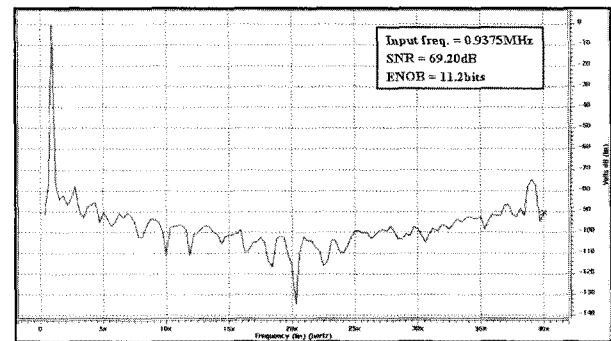


그림 8. 전체 코드 모의실험

Fig. 8. Full code simulation.



(a)



(b)

그림 9. (a) ADC 출력 복원파형 (Fin:1MHz @ 10MS/s)
(b) FFT 모의실험 결과

Fig. 9. (a) Reconstruction wave. (Fin:1MHz @ 10MS/s)
(b) FFT simulation result.

유효 비트수를 보기위해서 FFT 특성을 확인한 결과, 그림 9.(b) 와 같은 특성을 보였으며 이때의 SNR은 1MHz 의 입력일 경우 69.2dB 로 측정되었다.

IV. 레이아웃 및 측정결과

1. 레이아웃

그림 10은 전체 ADC 의 layout 을 나타내었으며, 이때 layout 된 ADC 의 크기는 2000um × 1100um이다.

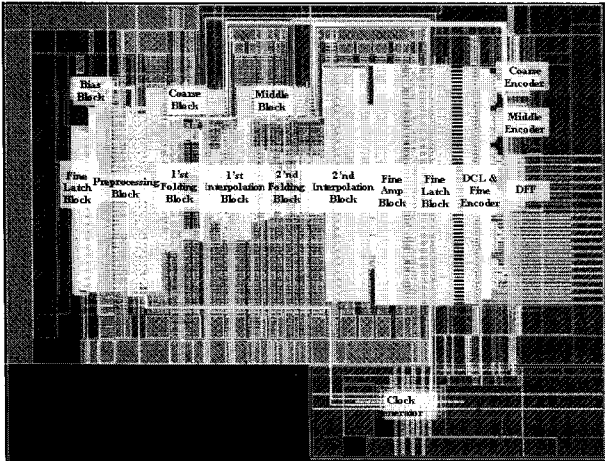


그림 10. 설계된 12-bit ADC 의 레이아웃
Fig. 10. 12-bit ADC layout.

Analog 블록을 layout 하는데 있어 folding ADC 의 특성상 folding 입력신호의 교차현상이 발생하게 되는데, 이를 개선하기 위하여 preamplifier array 의 순서를 folding 입력 순서 기준으로 재배치하는 레이아웃 기법을 적용하여 metal routing 에 의한 기생 capacitor 를 최소화하였다.

2. 측정 결과

시제품 ADC는 Gage社의 CompuScope 를 사용하여 주요성능을 측정하였다. 특히 측정의 높은 신뢰도를 위해 그림 11과 같이 lab-view system을 통해 입·출력 단자를 실시간 조정하여 ADC 의 특성을 측정하였다. 또한 시제품 ADC 의 주요 성능지표중 하나인 전력소모를 측정하기 위한 PCB (Print Circuit Board) 를 제작하였으며, 실험결과 250mW 의 전력소모 특성을 보였다.

그림 12는 ramp 입력에 따른 12-bit full code 출력을

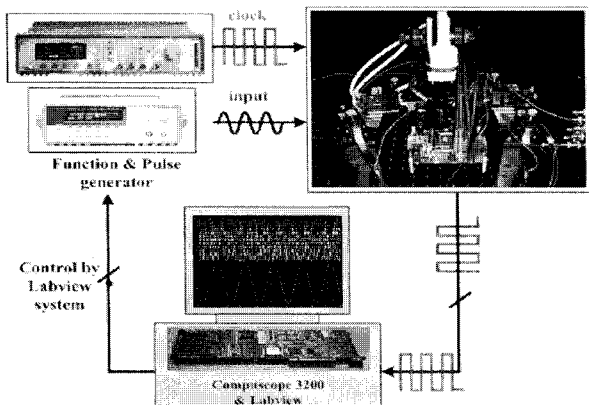


그림 11. 측정 환경
Fig. 11. Measurement Environment.

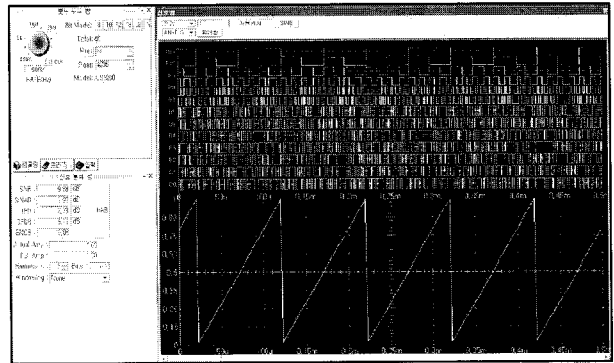


그림 12. Ramp 입력에 따른 출력 파형
Fig. 12. Output waveform by ramp Input.

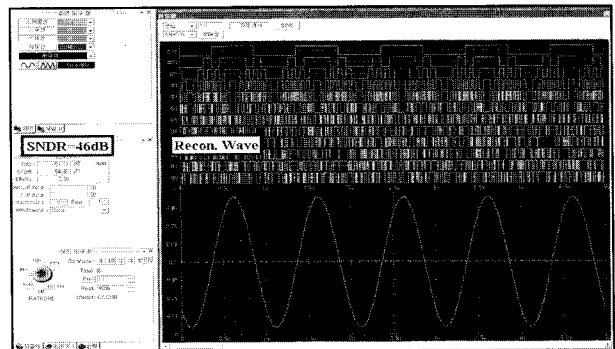


그림 13. 정현파 입력에 따른 출력 파형
Fig. 13. Output waveform by sine Input.

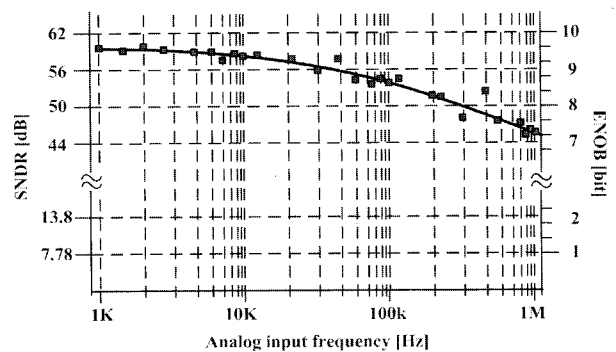


그림 14. SNDR 과 ENOB 측정 결과
Fig. 14. Measured SNDR and ENOB

측정한 데이터이다. 전체 코드에 의해 복원된 파형이 입력 ramp 파형의 형태를 갖추어 출력되는 것을 확인할 수 있었다. 마찬가지로 그림 13은 정현파 입력에 따른 출력을 측정된 결과이다. 이때 샘플링 주파수 10MHz 와 입력 주파수 1MHz 에 대한 조건에서 측정된 SNDR 46dB 이다.

그림 14는 시제품 ADC 의 동적 성능을 종합한 결과로써 샘플링 주파수 10MHz 에서 입력주파수에 따른 SNDR 의 결과를 도식화한 그래프이다. 측정결과 입력 주파수 1MHz 이하에서 SNDR 은 약 46dB 이상으로

측정되었으며, SFDR (Spurious free dynamic range) 은 57.2dB 이상의 결과 나타내었다.

V. 결 론

본 연구에서는 0.18 μ m 1-poly 4-metal N-well CMOS 공정을 사용하여, 2단 구조의 cascaded-folding cascaded-interpolation 기법을 이용한 1.8V 12-bit 10 MSPS ADC 를 설계하였다. 제안된 ADC 는 12-bit 의 높은 분해능을 얻기 위해 총 2단으로 구성된 folding interpolation 구조를 채택하였다. 이때 각각의 FR 은 8 1st IR 8, 2nd IR 16을 적용하였으며, 상위 3-bit, 중간

3-bit, 하위 6-bit 으로 구성되어 있다. 고해상도를 만족시키기 위해 3+3+6의 최적화 구조를 제안함과 동시에 even folding 회로를 이용하여 설계하였으며, 특히 고속 동작을 위해 새로운 알고리즘의 encoder 를 제안하여 folding ADC 에서 필수적인 회로였던 스위치 블록을 제거하여 면적과 전력소비를 줄였다.

제작된 ADC 의 유효 칩 면적은 2000 μ m \times 1100 μ m 로 기존의 full-flash 타입의 ADC 에 비해 작은 칩 면적을 차지하였다. 표 2는 본 논문에서 제안하는 ADC 의 사양을 정리한 도표이다. 표 3은 최근 12-bit ADC 연구 동향을 정리하였으며, 타 연구 논문과 비교해 볼 때 전체 면적에서 우수한 성능을 나타낼 수 있다.

표 2. 설계된 ADC 사양 및 측정 결과
Table 2. Performance summary of the designed ADC.

분해능	12-bit
변환속도	10 MSPS
전원 전압	단일 1.8V
아날로그 입력 범위	Dual 1 V _{PP}
DNL 및 INL (Measured Data)	< ± 4 LSB
SNDR (Measured Data)	> 46dB (Fin<1MHz)
유효 칩 면적 (Core)	2000 μ m \times 1100 μ m
전력소모	250mW
공정	0.18 μ m, 1-poly, 4-metal N-well CMOS

표 3. 최근 12-bit ADC 의 연구동향
Table 3. Recent research of 12-bit ADC.

참고문헌	Sampling Frequency	Type	Area
본 논문	10MHz	Folding Interpolation	2.2mm ²
[6]	125KHz	Algorithmic	5.94mm ²
[7]	50MHz	Pipeline	16mm ²
[8]	75MHz	Pipeline	7.9mm ²
[9]	40MHz	Subranging	4.67mm ²
[10]	10MHz	Pipeline	5.28mm ²

참 고 문 헌

- [1] R.Griff. I. Rutten and M. Veen, "An 8-bit Video ADC Incorporation Folding and Interpolation Technique", IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. SC-22, No. 6, pp. 994-953. Dec. 1987.
- [2] P. Vorekamp et al., "A 12-b, 60 MSample/s cascaded folding and interpolating ADC," IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 32, No. 12, pp. 1876-1886. Dec. 1997.
- [3] Silva, R.T., Fernandes, J.R, "A low-power CMOS folding and interpolation A/D converter with error correction", ISCAS, Circuits and Systems, vol. 1 pp. I-949, I-952. May. 2003.
- [4] Vandebussche J, Lauwers E, Uyttenhove K, Gielen G, Steyaert M "Systematic design of a 200MSPS 8-bit interpolating A/D converter" Design, Automation and Test in Europe Conference and Exhibition, pp. 357-361. June. 2002.
- [5] P. Vorekamp et al., "A 12b, 50 MSample/s cascaded folding & interpolating ADC" ISSCC Dig. Tech. Papers, pp. 134-135. Feb. 1997.
- [6] Ozan E. Erdoğ an, Paul J. Hurst, Stephen H. Lewis "A 12-b Digital-Background-Calibrated Algorithmic ADC with 90-dB THD" IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 34, No. 12, pp. 1812-1820. Dec. 1999.
- [7] Hui Pan, Masahiro Segami, Michael Choi, Jing Cao, and Asad A. Abidi, "A 3.3-V 12-b 50-MS/s A/D Converter in 0.6- μ m CMOS with over 80-dB SFDR" IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 35, No. 12, pp. 1769-1780. Dec. 2000.
- [8] Boris Murmann, Bernhard E. Boser "A 12-bit

75-MS/s Pipelined ADC Using Open-Loop Residue Amplification” IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 38, No. 12, pp. 2040-2050. Dec. 2003.

[9] Yasuhide Shimizu, Shigemitsu Murayama, Kohhei Kudo, Hiroaki yatsuda, Akihide Ogawa “A 30mW 12b 40MS/s Subranging ADC with a

High-Gain Offset-Canceling Positive-Feedback Amplifier” ISSCC. pp. 802-811. Feb. 2006.

[10] G.Ahn, P.K.Hanumolu, M.Kim, S.Takeuchi, T.Sugimoto, K.Hamashita, K.Takasuka, G.Temes, U.Moon “A 12b 10MS/s Pipelined ADC Using Reference Scaling” SOVC. pp. 272-273. June. 2006.

저 자 소 개



손 찬(정회원)
 2006년 동국대학교 반도체과학과 학사 졸업.
 2008년 동국대학교 반도체과학과 석사 졸업.
 2008년~현재 페어차일드 코리아 <주관심분야 : CMOS 아날로그 회로 설계, Power IC, 고성능 데이터변환기>



김 병 일(학생회원)
 2007년 동국대학교 반도체과학과 학사 졸업.
 2007년~현재 동국대학교 반도체과학과 석사 재학.
 <주관심분야 : CMOS 아날로그 회로 설계, 고성능 데이터변환기>



황 상 훈(정회원)
 2001년 동국대학교 반도체과학과 학사 졸업.
 2003년 동국대학교 반도체과학과 석사 졸업.
 2007년 동국대학교 반도체과학과 박사 졸업.

2008년~현재 삼성전기 UCT 회로설계 G. 책임연구원.
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전력 혼성모드 회로 설계, USN ZigBee SoC>



송 민 규(정회원)
 1986년 서울대학교 전자공학과 학사 졸업.
 1988년 서울대학교 전자공학과 석사 졸업.
 1993년 서울대학교 전자공학과 박사 졸업.

1993년~1995년 동경대학교 초빙연구원.
 1995년~1997년 삼성전자 ASIC 설계팀 연구원.
 1997년~현재 동국대학교 반도체과학과 교수.
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전력 혼성모드 회로 설계, 데이터 변환기 설계>