

단상 그리드연결형 인버터의 동기화를 위한 PLL 시스템 해석

트란관빈*, 全泰園†, 李弘熙**, 金興根***, 盧義哲****

Analysis of a Synchronizing PLL System for Single-phase Grid-tie Inverters

Quang-Vinh Tran, Tae-Won Chun, Hong-Hee Lee, Heung-Geun Kim and Eui-Cheol Nho

요 약

본 논문은 단상 그리드전압의 동기화에 가장 적합한 곱형 PLL 시스템을 설계한다. 소신호 해석방법으로 PLL 시스템을 모델링하고, 동기 과도 응답특성뿐만 아니라 동기신호의 왜곡을 고려하여 저역필터의 차단주파수 및 이득의 최적 값을 유도한다. 설계의 성능을 검증하기 위하여, 시뮬레이션 및 실험결과로 차단주파수 및 이득의 변화에 동기신호의 과도응답과 리플성분을 관찰한다.

ABSTRACT

In the paper, the product-type PLL system, which is so suitable for synchronizing a single phase grid voltage is designed. The PLL system is modelled with the small signal analysis. Both the cut-off frequency of low pass filter and the optimal gain are derived by considering the transient response for synchronization as well as a distortion of synchronization signal. Through the simulation studies and experimental results, the transient response and ripple component of synchronization signal are investigated with a variation of both the cut-off frequency and gain in order to verify the performance of design.

Key Words : PLL, Product-type, Synchronization, Grid voltage

1. 서 론

앞으로 석유 등 화석연료의 고갈과 이에 의한 공해 등 환경파괴 문제 때문에 태양광, 풍력, 연료전기 등 재생에너지에 대한 관심이 근래에 급격히 높아지고 있다. 따라서 여러 재생에너지를 전력계통으로 효율적으로 전달하기 위하여 분산발전 방식을 사용하며, 재생 에너지원에서 전력용 반도체 컨버터를 통하여 단상

또는 3상의 분산 그리드에 연결되어 진다. 이 때 그리드 전압벡터의 위치 정보를 정확하게 얻기 위한 Phase lock loop (PLL) 알고리즘이 그리드에 연결된 컨버터의 제어 성능에 큰 영향을 준다.^[1]

근래에 그리드전압이 3상일 경우 PLL 기법을 기반으로 하여 3상 계통연계 인버터의 출력전압을 동기화시키기 많은 기법들이 발표되었다. 즉 3상 그리드전압을 동기각속도 2상 좌표계 전압으로 변환시킨 후, 이 2상 전압으로 위상각을 계산하는 PLL기법이 발표되었다.^{[2][3]} 이 기법은 비교적 단순하나, 전압의 왜곡/불균형에 상당히 민감하다는 단점이 있다. 따라서 고정좌표계 2축 정현파 신호 적분기를 사용하여 3상 그리드전압의 불균형이나 왜곡에도 정상상태오차를 최소화시키는 기법을 제시하였다.^{[4][5]}

그런데 가정용이나 빌딩 등에서 구성하는 소규모 마이크로그리드에서는 대부분 단상전원을 사용한다. 따

†교신저자 : 정희원, 울산대 전기전자정보시스템공학부 교수
E-mail : twchun@mail.ulsan.ac.kr

*정희원, 울산대 대학원 전기공학과 박사과정

**정희원, 울산대 전기전자정보시스템공학부 교수

***정희원, 경북대 전자전기공학부 교수

****정희원, 부경대 전기제어계측공학부 부교수

접수일자 : 2008. 8. 4 1차 심사 : 2008. 8. 30

심사완료 : 2008. 10. 18

라서 그리드 단상 전압의 90° 위상차를 가지는 전압을 발생 시킨 후 동기각속도 2상 좌표계 d-q축 전압으로 변환시켜 d축 전압을 0으로 제어하는 방법을 발표하였다.^[6-8] 이 방법은 3상 그리드 전압에서 동기화 시키는 방법과 유사하므로 제어시스템이 복잡하다는 문제가 있다. 또한 동기신호의 과도 응답특성만을 고려하고 PLL 시스템의 제어를 설계하였다.^{[8][9]}

본 논문은 기준신호가 정현파일 경우 가장 적합하면서 간단한 구조를 가진 곱형 위상검출기에 저역필터를 사용한 단상 그리드 전압용 PLL시스템을 설계하고자 한다. 먼저 PLL회로를 모델링한 후 과도응답 특성뿐만 아니라 동기신호의 왜곡현상까지 고려하여 최적의 이득 및 필터의 차단주파수를 설계한다. PSIM을 사용한 시뮬레이션 및 16-비트 DSP를 사용한 실험을 통하여 본 논문에서 제안한 설계의 타당성을 확인한다.

2. PLL 기본 구조

그림 1은 곱형 위상검출기에 저역필터를 사용한 단상 그리드 전압용 PLL의 구조이며, 기준전압인 그리드 전압과 케환신호를 곱하는 위상 검출기 (PD), 저역 필터 (LPF), 증폭기 및 적분기로 구성된다.

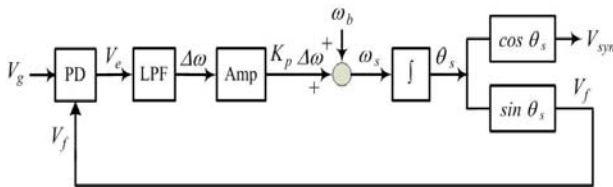


그림 1 곱형 PLL의 구조
Fig. 1 Structure of basic product-type PLL

먼저 그리드전압 $V_g = V_p \cos(\omega_1 t + \theta_g)$ 로 표현하고, 케환신호 $V_f = \sin(\omega_2 t + \theta_s)$ 로 표시할 경우 PD의 출력 즉 두 신호 곱의 식은 다음과 같다.

$$V_c = V_g \cdot V_f = V_p \cos(\omega_1 t + \theta_g) \sin(\omega_2 t + \theta_s) \quad (1)$$

이 PLL이 기본 주파수로 lock될 때 $\omega_1 = \omega_2 = \omega_b$ 이 되며, PD의 출력값을 단위화 시키기 위하여 그리드전압의 피크치 $V_p = 2$ 할 경우, 식(1)은 다음 식과 같이 유도된다.

$$V_c = \sin(\theta_g - \theta_s) + \sin(2\omega_b t + \theta_g + \theta_s) \quad (2)$$

식(2)에서 PD의 출력은 직류성분과 기본주파수의 두 배 주파수로 발진하는 교류성분으로 구성된다. 여기서 저역필터에 의해 교류성분이 거의 제거되고 두 위상각 차가 작다고 가정하면, 다음 식과 같이 두 위상차로 근사화 시킬 수 있다.

$$V_c \approx \theta_g - \theta_s \quad (3)$$

PD 출력 중 교류성분을 감쇄시키기 위하여 식(4)와 같은 1차 저역필터를 사용하고, 그 출력을 주파수 변화량 $\Delta\omega$ 로 정의한다.

$$\frac{\Delta\omega}{V_c} = \frac{1}{1 + S\tau} \quad (4)$$

여기서 $\tau = 1/\omega_c = 1/(2\pi f_c)$ 이며, f_c 는 차단주파수이다.

다음은 증폭기의 증폭율 K_p 를 곱한 후, 60Hz 주파수의 기본 각속도를 더하여 ω_s 를 계산한다. 이 각속도를 적분하여 위상각 θ_s 를 구하고 사인과 코사인함수로 그리드 전압과 동기화시킨 동기신호 V_{syn} 과 케환신호 V_f 를 각각 계산한다. 이 방식은 기본 각속도를 중심으로 변화량을 조정하여 PLL의 두 입력신호 위상을 조정한다.

3. PLL의 안정도 해석

3.1 PLL의 보드선도

PLL에서 PD의 출력신호를 식(3)과 같이 그리드 전압 위상과 케환 신호 위상의 차로 근사화시키면 곱형 PLL을 그림 2와 같이 등가시킬 수 있다. 이 소신호 블럭도에서 선형화된 루프 전달함수 식은 다음과 같다.

$$G_o(s) = \frac{\theta_s(s)}{V_c(s)} = \frac{K_p}{1 + s\tau} \cdot \frac{1}{s} \quad (5)$$

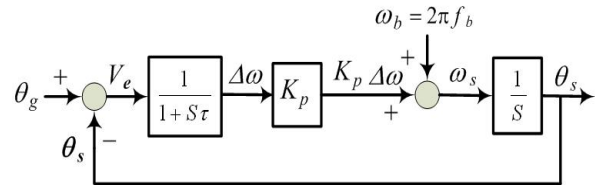


그림 2 PLL의 소신호 블럭도
Fig. 2 Small signal block diagram of PLL

위의 식에서 전달함수의 크기는 다음 식과 같다.

$$|G_o(j\omega)| = \frac{K_p}{\sqrt{1 + (\frac{\omega}{\omega_c})^2}} \cdot (\frac{1}{\omega}) \quad (6)$$

식(6)의 전달함수의 크기를 dB 단위로 표시하고 위상각 식을 각각 다음과 같이 유도된다.

$$|G_o|_{dB} = 20\log_{10} \frac{K_p}{\sqrt{1 + (\frac{\omega}{\omega_c})^2}} + 20\log_{10} (\frac{1}{\omega}) \quad (7)$$

$$\Phi_o = -\tan^{-1}(\frac{\omega}{\omega_c}) - \frac{\pi}{2} \quad (8)$$

그림 (3)은 식(7)과 (8)을 이용하여 보드선도를 보인 것이다. 이 그림에서 X축은 각속도를 로그 스케일로 표시하며, Y축은 루프 전달함수 크기를 dB단위로 표시한다. 위상각은 도의 단위로 표현하였다. 전달함수의 크기는 식(6)과 같이 저역필터 및 이득과 적분기 부분을 더하면 구할 수 있다. 낮은 주파수영역에서는 적분기만의 영향으로 크기가 -20dB/dec.로 감소되며, 저역필터의 차단주파수 부근에서 -40dB/dec.로 감소하게 된다. 이 크기가 0dB되는 점에서 위상 마진을 계산할 수 있다. 식 (8)의 위상각을 이용한 위상 마진 식은 다음과 같다.

$$Phase\ margin = \pi - |\Phi_o| = \frac{\pi}{2} - \tan^{-1}(\frac{\omega}{\omega_c}) \quad (9)$$

이 마진 값이 작을 경우에는 과도응답특성은 우수하나 안정도가 저하되고, 위상마진이 클 경우에는 반대로 안정성은 좋아지나 과도응답특성이 떨어진다. 따라서 두 가지의 특성을 고려하여 일반적으로 이 위상마진을 30에서 60° 사이에서 결정한다. 이 위상마진의 값에 따라 저역필터의 차단주파수와 증폭기 이득의 관계를 유도한다.

이 위상마진을 두 경계점인 30° 일 경우와 60° 일 경우, 식(9)를 사용하여 $\omega = \sqrt{3}\omega_c$, $\omega = (1/\sqrt{3})\omega_c$ 의 관계식을 각각 유도한다. 다음은 식(6)에서 ω 대신 이 두 관계식을 각각 대입하면 다음과 같은 증폭기 이득과 저역필터의 차단주파수 관계식을 유도할 수 있다.

$$K_p = 2\sqrt{3}\omega_c \quad (\text{위상마진} = 30^\circ \text{일 경우}) \quad (10)$$

$$K_p = \frac{2}{3}\omega_c \quad (\text{위상마진} = 60^\circ \text{일 경우}) \quad (11)$$

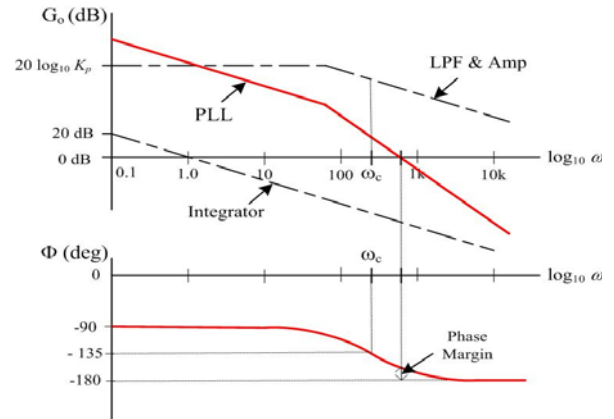


그림 3 PLL의 보드선도
Fig. 3 Bode diagram of PLL

따라서 저역필터의 차단주파수가 결정되면, 이득의 허용범위는 다음과 같다.

$$\frac{2}{3}\omega_c \leq K_p \leq 2\sqrt{3}\omega_c \quad (12)$$

3.2 차단주파수 결정

식(2)에서 보면 PD의 출력신호는 직류값과 기본주파수의 2배 주파수를 가진 교류성분으로 구성되며, 이 교류성분 값을 감쇄시키기 위하여 저역필터를 사용한다. 여기서 저역필터의 차단주파수 ω_c 가 작을 경우는 교류성분이 많이 감소되나 응답특성이 저하되고, 이 차단주파수를 증가시킬 경우에는 응답특성은 좋아지나 교류 값이 많이 감소되지 않아 맥동성분이 많이 남아 있다는 문제점이 있다. 이 맥동성분 양을 관측하기 위하여, 교류성분의 주파수가 기본주파수의 2배 즉 $2\omega_b$ 이므로, 저역필터와 증폭기에서 남아있는 교류 맥동성분 ω_{ripple} 을 기본주파수로 나누어 NPR (Normalized Phase Ripple)를 다음 식과 같이 정의한다.

$$NPR(\%) = (\frac{\omega_{ripple}}{\omega_b}) \times 100 \quad (13)$$

여기서 $\omega_{ripple} = \frac{K_p}{\sqrt{1 + (\frac{2\omega_b}{\omega_c})^2}}$ 이다.

그리드전압의 주파수가 60[Hz]를 기준으로 변화되므로 기본 각속도 $\omega_b = 2\pi \cdot 60$ [rad/s]가 되고, 이 NPR은 차단주파수 및 증폭기 이득의 함수가 된다. 그림 4는 차단주파수가 5[Hz]에서 60[Hz]로 변화될 때, 식

(12)에서 보인 각 차단주파수에서의 증폭기 이득 최소값 및 최대값을 구한다. 차단주파수 및 2개 이득 값에 대하여 식(13)을 사용하여 NPR(%)를 각각 계산하고 그런 것이다.

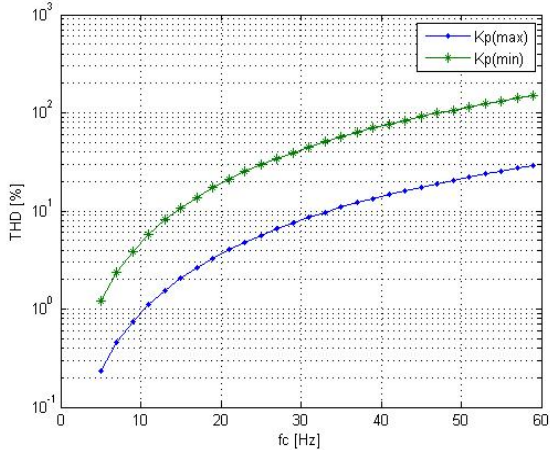


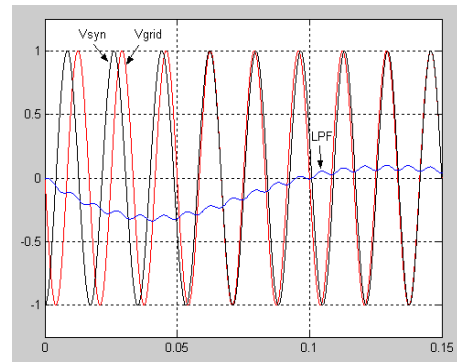
그림 4 차단주파수에 대한 동기신호의 NPR
Fig. 4 NPR of synchronization signal with a variation of cut-off frequency

그림 4에서 보면 NPR(%)을 4%로 하였을 경우 저역필터의 차단주파수 범위는 약 10[Hz]~20[Hz] 정도이다. 그리고 위 범위에서 중간정도로 하여 차단주파수를 15[Hz]로 정할 경우 식(12)을 사용하여 이득의 허용범위는 60~300이다. 이 허용범위 안에서 빠른 과도응답특성이 필요할 경우에는 이득을 크게 하고, 안정성을 더 추구할 경우에는 이득을 작게 한다. 과도응답특성보다 안정성을 더 고려하여 이득을 150으로 정할 수 있다.

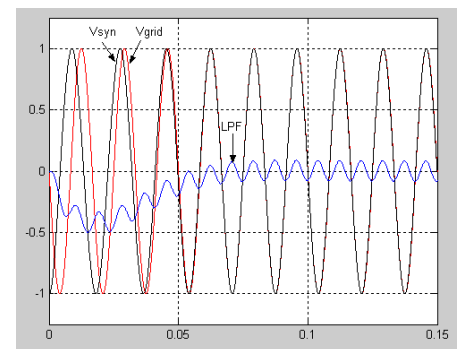
4. 시뮬레이션 결과

증폭기 이득 및 1차 저역필터 차단주파수 변화에 대하여 PLL특성 변화 즉 과도 응답특성에 대한 시뮬레이션 결과를 보인다.

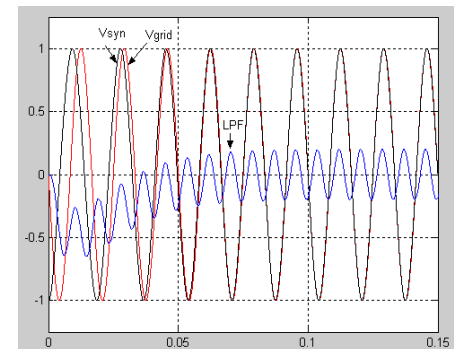
PSIM으로 시뮬레이션을 수행하였으며, 각 변수 값을 단위화시키기 위하여 단상 그리드 전압의 피크치를 1로 하였다. 먼저 그림 5는 이득이 100일 경우 차단주파수를 5Hz, 20Hz, 50Hz로 변화하였을 때 그리드전압 및 동기신호와 저역필터의 출력을 각각 보인 것이다. 차단주파수 작을 경우에는 필터출력에 고주파 성분은 감소되나 동기신호가 그리드전압과 동기가 될 때 소요



(a) 차단주파수 = 5Hz 경우



(b) 차단주파수 = 20Hz 경우

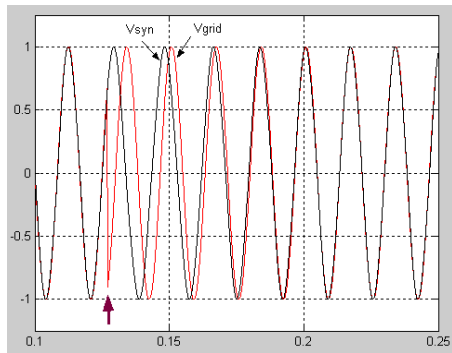


(c) 차단주파수 = 50Hz 경우

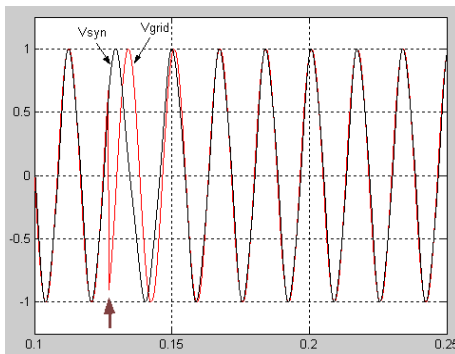
그림 5 차단주파수 변화 시 특성
Fig. 5 Transient responses for a variation of cut-off frequency

되는 시간이 늘어남을 볼 수 있다.

그림 6은 차단주파수를 20Hz로 유지하고, 이득을 100과 200일 경우, 그리드 전압이 갑자기 바뀌었을 때 동기신호의 과도응답 특성을 각각 보인다. 이득이 100일 경우 약 3사이클 후에 정상상태까지 도달하였지만 200으로 증가 시 약 1.5사이클 후에 정상상태에 도달함을 할 수 있다.



(a) 이득 = 100 경우



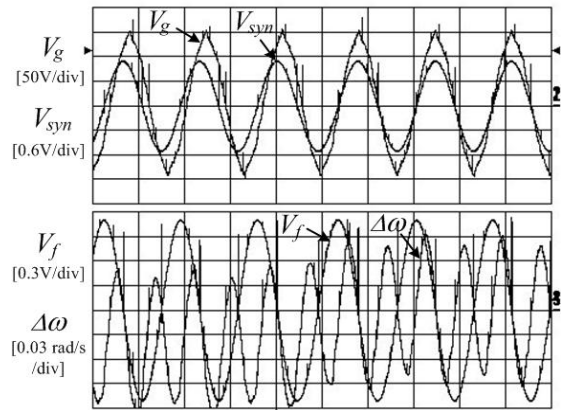
(b) 이득 = 200 경우

그림 6 이득 변화 시 특성
Fig. 6 Transient responses for a variation of gain

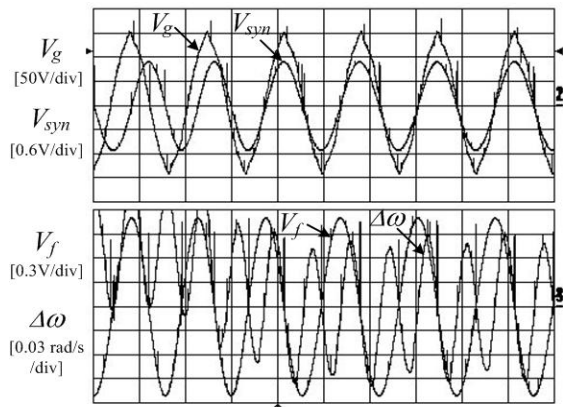
4.1 실험결과

TI사의 16-비트 DSP TMS320LF2406으로 이 PLL 시스템을 구현하였으며, 샘플링시간은 200μsec로 하였다. IGBT 스위칭소자로 단상 인버터를 구성하였으며, 단상 그리드 전압의 크기는 110V, 주파수는 60Hz인 상태에서 실험을 수행하였다. 또한 PLL 시스템에서 주요변수인 동기신호, 궤환신호 저역필터 출력 등의 파형을 오실로스코프와 관측하기 위하여 4-채널 12-비트 D/A 컨버터를 사용하였다.

그림 7은 저역필터의 차단주파수가 20Hz일 때 이득이 100일 경우와 이득이 200으로 증가 시 그리드 전압, 동기신호, 궤환신호 및 저역필터 출력전압의 실험 파형을 각각 보인 것이다. 그림 7(a)에서 보인 바와 같이 이득이 100일 경우 동기신호가 약 4사이클 후에 그리드전압과 동기가 되며, 그림 7(b)와 같이 이득이 200으로 증가 시 동기 소요시간이 약 2사이클로 감소됨을 볼 수 있다. 이 실험결과와 그림 6에서 보인 시뮬레이션결과와 비교하면 거의 비슷한 과도응답 특성을 보인 것을 알 수 있다.



(a) 이득 = 100 경우



(b) 이득 = 200 경우

그림 7 이득 변화 시 실험결과
Fig. 7 Experimental results for a variation of gain

5. 결 론

본 논문은 곱형 위상검출기에 저역필터를 사용한 단상 그리드 전압용 PLL회로를 설계하였다. 먼저 PLL시스템을 소신호 해석으로 모델링한 후, 이 동기신호의 과도응답 특성 및 안정도와 함께 동기신호의 왜곡까지 고려하여 이득 및 필터 차단주파수의 허용범위를 구하였다. 시뮬레이션 결과와 32-비트 DSP를 사용한 실험결과를 통하여 이득 및 차단주파수의 변화에 대한 필터 출력의 고주파 크기 및 동기신호 과도응답시간이 설계 결과와 거의 유사함을 확인하였다. 이 PLL 기법 및 제어기 설계방법은 타 연구에서 제시한 PLL기법에 비하여 상당히 간단하므로 UPS 등 그리드 전압과 동기화시키는 응용분야에서 쉽게 적용할 수 있다.

본 논문은 지식경제부의 지원으로 수행한 에너지 자원인력양성사업의 연구결과입니다.

참 고 문 헌

- [1] F.M.Gardner, *Phase Lock Techniques*, New York : Wiley, 1979.
- [2] T. Timbus, M. Liserres, R. Teodorescu, and F. Blaabjerg, "Synchronization Methods for Three Phase Distributed Power Generation Systems, An Overview and Evaluation", *Conf. Rec. of IEEE-PESC*, pp. 2474-2481, 2005.
- [3] S. K. Chung, "Phase-Locked Loop for Grid-connected Three-phase Power Conversion Systems", *IEEE Proc.-Electr. Power Appl.*, Vol. 147, No. 3, pp. 213-219, 2000, May.
- [4] X. Yuan, W. Me, and J. Allmeling, "Stationary-Frame Generalized Integrators for Current Control of Active Power Filters With Zero Steady-State Error for Current Harmonics of Concern Under Unbalanced and Distorted Operation Conditions", *IEEE Trans. Ind. Appl.*, Vol. 38, No. 2, pp. 523-532, 2002, Mar./Apr.
- [5] R. I.Bojoi, G. Griva, V. Bostan, M. Guerriero, F. Farina, and F. Profumo, "Current Control Strategy for Power Conditioners Using Sinusoidal Signal Integrators in Synchronous Reference Frame", *IEEE Trans. Power Elect.*, Vol. 20, No. 6, pp. 1402-1412, 2005, Nov.
- [6] R. Y. Kim, S. Y. Choi, and I. Y. Suh, "Instantaneous Control of Average Power for Grid Tie Inverter Using Phase D-Q Rotating Frame with PLL Pass Filter", *in Proc. IEEE-IECON*, pp. 274-279, 2004.
- [7] R. M. S. Filho, P. F. Seixas, P. C. Cortizo, A. B. Torres, and A. F. Souza, "Comparision of Three Single-Phase PLL Algorithms for UPS Applications", *IEEE Trans. Ind. Elect.*, Vol. 55, No. 8, pp. 2923-2932, 2008, Aug.
- [8] S. M. Silva, B. M. Lopes, B.J.F, R. P. Campana, and W. C. Boaventura, "Performance Evaluation of PLL Algorithms for Single-phase Grid-connected Systems", *Conf. Rec. of IEEE-IAS*, pp. 2259-2263, 2004.
- [9] L.G.B. Rolim, D.R. Costa, and M. Aredes, "Analysis and Software Implementation of a Robust Synchronizing PLL Circuit Based on the pq Theory", *IEEE Trans. Ind. Elect.*, Vol. 53, No. 6, pp. 1919-1926, 2006, Dec.

저 자 소 개



트란관빈(Q.V.Tran)

1979년 6월 19일생. 2002년 베트남 호치민대 전기전자공학과 졸업. 2006년 울산대 대학원 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사과정.



전태원(全泰園)

1959년 1월 30일생. 1981년 부산대 전기공학과 졸업. 1983년 서울대 대학원 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(공학박). 1995년~1996년 버지니아공대 방문교수. 현재 울산대 전기전자정보시스템공학부 교수. 현재 당 학회 편집이사.



이홍희(李弘熙)

1957년 10월 15일생. 1980년 서울대 공대 전기공학과 졸업. 1982년 동 대학원 전기공학과 졸업(석사). 1990년 동 대학원 전기공학과 졸업(공학박). 1994년~1995년 Texas A&M 방문교수. 현재 울산대 전기전자정보시스템공학부 교수. 현재 당 학회 협력이사.



김홍근(金興根)

1956년 4월 24일생. 1980년 서울대 공대 전기공학과 졸업. 1982년 동 대학원 전기공학과 졸업(석사). 1988년 동 대학원 전기공학과 졸업(공학박). 현재 경북대 전자전기공학부 교수. 현재 당 학회 부회장.



노의철(盧義哲)

1960년 8월 2일생. 1984년 서울대 공대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1991년 동 대학원 졸업(공학박). 1997년~1998년 미국 Univ. of Wisconsin-Madison 방문교수. 1995년~현재 부경대 공대 전기제어계측공학부 부교수. 현재 당 학회 편집이사.