

논문 2008-45SD-3-9

유비쿼터스 환경에서의 센서 인터페이스를 위한 12비트 1kS/s 65uA 0.35um CMOS 알고리즘 A/D 변환기

(A 12b 1kS/s 65uA 0.35um CMOS Algorithmic ADC for Sensor
Interface in Ubiquitous Environments)

이 명 환*, 김 용 우**, 이 승 훈***

(Myung-Hwan Lee, Yong-Woo Kim, and Seung-Hoon Lee)

요 약

본 논문에서는 가속도 센서 및 자이로 센서 등과 같이 고해상도 및 작은 면적과 적은 전력 소모를 동시에 요구하는 센서 인터페이스 응용을 위한 12비트 1kS/s 65uA 0.35um CMOS 알고리즘 A/D 변환기 (ADC)를 제안한다. 제안하는 ADC는 재순환 기법을 이용한 알고리즘 구조를 사용하여 샘플링 속도, 해상도, 전력 소모 및 면적을 최적화하였으며, 일반적인 열린 루프 샘플링 기법을 적용한 버전1과 오프셋 및 플리커 잡음을 제거하여 동적 성능을 향상시키기 위해 닫힌 루프 샘플링 기법을 적용한 버전2로 각각 제작되었다. 또한 SHA와 MDAC 회로에는 스위치 기반의 전력 최소화 기법과 바이어스 공유 기법이 적용된 2단 증폭기를 사용하여 면적과 전력 소모를 최소화시켰다. 한편, 저전력, 소면적 구현을 위한 개선된 기준 전류 및 전압 발생기를 온-칩으로 집적하였으며, 시스템 응용에 따라 선택적으로 다른 크기의 기준 전압 값을 외부에서 인가할 수 있도록 하였다. 제안하는 시제품 ADC는 0.35um 2P4M CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에 서 각각 최대 0.78LSB, 2.24LSB의 수준을 보이며, 동적 성능으로는 1kS/s의 동작 속도에서 버전1, 버전2 각각 최대 60dB, 63dB 수준의 SNDR과 70dB, 75dB 수준의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 버전1, 버전2 각각 0.78mm², 0.81mm²이며 전력 소모는 2.5V 전원 전압과 1kS/s의 동작 속도에서 각각 0.163mW, 0.176mW이다.

Abstract

This work proposes a 12b 1kS/s 65uA 0.35um CMOS algorithmic ADC for sensor interface applications such as accelerometers and gyro sensors requiring high resolution, ultra-low power, and small size simultaneously. The proposed ADC is based on an algorithmic architecture with recycling techniques to optimize sampling rate, resolution, chip area, and power consumption. Two versions of ADCs are fabricated with a conventional open-loop sampling scheme and a closed-loop sampling scheme to investigate the effects of offset and 1/f noise during dynamic operation. Switched bias power-reduction techniques and bias circuit sharing reduce the power consumption of amplifiers in the SHA and MDAC. The current and voltage references are implemented on chip with optional off-chip voltage references for low-power SoC applications. The prototype ADC in a 0.35um 2P4M CMOS technology demonstrates a measured DNL and INL within 0.78LSB and 2.24LSB, and shows a maximum SNDR and SFDR of 60dB and 70dB in version1, and 63dB and 75dB in version2 at 1kS/s. The version1 and version2 ADCs with an active die area of 0.78mm² and 0.81mm² consume 0.163mW and 0.176mW at 1kS/s and 2.5V, respectively.

Keywords : 알고리즘, 닫힌 루프 샘플링, 전력 최소화, ADC, CMOS

I. 서 론

* 학생회원, *** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)
** 정회원, 삼성전자(주) 반도체총괄
(Semiconductor Division, Samsung Electronics)
※ 본 연구는 IDEC에 의해 지원되었음.
접수일자: 2007년10월11일, 수정완료일: 2008년2월19일

현대 사회가 유비쿼터스 (Ubiquitous) 지능화 사회로 발전해 가면서 휴먼 인터페이스를 위한 센서 기능 소자들의 수요가 증가함에 따라 system-on-a-chip (SoC) 센서 인터페이스 구현을 위한 고성능의 A/D 변환기

(ADC)에 대한 요구도 상응하여 증가하고 있다. 특히, micro electro mechanical systems (MEMS) 기술을 이용하여 단일 칩에 동종 센서를 집적한 멀티화, 다른 종의 센서를 집적한 다기능화 기술들이 융합되어가는 추세에 따라 높은 수준의 해상도를 유지하면서 동시에 작은 면적과 적은 전력소모를 가지는 ADC가 절실히 요구된다. 이러한 고해상도에서 작은 면적과 적은 전력 소모를 갖는 고성능 온-칩 CMOS ADC는 센서 인터페이스뿐만 아니라, 차세대 개인 휴대용 통신 기기, 디지털 통신망, 군사 통신 시스템 및 의료용 장비 등의 아날로그 디지털 혼성모드 시스템의 핵심 중 하나이다. 특히 자동차의 에어백과 차량자세 제어에 사용되는 가속도 센서, 디지털 기기의 손 떨림 방지를 위한 자이로 센서 등과 같은 각종 MEMS 응용에서는 시스템의 사양에 따라 정도의 차이는 있지만 12비트 수준의 해상도에서 수 kS/s 정도의 낮은 샘플링 속도로 동작하는 대신, 작은 면적과 적은 전력 소모를 동시에 갖는 ADC가 필수적으로 요구된다.

기존에 발표된 12비트에서 14비트의 해상도를 가지면서 동작 속도가 1MS/s 이하인 ADC들을 본 논문에서 제안하는 ADC와 함께 표 1에 나타내었다^[1~11]. 표 1에 정리된 기존의 ADC들은 칩 면적에 있어서 공정에 관계없이 대부분 1.0mm²를 초과하며, 전력 소모 역시 수 mW 수준을 보인다. 반면, 본 논문에서 제안하는 알고리즘 ADC의 경우 기준 전류 및 전압 발생기 회로를 온-칩으로 집적하였음에도 불구하고 0.35um CMOS 공정으로 0.81mm²의 작은 면적을 가지며, 1kS/s의 동작 속도에서 0.176mW의 적은 전력 소모를 보인다. 특히 기준 전류

표 1. 기존의 발표된 12-14비트 1MS/s 이하의 CMOS ADCs

Table 1. Conventional 12-14b CMOS ADCs below 1MS/s.

	This work	[1]	[2]	[3]	[4]	[5]	[6]	[7]	[8]	[9]	[10]	[11]
Resolution (bits)	12	12	12	12	12	12	12	12	12	13	13	14
Arch.	Algo.	Algo.	SAR	SAR	Algo.	SAR	Algo.	SAR	Algo.	SAR	ΣΔ	ΣΔ
Speed (kS/s)	1	8	42	100	600	1000	1000	1000	1000	160	160	500
Supply (V)	2.5	9.0	1.8	1.0	2.5	3.0	3.3	5.0	5.0	5.0	5.0	5.0
Area (mm ²)	0.81	1.55	0.06	0.63	1.00	1.98	0.048	1.50	2.28	1.90	2.00	2.58
Power (mW)	0.176	17	0.032	0.025	45	1.0	0.43	15	25	25	75	58
On-chip Ref.	0	X	X	X	X	X	X	X	X	0	0	X
Process (um)	0.35	5.00	0.13	0.18	1.60	0.80	0.25	0.60	1.00	1.20	1.70	1.20

및 전압 발생기 회로를 포함하지 않을 경우 0.76mm²의 더욱 줄어든 면적을 가지며 0.029mW의 전력소모로 세계에서 가장 낮은 수준을 보인다.

본 논문에서 제안하는 ADC는 12비트의 해상도와 1kS/s의 동작 속도에서 전력 소모와 면적을 최소화하기 위해 알고리즘 구조로 설계하였으며, 입력단 sample-and-hold amplifier (SHA)와 multiplying D/A 변환기 (MDAC)에서의 오프셋 및 플리커 잡음에 의한 영향을 제거하기 위하여 닫힌 루프 형태로 샘플링하는 버전2를 제작하여, 일반적인 열린 루프 형태로 샘플링하는 버전1과 성능을 비교조사 하였다. 또한 제안하는 ADC의 SHA와 MDAC 회로에는 소모 전력을 줄이기 위해 스위치 기반의 전력 최소화 기법과 바이어스 공유 기법이 적용된 2단 증폭기를 사용하였다. 그리고 안정된 기준 전류와 전압을 회로 내부 및 외부에 자체적으로 공급하면서 동시에 면적과 전력 소모를 최소화하기 위해 개선된 기준 전류 및 전압 발생기를 온-칩으로 집적하였으며, 선택적으로 외부 기준 전압을 사용할 수도 있도록 설계하였다. 본 논문의 II 장에서는 제안하는 ADC의 전체 구조를 설명하며, III 장에서 제안하는 여러 가지 회로 설계 기법을 간략히 요약한다. IV 장에서는 제안하는 ADC 시제품의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

본 논문에서 제안하는 12비트 1kS/s ADC는 작은 면적과 적은 전력 소모를 위해 파이프라인 구조의 하나의 단만을 반복적으로 사용하는 최적화된 알고리즘 구조를 사용하였으며, ADC의 전체 구조는 그림 1과 같이 입력단 SHA, 1개의 2비트 MDAC, 1개의 2비트 flash ADC, 디지털 교정 회로 (digital correction logic), 온-칩 기준

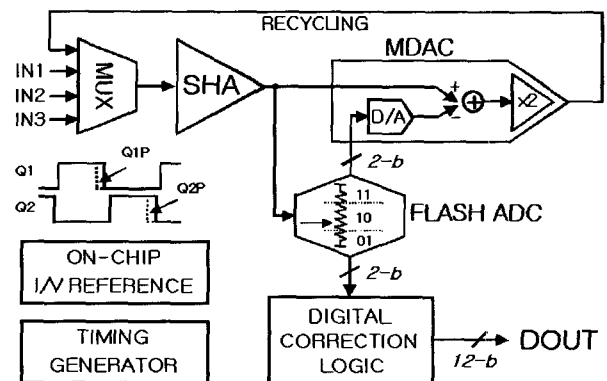


그림 1. 제안하는 12비트 1kS/s 0.35um CMOS ADC
Fig. 1. Proposed 12b 1kS/s 0.35um CMOS ADC.

전류 및 전압 발생기, 타이밍 발생기 (timing generator) 및 클럭 발생기 (clock generator) 등으로 구성된다.

외부에서 입력되는 하나의 시스템 입력 클럭으로부터 두 개의 중첩되지 않는 클럭 Q1, Q2와 알고리즘 구조의 사용을 위한 타이밍 클럭을 칩 내부에서 발생시켰다. 제안하는 ADC의 전체 동작은 11클럭의 변환 주기를 가지며 SHA는 처음 1주기 동안 3개의 채널로 이루어진 입력단 중 하나의 채널로부터 외부의 입력을 받고, 나머지 10주기 동안 내부 타이밍 신호의 제어를 통해 MDAC으로부터 재처리된 입력을 받는다. 한편, flash ADC는 1주기마다 2비트의 신호를 디지털 교정 회로로 전달하며, 디지털 교정 회로에서는 SHA, MDAC 및 flash ADC 등 각 회로 블록들 사이에서 발생하는 오프셋 (offset) 및 클럭 피드스루 (clock feed-through) 등의 비선형 오차를 디지털 영역에서 교정하며, 1주기가 11kHz가 되는 시스템 입력 클럭을 사용하여 11주기가 지난 후 12비트의 최종 출력을 내보내어 1kS/s의 변환 속도를 가지게 된다. 기존 전류 및 전압 발생기는 오프-칩으로는 구현하기 어려운 안정된 기준 전류 및 전압을 내부에서 발생시키기 위해 온-칩으로 집적하였으며, 개선된 기준 전류 및 전압 발생기를 통해 면적과 전력 소모를 최소화하였다.

III. 제안하는 ADC 주요 회로 및 설계

1. 오프셋과 플리커 잡음 제거용 닫힌 루프 샘플링

일반적으로 ADC의 동작 속도가 본 설계에서 제안하는 ADC와 같이 수 kS/s 수준으로 낮아지게 되면 소자 특성의 하나인 플리커 잡음이 전체 ADC의 성능에 큰 영향을 미치게 된다. 이러한 플리커 잡음은 oxide-silicon 인터페이스에서 발생하는 임의의 전하들의 trapping/de-trapping 현상 때문에 표면 전달 소자 (surface-transport devices)에서 두드러지게 나타나며, 채널 전류에 비례하고, 채널 길이에 반비례한 특성을 가진다^[12]. 일반적으로 플리커 잡음을 줄이기 위해 다음과 같은 기법들이 사용되어지고 있다. 첫째, 채널에 흐르는 전류를 감소시키는 기법, 둘째, 플리커 잡음에 특히 민감한 전류원 (tail current source) 및 증폭기의 입력단에 긴 채널길이를 가진 소자를 사용하는 기법, 마지막으로 상대적으로 플리커 잡음 현상이 적다고 알려진 PMOS 소자를 NMOS 소자 대신 사용하는 기법 등이 있다. 그러나 위의 방법들의 경우 트랜스컨덕턴스가 감소하며, 선형성에도 문제가 발생

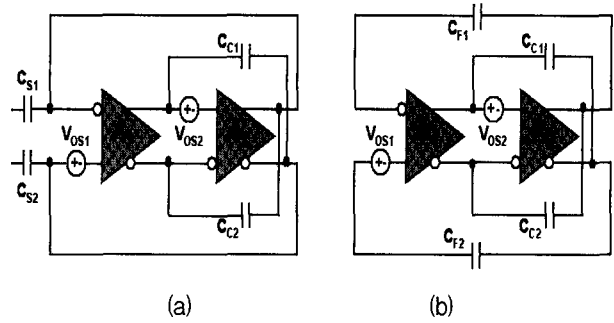


그림 2. 일반적인 닫힌 루프 샘플링 기법 : (a) 샘플링 모드 (b) 홀딩 모드

Fig. 2. Conventional closed-loop sampling technique : (a) sampling mode (b) holding mode.

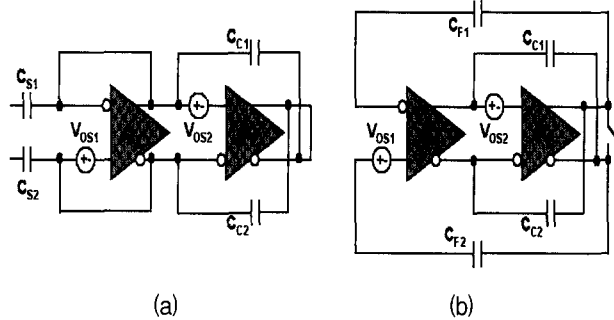


그림 3. 제안하는 닫힌 루프 샘플링 기법 : (a) 샘플링 모드 (b) 홀딩 모드

Fig. 3. Proposed closed-loop sampling technique : (a) sampling mode (b) holding mode.

할 수 있다^[12]. 본 설계의 시제품 버전2에서는 이러한 기법들이 가지는 한계를 해결하기 위해 플리커 잡음이 가지는 낮은 주파수 특성을 이용한 닫힌 루프 신호 샘플링 기법을 적용하였으며, 이 기법의 경우 오프셋에 의한 영향도 동시에 감소시키는 장점도 갖고 있다. 그림 2는 2단 구조의 증폭기에 일반적으로 사용되는 닫힌 루프 샘플링 방식을 보여준다.

이러한 일반적인 닫힌 루프 샘플링 방식을 사용할 경우 샘플링 속도는 첫 번째와 두 번째 증폭기의 대역폭에 의해 결정되며, 이는 입력단의 저항과 커패시터의 값에 의해서만 샘플링 속도가 결정되는 열린 루프 샘플링 방식에 비해 느린 샘플링 속도를 가지게 된다. 이러한 샘플링 속도에 대한 문제를 개선하기 위해, 본 설계에서는 아래 그림 3과 같이 2단 증폭기중 첫 번째 증폭기만을 닫힌 루프로 샘플링하는 방식을 제안하였다.

이 방식은 첫 번째 증폭기의 오프셋 (V_{OS1})과 플리커 잡음은 닫힌 루프 샘플링에 의해 제거되지만, 두 번째 증폭기의 오프셋 (V_{OS2})과 플리커 잡음은 제거되지 않는다. 그러나 두 번째 증폭기의 오프셋과 플리커 잡음

의 경우 첫 번째 증폭기의 이득 (A1)으로 나누어진 크기만큼 입력 샘플링 동작에 영향을 미치며, 이는 상대적으로 무시할만한 크기를 가진다^[13]. 따라서 본 논문에서 제안하는 닫힌 루프 샘플링 방식을 사용하여 필요한 샘플링 속도를 얻으면서 동시에 효과적으로 오프셋 및 플리커 잡음을 제거할 수 있다.

2. SHA 및 MDAC 증폭기에 사용된 전력최소화 기법

아날로그 집적회로 또는 아날로그와 디지털 회로가 공존하는 대규모 혼성 모드 집적회로 시스템에서 전력을 가장 많이 소모하는 회로 중의 하나는 증폭기이며, 저전력 시스템 구현을 위해서는 적은 전력으로 동작하는 증폭기의 설계가 필수적이다. 기존에는 인접한 단끼리 증폭기를 공유하여 증폭기의 개수를 줄임으로써 전력 소모를 최소화하는 기법을 사용하였으나, 이 경우 증폭기가 리셋 (reset) 없이 계속 사용되어 제거되지 않는 증폭기의 오프셋과 추가된 많은 스위치로 인한 직렬 저항 및 기생 커패시턴스 등으로 인하여 전체 칩 성능에 나쁜 영향을 끼칠 수 있으며 레이아웃도 복잡해진다는 단점이 있다^[14].

제안하는 ADC 버전1의 경우 SHA와 MDAC 회로에 사용되는 바이어스 회로에 그림 4와 같이 클럭의 반주기 동안인 샘플링 모드에서는 스위치 (SW)를 사용하여 증폭기의 동작 전류 공급을 완전히 차단하고, 나머지 반주기인 증폭 모드에서는 다시 증폭기에 바이어스 전류를 공급함으로써 전체 전력 소모를 최소화하는 스위치 기반의 전력 최소화 기법을 적용하였다. 이러한 기법을 통해 SHA와 MDAC 회로의 전력 소모가 각각 45%씩 감소하였다.

또한 SHA와 MDAC 회로에 사용되는 2단 증폭기의 경우 통상적으로 각 단간의 간섭이 없이 증폭기를 구동하기 위하여 증폭기단의 수와 같은 2개의 바이어스 회로를 별도로 사용하는 데 비해, 제안하는

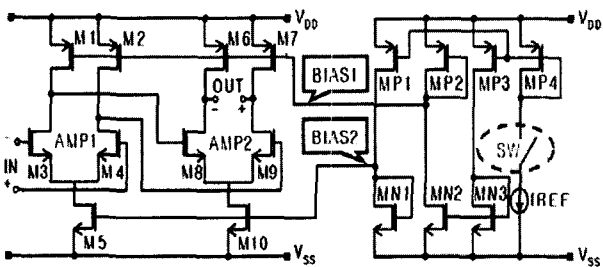


그림 4. 전력 최소화 기법이 적용된 SHA, MDAC 회로
Fig. 4. Proposed SHA and MDAC employing switched-bias power-reduction technique.

ADC에서와 같이 바이어스 회로부분이 전력의 대부분을 차지하는 응용에서는 그림 4와 같이 하나의 바이어스 회로로 증폭기들을 구동하는 바이어스 공유 기법을 적용하는 것이 바이어스 회로의 면적 및 전력 소모를 줄이기 위해 효과적이다. 이와 같이 하나의 바이어스 회로를 공유하는 2단 증폭기를 사용한 결과 전체 SHA 및 MDAC 회로의 전력 소모는 각각 20%, 26% 감소하였다.

스위치 기반의 전력 최소화 기법을 적용한 SHA와 MDAC 회로의 경우 샘플링 모드에서 완전히 차단되었던 바이어스 전류가 증폭 모드로 변함과 동시에 순간적으로 공급되면서 증폭기의 출력단에 오버슈트 및 위상 변화가 발생할 수 있으며, 바이어스 공유 기법을 적용한 경우 바이어스 전류의 불안정으로 인하여 증폭기의 동작에 영향을 줄 수 있다. 이는 모두 출력 신호의 정착시간을 증가시키는 원인이 될 수 있으며, 모의실험 결과 0.4us 정도의 출력 신호 정착 시간 지연이 발생한다. 하지만 이는 수~수십 kS/s 수준의 동작 속도에서는 출력신호의 정착에 전혀 문제가 없는 수준이다.

3. 저전력 소면적 온-칩 CMOS 기준 회로

제안하는 ADC에는 기준 전류 및 전압 발생기를 온-칩으로 집적하여 다른 회로블록에도 공급하는 등 다양한 SoC 응용을 고려하였다. 기존의 기준 전류 및 전압 발생기는 온도와 전원 전압 변화에 대해 각각 음의 계수와 양의 계수를 갖는 전류를 생성하여 서로 상쇄시키는 방식을 통해 온도 및 전원 전압 변화에 독립적인 전류와 전압을 생성하였다^[15]. 반면, 제안하는 기준 전류 및 전압 발생기는 그림 5와 같이 온도 및 전원 전압의 변화에 대해 음의 계수를 갖는 전류를 생성하는 부분만

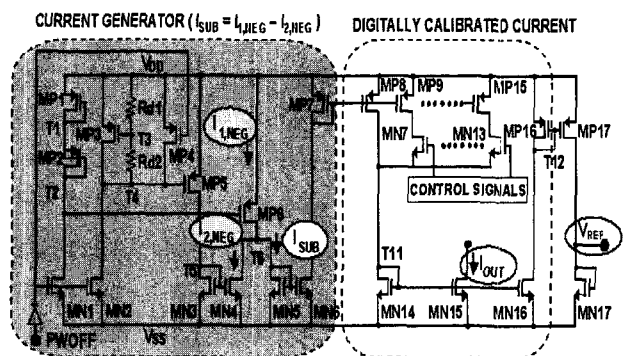


그림 5. 제안하는 온-칩 기준 전류 및 전압 발생기
Fig. 5. Proposed on-chip current and voltage references.

을 이용하여 $I_{1,NEG}$, $I_{2,NEG}$ 를 생성하고, 이 두 전류의 차를 통해 온도 및 전원 전압 변화에 독립적인 전류 (I_{SUB})를 생성하게 되며, 이 전류를 이용하여 온도와 전원 전압 변화에 독립적인 전압 (V_{REF})을 생성하였다.

음의 계수를 갖는 두 전류는 각각 식 (1)과 식 (2)로 나타내어진다. 이 두 전류의 온도 변화율은 각각 식 (3)과 식 (4)로 나타내어지며, 이러한 방식을 통해 생성된 온도 및 전원 전압 변화에 대하여 음의 변화율을 가지는 두 전류를 이용하여 식 (5)와 같이 온도 및 전원 전압 변화에 독립적인 전류 (I_{SUB})를 생성하게 된다. 이렇게 만들어진 기준 전류를 이용하여 온도와 전원 전압에 독립적인 기준 전압 (V_{REF})을 생성하게 되며, 각 블록에 공급하게 된다. 또한, 3비트의 디지털 제어 신호를 이용하여 공정상의 오차로 인한 소자 특성의 변화에 대해 40% 수준 이내의 전류 값의 변화를 보정할 수 있도록 하였으며, 휴대용 시스템 응용을 위해 PWOFF 신호를 사용하여 ADC를 사용하지 않을 경우 전력 소모를 1uW 이하로 줄일 수 있도록 하였다.

$$I_{1,NEG} = \frac{\phi_P C_{OX} V_{thP}^2 W_{MP6}}{2L_{MP6}} \quad (1)$$

$$I_{2,-} = \frac{\phi_P C_{OX} V_{thP}^2}{2L_{MP5}} \left(\frac{Rd2}{Rd1}\right)^2 \frac{W_{MP5} W_{MN4}}{W_{MN3}} \quad (2)$$

$$\frac{\partial I_{1,-}}{\partial T} = I_{1,-} \left(\frac{1}{\phi_P} \frac{\partial \phi_P}{\partial T} + \frac{2}{V_{thP}} \frac{\partial V_{thP}}{\partial T} \right) < 0 \quad (3)$$

$$\frac{\partial I_{2,-}}{\partial T} = I_{2,-} \left(\frac{1}{\phi_P} \frac{\partial \phi_P}{\partial T} + \frac{2}{V_{thP}} \frac{\partial V_{thP}}{\partial T} \right) < 0 \quad (4)$$

$$I_{SUB} = I_{1,NEG} - I_{2,NEG} \\ = \frac{\phi_P C_{OX} V_{thP}^2}{2} \left(\frac{W_{MP6}}{L_{MP6}} - \left(\frac{Rd2}{Rd1}\right)^2 \frac{W_{MP5} W_{MN4}}{L_{MP5} L_{MN3}} \right) \quad (5)$$

본 논문에서 제안하는 기준 전류 및 전압 발생기는 기존의 회로보다 약 40% 줄어든 면적과 전력 소모만으로 안정된 기준 전류와 전압을 얻을 수 있다.

IV. 두 가지 버전의 시제품 ADC 제작 및 성능측정

제안하는 12비트 1kS/s ADC는 0.35um n-well 2P4M CMOS 공정으로 제작되었다. 제안하는 시제품

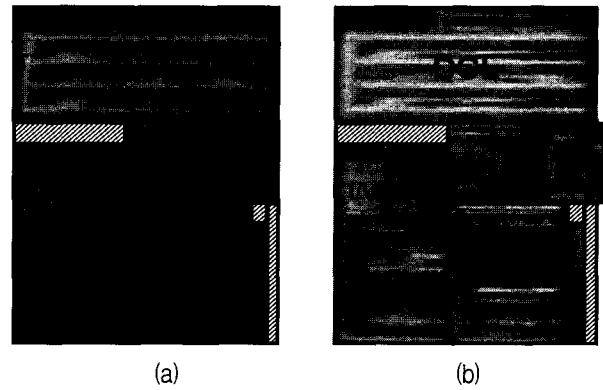


그림 6. 시제품 ADC의 칩 사진 : (a) 열린 루프 샘플링 방식의 버전1 (0.76mm×1.03mm), (b) 닫힌 루프 샘플링 방식의 버전2 (0.79mm×1.03mm)

Fig. 6. Die photograph of the prototype ADC : (a) Version1 with an open-loop sampling scheme, (b) Version2 with a closed-loop sampling scheme.

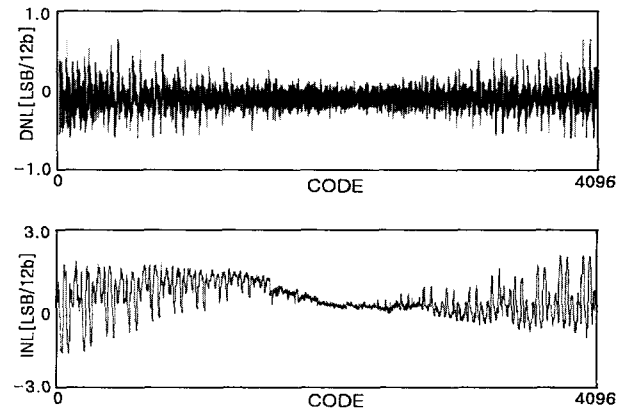


그림 7. 시제품 ADC의 측정된 DNL 및 INL
Fig. 7. Measured DNL and INL of the prototype ADC.

ADC의 칩 사진은 그림 6과 같으며 유휴 공간에는 각 회로 블록간의 간섭, EMI 문제 및 전원 전압의 잡음을 줄이기 위해 PMOS decoupling 커패시터 (▨)를 집적하였다.

시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 버전1, 버전2 각각 0.78mm², 0.81mm²이며, 1kS/s의 동작 속도에서 각각 0.163mW, 0.176mW의 전력을 소모한다. 시제품 ADC의 측정된 Differential Non-Linearity (DNL) 및 Integral Non-Linearity (INL)은 그림 7에서 보는 바와 같이 각각 최대 0.78LSB, 2.24LSB 수준이다.

그림 8 (a) 및 (b)는 각각 50Hz의 입력 주파수와 1kS/s의 동작 속도에서 열린 루프 샘플링 기법을 사용한 버전1과 닫힌 루프 샘플링 기법을 사용한 버전2의 측정된 신호 스펙트럼을 나타낸다. 측정된 시제품 ADC

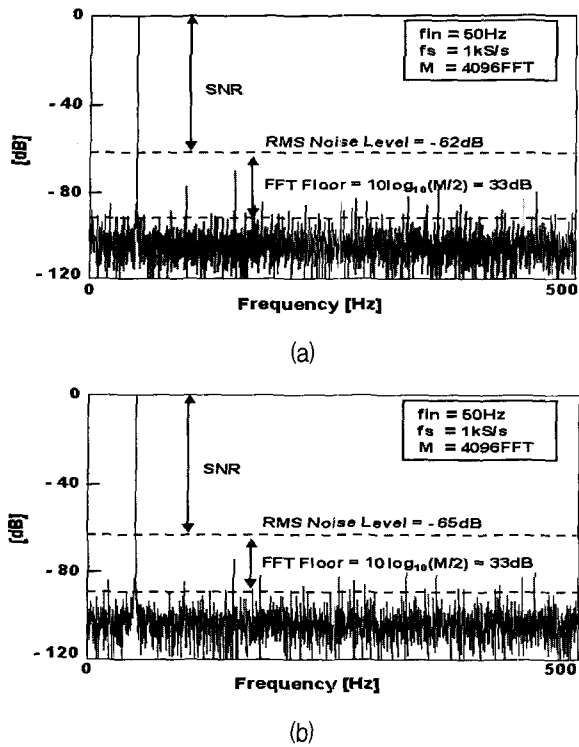


그림 8. 시제품 ADC의 측정된 FFT 스펙트럼 : (a) 버전 1 및 (b) 버전 2
 Fig. 8. Measured FFT spectrum of the proposed ADC : (a) version1 and (b) version2.

대부분에서 버전2의 경우 버전1보다 3dB 정도 이상 향상된 SNR을 보이며, 이를 통해 본 논문에서 제안하는 단힌 루프 샘플링 기법이 입력 오프셋과 플리커 잡음을 효과적으로 제거함을 확인할 수 있다.

그림 9 및 그림 10은 각각 입력 주파수와 동작 속도의 변화에 따른 시제품 ADC 버전1과 버전2의 측정된 동적 성능을 보여준다. 그림 9는 입력 주파수를 50Hz에서 1kHz까지 증가시킬 때, 1kS/s의 동작 속도에서 버전 1과 버전2의 signal-to-noise-and-distortion ratio (SNDR)와 spurious-free dynamic range (SFDR)를 나타낸다. 버전1의 경우 700Hz 이상의 입력 주파수에서 SNDR과 SFDR이 크게 감소하는 반면, 버전2의 경우 입력 주파수가 Nyquist 주파수의 2배인 1kHz까지 증가해도 SNDR과 SFDR이 각각 61dB, 72dB 수준을 유지한다.

그림 10은 ADC의 동작 속도를 1kS/s에서 8kS/s까지 증가시킬 때, 50Hz의 입력 주파수에서 버전1과 버전2의 SNDR과 SFDR을 나타낸다. 동작 속도가 6kS/s까지 증가하는 동안 버전1의 SNDR과 SFDR은 각각 60dB, 70dB 수준을 보이는 반면, 버전2의 SNDR과 SFDR은 각각 63dB, 75dB 수준을 유지한다. 제안하는

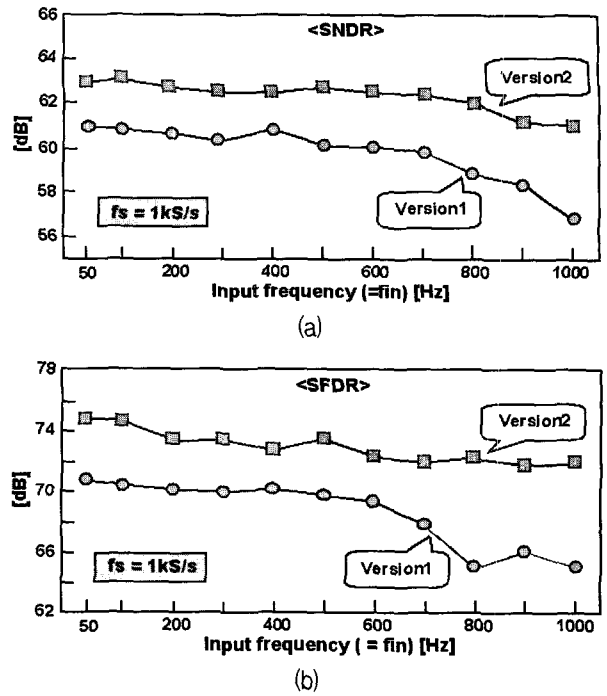


그림 9. 입력 주파수의 변화에 따른 두 가지 버전 시제품 ADC의 측정된 동적 성능 : (a) SNDR 및 (b) SFDR
 Fig. 9. Measured dynamic performance of the ADCs versus input frequency : (a) SNDR and (b) SFDR.

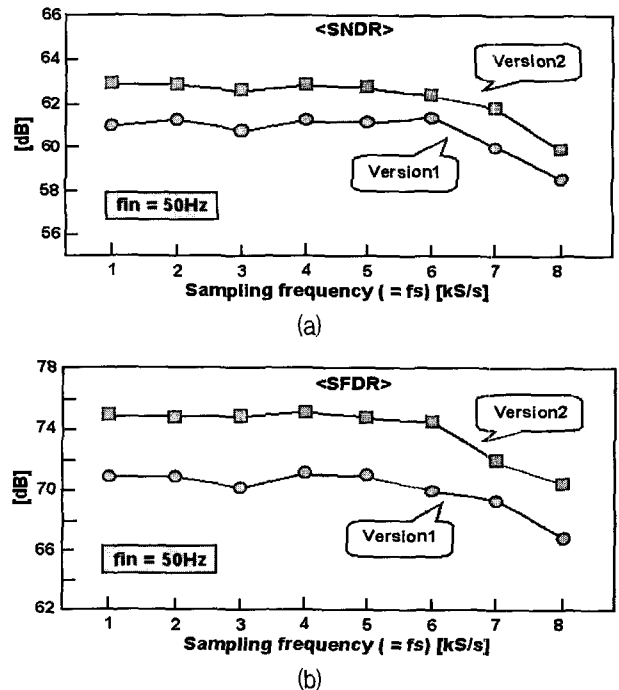


그림 10. 동작 속도 변화에 따른 두 가지 버전 시제품 ADC의 측정된 동적 성능 : (a) SNDR 및 (b) SFDR
 Fig. 10. Measured dynamic performance of the ADCs versus sampling frequency : (a) SNDR (b) SFDR.

표 2. 시제품 ADC 성능 요약
Table 2. Pormance summary of the prototype ADC.

		Version1*	Version2**
Resolution		12bits	
Conversion Rate		1kS/s	
Process		0.35um MagnaChip CMOS	
Input Range		1.9V _{p-p}	
SNDR (fs = 1kS/s, fin = 50Hz)		60dB	63dB
SFDR (fs = 1kS/s, fin = 50Hz)		70dB	75dB
DNL		+0.78LSB / -0.55LSB	
INL		+2.24LSB / -1.91LSB	
Power (fs = 1kS/s)	Core	0.016mW	0.029mW
	Core + Ref.	0.163mW	0.176mW
Area	Core	0.73mm ²	0.76mm ²
	Core + Ref.	0.78mm ²	0.81mm ²

* Version1 : Based on an open-loop sampling scheme
** Version2 : Based on a closed-loop sampling scheme

시제품 ADC의 주요 성능 측정 결과를 표 2에 요약하였다.

V. 결 론

본 논문에서는 가속도 및 자이로 센서 등의 MEMS 센서 인터페이스에 온-칩으로 응용하기 위한 12비트 1kS/s 65uA 0.35um CMOS ADC를 구현하기 위해 다음과 같은 설계 기법들을 제안하였다.

요구되는 고해상도와 신호 처리 속도를 얻으면서 동시에 전력 소모 및 면적을 최소화 할 수 있도록 파이프라인 구조의 하나의 단만을 반복적으로 사용하는 알고리즘 구조로 설계하였으며, 저전력 회로 구현을 위해 SHA와 MDAC 회로에 스위치 기반의 전력 최소화 기법과 바이어스 공유 기법을 적용하였다. 또한 오프셋과 플리커 잡음에 의한 영향을 제거하기 위해 SHA와 MDAC 회로에 닫힌 루프 샘플링 기법을 적용하였으며, 고해상도 동작과 동시에 면적과 전력 소모를 줄이기 위해 제안하는 새로운 기준 전류 및 전압 발생기를 온-칩으로 집적하였다.

제안하는 설계 기법을 적용하여 구현한 시제품 ADC

의 칩 면적은 버전1, 버전2 각각 0.78mm², 0.81mm²이며, 측정된 DNL 및 INL은 최대 0.78LSB, 2.24LSB 수준을 나타낸다. 또한, 버전1과 버전2는 각각 최대 60dB, 63dB의 SNDR과 70dB, 75dB의 SFDR의 동적 성능을 보이며, 소모 전력은 2.5V 전원 전압과 1kS/s의 동작 속도에서 각각 0.163mW, 0.176mW이다.

참 고 문 헌

- [1] P. W. Li, M. J. Chin, P. R. Gray, and R. Castello, "A Ratio-Independent Algorithmic Analog-to-Digital Conversion Technique," *IEEE J. Solid-State Circuits*, vol. 19, no. 6, pp. 828-836, Dec. 1984.
- [2] J. A. M. Jarvinen, M. Saukoski, and K. Halonen, "A 12-bit 32uW Ratio-Independent Algorithmic ADC," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2006, pp. 58-59.
- [3] N. Verma and A. P. Chandrakasan, "A 25uW 100kS/s 12b ADC for Wireless Micro-Sensor Applications," in *ISSCC Dig. Tech. Papers*, Feb. 2006, pp. 222-223.
- [4] H. S. Lee, "A 12-b 600kS/s Digitally Self-calibrated Pipelined Algorithmic ADC," *IEEE J. Solid-State Circuits*, vol. 29, no. 4, pp. 509-515, Apr. 1994.
- [5] K. Satou, K. Tsuji, et al, "A 12 bit 1 MHz ADC with 1mW Power Consumption," in *Proc. CICC*, May 1994, pp. 515-518.
- [6] M. Furuta, S. Kawahito, T. Inoue, and Y. Nishikawa, "A cyclic A/D converter with pixel noise and column-wise offset cancellation for CMOS image sensors", in *Proc. European Solid-State Circuits Conf.* Sep. 2005, pp. 411-414.
- [7] G. Promitzer, "12-bit Low-Power Fully Differential Switched Capacitor Noncalibrating Successive Approximation ADC with 1 MS/s," *IEEE J. Solid-State Circuits*, vol. 37, no. 7, pp. 1138-1143, July 2001.
- [8] M. K. Mayes, et al., "A Low-Power 1 MHz, 25mW 12-bit Time-Interleaved Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 31, no. 2, pp. 169-178, Feb. 1996.
- [9] S. Ramet, "A 13-bit, 160kHz, Differential Analog-to-Digital Converter," in *ISSCC Dig. Tech. Papers*, Feb. 1989, pp. 20-21, 276.
- [10] S. R. Norsworthy and I. G. Post, "A 13-bit, 160kHz Sigma-Delta A/D Converter for ISDN," in *Proc. CICC*, May 1988, pp. 21.3.1 - 21.3.4.
- [11] R. T. Baird and T. S. Fiez, "A 14-bit 500kHz

- Delta-Sigma ADC with 16 Times Oversampling,” in *Proc. CICC*, May 1995, pp. 199-202.
- [12] S. Zhou and M. C. F. Chang, “A CMOS Passive Mixer With Low Flicker Noise for Low-Power Direct-Conversion Receiver,” *IEEE J. Solid-State Circuits*, vol. 40, pp. 1084-1093, May 2005.
- [13] S. C. Lee, et al., “A 10bit 400MS/s 160mW 0.13 μ m CMOS Dual-Channel Pipeline ADC Without Channel Mismatch Calibration,” *IEEE J. Solid-State Circuits*, vol. 41, pp. 1596-1605, July 2006.
- [14] S. T. Ryu, B. S. Song, and K. Bacrania, “A 10-bit 50-MS/s Pipelined ADC With Opamp Current Reuse,” *IEEE J. Solid-State Circuits*, vol. 42, pp. 475-485, Mar. 2007.
- [15] Y. J. Cho and S. H. Lee, “An 11b 70MHz 1.2mm² 49mW 0.18 μ m CMOS ADC with on-chip current/voltage references,” *IEEE Trans. Circuits Syst. I*, vol. 52, no. 10, pp.1989-1995, Oct. 2005.

 저 자 소 개



이 명 환(학생회원)
 2007년 아주대학교
 전자공학부 학사.
 2007년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등>



김 용 우(정회원)
 2006년 서강대학교
 전자공학과 학사.
 2008년 서강대학교
 전자공학과 석사.
 2008년~현재 삼성전자(주)
 반도체총괄.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등>



이 승 훈(평생회원)
 1984년 서울대학교
 전자공학과 학사.
 1986년 서울대학교
 전자공학과 석사.
 1991년 미 Illinois 대 (Urbana-Champaign) 공학박사.
 1986년 KIST 위촉 연구원.
 1987년~1990년 미 Coordinated Science Lab (Urbana) 연구원.
 1990년~1993년 미 Analog Device 사 senior design engineer.
 1993년~현재 서강대학교 전자공학과 교수.
 <주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등>