
저 EMI 및 고품질 출력전압을 위한 멀티레벨 컨버터

이상훈*, 이민중**, 박성준***

Multi-level Converter for Low EMI and High Quality Output Voltage

Sang-Hun Lee* · Min-Jung Lee** · Sung-Jun Park**

이 논문은 2007년 정부재원(교육인적자원부 학술연구조성사업비)으로 한국학술진흥재단의 지원을 받아 연구되었음(KRF-2007-521-D0017)

요 약

최근 태양광 발전시스템 등 낮은 전압을 발생하는 전원소스를 이용하여 높은 승압효과를 얻기 위한 멀티레벨 인버터에 대한 관심이 높아지고 있다. 본 연구에서는 DC/DC의 출력전압 리플 저감을 위한 새로운 구조의 다중레벨 DC/DC 컨버터를 제안한다. 제안된 컨버터는 Buck 컨버터를 직렬로 연결하여 다중전압을 발생하는 구조를 취함으로써 기존의 Buck 컨버터에 비하여 출력전압의 리플을 저감할 수 있었다. 또한 FPGA 기반 멀티레벨 인버터용 스위칭 함수를 구현하고자 하였다.

ABSTRACT

Recently, with the growth of photovoltaic system, many researchers and companies have concerned about the multi-level inverter which has an efficiency of boosting voltage. In this paper a novel structure of multi-level converter for reducing ripple of output voltage is proposed. In the proposed converter Buck converters are connected in series to generate the output voltage and the ripple of output voltage can be reduced compared with the existing Buck converter. Especially when outputting lower output voltage the number of acting switching elements is less and the result of ripple reducing is more obvious. This paper implements a multi-level switching function based on the FPGA.

키워드

DC/DC converter, multi-level, FPGA, microprocessor

I. 서 론

최근 태양광 또는 풍력 발전과 같은 신·재생에너지 발전기술의 성장으로 다수의 낮은 전압을 발생하는 전원소스를 이용하여 고압의 전력을 얻기 위한 제품 및 기

술개발이 이루어지고 있다. 그러므로 낮은 전압을 이용하여 고압의 전압을 얻기 위한 인버터에 대한 수요의 증가로 높은 승압비를 가지는 인버터가 요구되고 있으나, 기존의 2레벨(0V, $\pm V_{dc}$) 인버터의 경우 승압효과가 거의 없으므로 추가적인 요소 없이 직접 사용하기는 부적

* 삼성전기 Power Power 사업팀 책임 연구원

** 전남대학교 전기공학과 연구교수

*** 전남대학교 전기공학과 부교수

합하다. 또한 최근 산업체에서는 대용량 인버터에 대한 요구가 날로 증가하고 있는 추세이며, 이와 같은 인버터는 용량이 매우 높으므로 고속 스위칭은 거의 불가능하다. 기존의 2레벨 인버터를 사용할 경우 고속 스위칭 소자는 대용량으로 갈수록 매우 고가이기 때문에 저속 대용량 소자를 사용하여야 한다. 그러므로 인버터에서 저속 스위칭을 하는 경우 출력의 품질이 매우 나빠진다. 인버터 자체에서 발생하는 고조파 성분을 최대한 억제하면서 높은 전압 정격을 얻을 수 있는 다중레벨 인버터에 대한 산업체의 적용이 활발해지고 있다[1-3].

본 연구에서는 DC/DC의 출력전압 리플 저감을 위한 새로운 구조의 다중레벨 DC/DC 컨버터를 제안한다. 제안된 컨버터는 Buck 컨버터를 직렬로 연결하여 다중전압을 발생하는 구조를 취함으로 기존의 Buck 컨버터에 비하여 출력전압의 리플을 저감할 수 있었다. 또한 낮은 출력 전압의 경우 스위칭 소자수가 줄어들어 출력전압이 낮은 경우에 특히 효과적이었다. 본 논문에서 제안한 컨버터는 넓은 영역의 출력 전압이 요구되는 부하에 매우 유용할 것으로 사료된다. 또한 FPGA를 기반으로 멀티레벨 인버터 구동을 위한 스위칭 함수를 구현하였다. 스위칭 함수는 마이크로프로세서와 메모리, 클럭, 동기 신호를 받아서 FPGA 독립적으로 스위칭 함수가 동작하도록 하였다.

II. 다중레벨 DC/DC 컨버터

1. 제안된 다중레벨 DC/DC 컨버터

그림 1은 일반적으로 많이 사용되고 있는 비절연 타입 Buck 컨버터를 나타내고 있다.

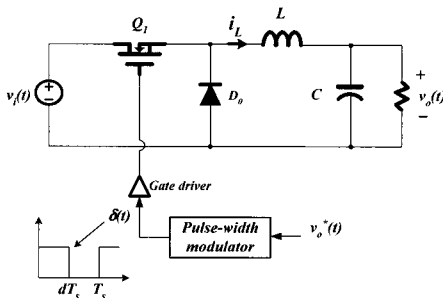


그림 1. 비절연 타입 Buck 컨버터
Fig. 1 Non-isolated buck converter

이러한 컨버터에서 출력전압은 스위칭 소자의 시비율(duty ratio)에 의해서 제어되며 필터단 입력전압은 식 (1)과 같다.

$$V_f = dV_i + \frac{2V_i}{\pi} \sum_{n=1}^{\infty} \frac{1}{n} \sin(n\pi d) e^{j(2\pi f_n)t} \quad (1)$$

식 (1)에서 보는바와 같이 필터단 입력전압은 직류 성분과 스위칭 주파수의 배수인 고조파 성분으로 구성된다. 따라서 필터에 의해 고조파 성분이 제거된다면 출력전압은 직류성분만 나타나게 되어 입력력 관계식은 식 (2)와 같다.

$$V_o = dV_i \quad (2)$$

그림 1과 같은 DC/DC 컨버터에서 인덕터 전류 리플은 식 (3)과 같다.

$$\Delta I_L = \frac{V_i - V_o}{L} dT_s \quad (3)$$

인덕터의 전류 리플은 평활용 콘덴서의 전압 리플로 나타나며 출력전압 리플은 식 (4)와 같다.

$$\Delta v_o = \frac{1}{LC} \frac{V_i(1-d)d}{8f_s^2} \quad (4)$$

시비율에 따른 출력전압 최대 리플은 식 (4)를 미분함으로써 구해지며 그 값은 시비율이 0.5일 때이다. 따라서 시비율에 따른 출력전압 최대 리플은 식 (5)와 같이 구할 수 있다.

$$\Delta v_o = \frac{1}{32} \frac{V_i}{LCf_s^2} \quad (5)$$

식 (5)에서 알 수 있듯이 DC/DC 컨버터의 출력전압의 리플은 스위칭 주파수, 인덕터 및 콘덴서의 용량, 시비율, 그리고 입력전압에 의해 결정되며 출력전압의 리플 저감을 위해서는 스위칭 주파수를 높이거나 필터용 인덕터 및 콘덴서의 용량을 키우거나 입력전압을 낮추어야 한다.

스위칭 주파수를 높이는 경우 스위칭 손실의 증가로

인하여 효율이 감소하는 등 한계가 따른다. 또한 인덕터나 평활용 콘덴서의 용량을 키우는 것은 사이즈 증가 및 경제성 문제가 발생한다.

본 연구에서는 출력전압 리플 저감을 위해 입력전압을 낮추는 효과가 가능한 그림 2와 같은 새로운 타입의 다중레벨 DC/DC 컨버터를 제안한다. 제안된 다중레벨 DC/DC 컨버터의 구조는 기존의 Buck 컨버터를 직렬로 연결한 형태를 취하며, Buck 컨버터의 출력에 다이오드를 직렬로 연결하여 각 컨버터 출력 간의 단락을 방지하였다. 그리고 다이오드와 스위칭 소자 사이를 상위 단 Buck 컨버터의 부전원에 연결하여 다중레벨을 형성하였다.

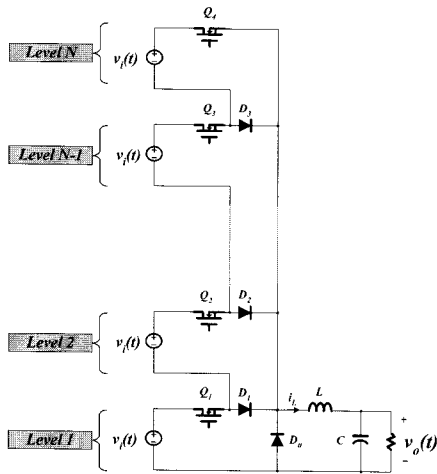


그림 2. 제안된 새로운 방식의 다중레벨 DC/DC 컨버터
Fig. 2 Proposed novel multi-level DC/DC converter

기존의 다중레벨 인버터에서 레벨 수의 증가와 함께 스위칭 소자, 다이오드, 콘덴서의 갯수는 급격히 증가하나 제안한 N레벨 DC/DC 컨버터에서의 스위칭 소자 및 다이오드 갯수는 각각 N개로써 상대적으로 줄어든다. 또한 발생시키교자 하는 전압 레벨에 따라 동작하는 단은 최소가 되기 때문에 동작하지 않는 상위 단의 소모 전력을 저감할 수 있다.

그림 2와 같은 N레벨 컨버터에서 출력전압 리플은 식 (6)과 같다.

$$\Delta v_o = \frac{1}{32N} \frac{V_i}{LCf_s^2} \quad (6)$$

식 (6)에서 알 수 있듯이 출력전압 리플은 1/N배가 된다.

그림 3은 식 (6)의 레벨수 증가에 따른 출력전압 리플 저감 효과를 그래프로 나타낸 것이다. 그림 3에서 알 수 있듯이 기존의 Buck 컨버터에 비해 2레벨의 경우 50%, 2레벨에서 3레벨로 1레벨 증가한 경우에는 약 16.7%, 3레벨에서 4레벨로 1레벨 증가한 경우에는 8.3%, 4레벨에서 5레벨로 1레벨 증가한 경우에는 5%의 리플 저감의 효과가 발생한다. 출력전압 리플 저감 효과는 레벨수 증가에 따라 점차 감소하여 9레벨에서 10레벨로 한 레벨 증가한 경우의 리플 저감 효과는 약 1% 정도로 그 효과가 상대적으로 매우 작았다. 따라서 본 논문에서는 레벨수 증가에 따른 스위칭 소자 수 증가 및 리플 효과를 고려하여 4레벨 DC/DC 컨버터를 설정 하였다.

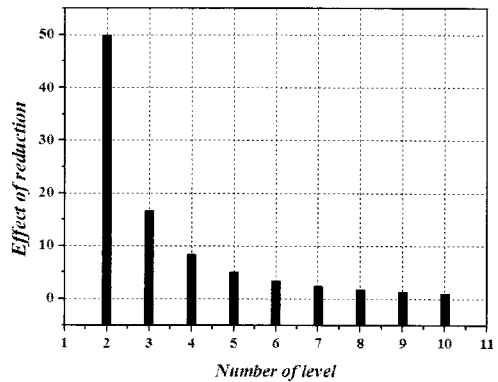


그림 3. 레벨수 증가에 따른 리플 저감 효과
Fig. 3 Reduction of ripple according to increasing a number of level

그림 4는 4레벨 DC/DC 컨버터에서 출력전압 레벨과 스위치 On/Off에 따른 동작 모드를 나타내고 있으며 그림 4(a)는 1레벨일 때의 전류 루프를 나타내고 있으며 이 모드에서는 기존의 Buck 타입 컨버터와 동일한 동작을 한다.

그림 4(b)는 2레벨일 때의 전류 루프를 나타내고 있다. 이때 1레벨용 Buck 컨버터의 스위치인 Q1은 항상 On 상태이며 2레벨용 Buck 컨버터의 스위치인 Q2가 PWM 동작을 행한다. Q2가 On 상태에서는 Q1-Q2-D2-L-C를 통한 전류 루프를 형성하여 입력전압의 두 배가 되는 전압이 필터 입력단에 인가되고, Q2가 Off상태에서는 Q1-D1-L-C를 통한 전류 루프를 형성하

여 입력전압이 필터 입력단에 인가된다. 그림 4(c)는 3레벨일 때의 전류 루프를 나타내고 있으며, Q1, Q2가 On 상태에서 Q3가 PWM으로 동작한다. 이 때 필터 입력단에는 Q3 스위치가 On/Off에 따라서 입력전압의 3배 및 2배 전압이 인가된다. 그림 4(d)는 4레벨일 때의 전류 루프를 나타내고 있으며, 이 경우도 마찬가지로 필터 입력단에는 Q4 스위치가 On/Off에 따라서 입력전압의 4배 및 3배 전압이 인가된다. 따라서 각 레벨에서 상위 단의 스위치 On/Off에 따라 식 (7)과 같은 전압이 필터단에 인가된다.

$$\begin{aligned} V_{On} &= n V_i \\ V_{Off} &= (n-1) V_i \end{aligned} \quad (7)$$

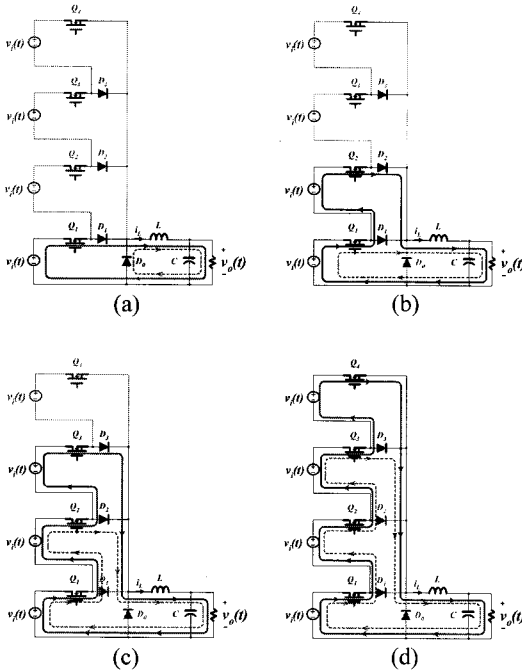


그림 4 4레벨 DC/DC 컨버터의 동작모드
 (a) 모드 1 (b) 모드 2 (c) 모드 3 (d) 모드 4
 Fig. 4 Operation mode of 4 level DC/DC converter
 (a) Mode 1 (b) Mode 2 (c) Mode 3 (d) Mode 4

식 (7)에서 알 수 있듯이 필터단에 인가되는 전압은 상위 단의 스위치 On/Off에 따라서 입력 전압의 n배 또는 n-1배가 된다.

그림 5은 제안된 다중레벨 DC/DC 컨버터에서 레벨에 따른 스위칭 신호 및 필터 단 인가전압을 나타내고 있

다. 그림 5에서 알 수 있듯이 제안된 다중레벨 DC/DC 컨버터에서 상위 단 스위치의 시비율에 따른 출력전압은 식 (8)과 같다.

$$V_o = (n-1+d) V_i \quad (8)$$

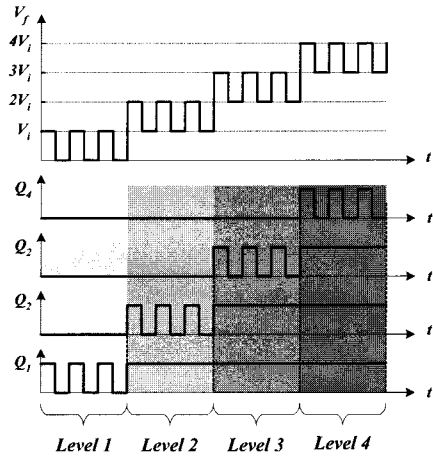


그림 5 레벨에 따른 스위칭 신호 및 필터 단 인가전압
 Fig. 5 Switching signal & apply voltage of filter according to each voltage level

2. FPGA를 이용한 멀티레벨 스위칭 함수 구현

본 논문에서 구현한 FPGA기반 멀티레벨 스위칭함수는 인버터 시스템에서 센싱된 데이터를 마이크로프로세서에서 처리한 뒤에 레벨 스위칭 또는 PWM을 발생시키기 위해서 마이크로프로세서에서 계산된 값을 16비트 정수형 명령을 메모리 맵을 통해 FPGA에 전송한다. FPGA는 마이크로프로세서를 통하여 전송된 명령을 마이크로프로세서에서 전송되는 클럭과 동기신호를 통해서 래치를 시키고, 레벨 스위칭 및 PWM을 발생시키게 된다.

본 논문에서 FPGA기반으로 구현된 스위칭함수는 VHDL로 기본 함수들을 구현하였다. 다음은 FPGA로 구현된 기능에 대하여 자세히 설명하고자 한다.

FPGA에 구현된 삼각파 발생기는 업-다운 카운터로 구성된다. 업-다운 카운터는 마이크로프로세서 또는 외부 오실레이터 등에서 들어오는 클럭을 기준을 동작하게 된다. 카운터는 0에서부터 최대값 m까지 업 카운팅을 한 뒤에 최대값에서 다시 0으로 다운 카운팅을 수행한다. 그러므로 삼각파 발생기의 총 값은 2m이 된다.

외부클럭, f_{ref} , 을 사용하여 삼각파, f_{tri} , 발생시키기 위한 최대값은 식 (9)과 같이 구할 수 있다.

$$m = \frac{f_{ref}}{2 \times f_{tri}} \quad (9)$$

만약 50MHz의 외부클럭을 사용하여 10kHz 삼각파를 발생시키기 위한 최대값은 2500이다. 그러므로 FPGA에서 사용할 카운터는 12비트 업-다운 카운터를 사용하여야 한다.

그림 6은 본 논문에서 구현된 멀티레벨 스위칭 함수를 나타낸다. 그림 6의 (a)는 디코더 및 명령어 래치를 나타낸다. FPGA에서 수신할 데이터는 샘플링 시간마다 식 (8)에서 계산된 값을 마이크로프로세서에서 FPGA로 데이터 값을 전송하기 위해서 메모리 맵을 이용하였다. 그림 6의 (a)에 나타낸 것과 같이 3비트 address 버스, WE 신호, CS 신호 그리고 16비트 DATA 버스가 마이크로프로세서와 연결되어 있다. 마이크로프로세서에서 주소에 따른 각 스위칭의 스위칭 시간을 디코더와 래치를 통하여 전송받는다.

그림 6의 (b)는 2레벨 스위칭 함수를 나타내었다.

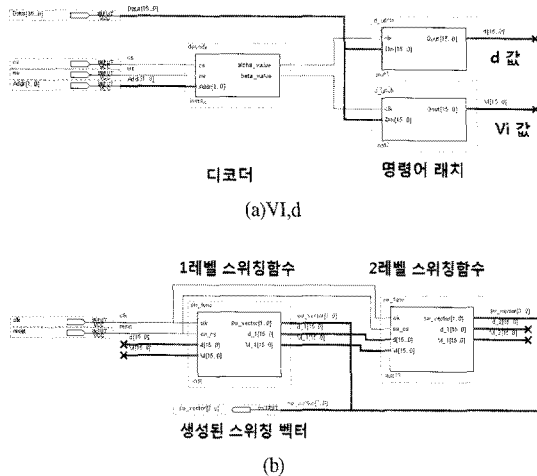
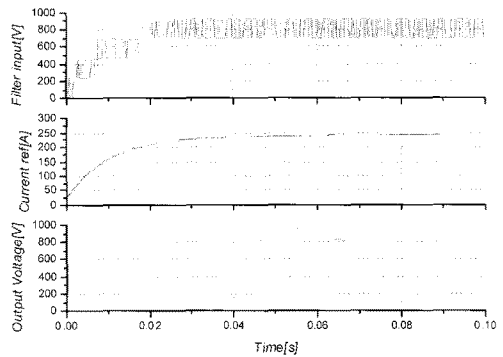


그림 6. FPGA로 구현된 레벨스위칭 함수:
(a) 디코더 및 명령어 래치,
(b) 레벨 스위칭 함수

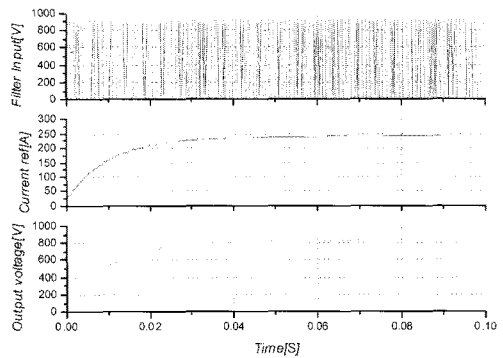
Fig. 6 Level Switching function using FPGA:
(a) Decoder and Instruction latch,
(b) Level switching function

III. 시뮬레이션 및 실험 결과 고찰

그림 7은 제안된 다중레벨 DC/DC 컨버터 및 기존 buck 컨버터의 필터단 입력전압, 출력전압 및 제어기의 전류지령치를 나타내고 있다. 그림에서 보는바와 같이 필터단 입력전압은 기존의 컨버터는 두 레벨에 나타나지만, 제안된 컨버터는 4레벨이 나타남을 알 수 있다. 그러나 두 제어기의 출력 및 출력전압파형은 거의 동일함을 알 수 있다. 따라서 제어기의 특성은 동일함을 알 수 있다.



(a)



(b)

그림 7. DC/DC컨버터의 동특성 비교
(a) 제안된 다중 레벨 (b) 기존 강압형
Fig. 7 Comparison of dynamic character
(a) Proposed (b) Conventional buck

그림 8은 다중레벨 컨버터의 필터단 입력 전압 및 출력전압과 전류 파형을 나타낸다. 필터단의 입력 전압은

4개의 단이 차례로 인가됨을 확인할 수 있으며 전류 파형에 각 단 전압 크기의 스위칭에 의한 리플 성분이 존재하고 이에 비례하는 출력 전압 리플을 확인하였다.

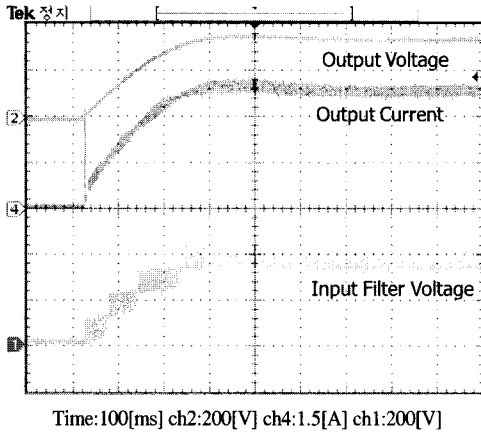


그림 8. 컨버터의 필터단 입력 전압 및 출력전압 및 전류
Fig. 8 Filter input voltage and output voltage and current of proposed DC/DC converter

그림 9는 350[V] 출력 지령을 인가시 부하를 0.8-1.2-0.8[kW]로 변동할 때, 출력전압 및 출력전류, 그리고 다중레벨 전압을 보여주고 있다. 그림 8에서 부하가 급격히 변동함에도 불구하고 일정 전압이 잘 유지됨을 확인하였다.

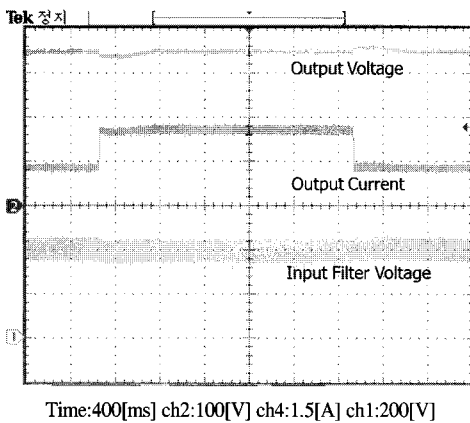


그림 9. 부하 변동시 다중레벨 컨버터 파형
Fig. 9 Multilevel converter waveform when changing load

그림 10은 205[V] 전압 지령에서 부하 변동시 출력 전압, 출력전류, 다중레벨 전압을 보여준다. 제안된 다중레벨 컨버터는 넓은 입력범위와 넓은 출력 범위를 가지는 연료전지의 전력변환장치로 적합한 것으로 판단되어지며, 같은 크기의 출력 필터를 적용할 때 전류 리플을 효과적으로 줄일 수 있어 출력 전압의 특성을 향상시킴을 확인하였다.

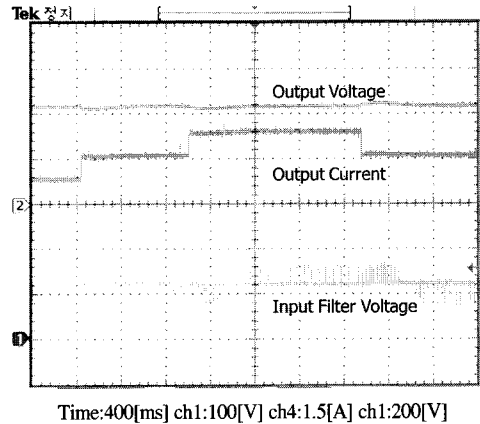


그림 10. 부하 변동시 다중레벨 컨버터 파형
Fig. 10 Multilevel converter waveform when changing load

IV. 결론

본 논문에서는 DC/DC 컨버터에서 출력전압 리플 저감을 위해 기존의 Buck 형태의 컨버터를 직렬로 연결하는 새로운 구조를 제안함으로써 컨버터의 출력전압에 다중레벨을 형성할 수 있었다. 제안된 다중레벨 DC/DC 컨버터는 인덕터에 인가되는 전압변동을 적게 함으로써 전류 리플을 저감하였으며, 이로 인해 출력전압 리플을 저감하는 효과를 얻었다. 본 제안된 컨버터를 사용할 경우 수동소자인 필터의 사이즈 및 무게를 줄일 수 있고, 신뢰성 있는 DC/DC 컨버터의 구성이 가능하다. 본 논문에서 제안한 컨버터는 넓은 영역의 출력 전압이 요구되는 부하에 매우 유용할 것으로 사료된다.

본 논문에서는 FPGA를 기반으로 멀티레벨 인버터 구동을 위한 스위치 함수를 구현하였다. 그리고 구현된 스위칭 함수를 Altera사의 Quartus II를 이용하여 시뮬레이션 검증을 수행하였다.

감사의 글

본 연구는 교육과학기술부와 한국산업기술재단의 지역혁신인력양성사업으로 수행된 연구결과로서, 관계부처에 감사 드립니다.

참고문헌

[1] F. Z. Peng, J. S. Lai, J. W. McKeever, J. VanCovering, "A Multilevel Voltage-source inverter with separate DC source for static var generation," IEEE Trans. on IA, Vol 32, no. 5, pp.1130-1138, 1996.

[2] J. Song-Manguelle and A. Rufer, "Asymmetrical Multilevel Inverter for large Induction Machine Drives," Electrical Driver and Power Electronics International Conference Slovakia, pp.101-107. oct. 2001.

[3] S. Mekhilef and A. Masaound, "Xilinx FPGA based Multilevel PWM Single Phase Inverter," 2006 Engineering e-Transaction, University of Malaya, vol. 1, no. 2, pp.40-45, December 2006.

[4] Abraham I. Pressman, Switching Power Supply Design, McGraw-Hill, Inc., 1991.

[5] N. Mohan, T. M. Undeland, and W. P. Robbins, Power Electronics: converters, applications, and design, John Wiley & Sons, Inc., 1995.

[6] P. W. Lee, Y. S. Lee, D. K. W. Cheng, and X. C. Liu, "Steady-State Analysis of an Interleaved Boost Converter with Coupled Inductors," IEEE Trans. on Ind. Electron., vol. 47, no. 4, pp. 787-795, 2000.

자자소개

이상훈 (Sang-Hun Lee)



2000년 경성대학교 전기공학과 졸업.
2002년 경성대학교 전기전자공학과 졸업(석사).

2002년~2004년 9월 KT전기 기술연구소 주임연구원.
2006년 부산대학교 메카트로닉스협동과정 졸업 (박사)
2007년~현재 삼성전기 Power 사업팀 책임연구원
※관심분야: 조명 LED Power 및 신재생 에너지 전력 변환 시스템

이민중 (Sang-Hun Lee)



1996년 부경대 전기공학과 졸업.
1998년 부산대학교 전기공학과 졸업 (석사).

2001년 부산대학교 전기공학과 졸업 (박사).
2001년 9월~2003년 8월 부산대학교 연수연구원.
2002년 2월~2005년 2월 경남정보대학 겸임교수
2005년 5월~2006년 6월 경남테크노파크 책임연구원
2005년 7월~2008년 6월 동서대학교 지역혁신센터 연구교수
2008년 6월~현재 전남대학교 에너지과워센터 학술연구교수
※관심분야: 조명용 LED Power 및 신재생 에너지용 전력변환 시스템

박성준 (Sung-Jun Park)



1991년 부산대 전기공학과 졸업
1993년 부산대 대학원 전기공학과 졸업(석사).

1996년 부산대 대학원 전기공학과 졸업(박사).
2002년 부산대 대학원 지능기계공학과 졸업(박사)
1996년. 3 ~2000년. 2월 거제대학 전기과 조교수.
2000년 3~ 2003년. 8월 동명대학 전기과 조교수.
2003년 8~ 현재 전남대 전기공학과 부교수
※관심분야: 전동력 응용 및 신재생 에너지용 전력변 환 시스템