

슬립 트랜지스터를 이용한 저 전력 MOS 전류모드 논리회로 구조

김 정 범*

요 약

본 논문은 MOS 전류모드 논리회로 (MOS current-mode logic circuit)의 누설전류를 감소시키기 위해 슬립 트랜지스터 (sleep-transistor) 트랜지스터를 이용하여 저 전력 MOS 전류모드 논리회로를 구현하는 새로운 구조를 제안하였다. 슬립 트랜지스터는 누설전류를 최소화하기 위해 고 문턱전압 PMOS 트랜지스터 (high-threshold voltage PMOS transistor)를 사용하였다. 16 x 16 비트 병렬 곱셈기를 제안한 구조에 적용하여 제안한 구조의 타당성을 입증하였다. 이 회로는 기존 MOS 전류모드 논리회로 구조에 비해 대기전력소모가 1/50으로 감소하였다. 이 회로는 삼성 0.35 μm 표준 CMOS 공정을 이용하여 설계하였으며, HSPICE를 이용하여 검증하였다.

키워드 : MOS 전류모드 논리회로, 저 전력회로, 슬립트랜지스터

Structure of Low-Power MOS Current-Mode Logic Circuit with Sleep-Transistor

Jeong Beom Kim*

ABSTRACT

This paper proposes a structure of low-power MOS current-mode logic circuit with sleep-transistor to reduce the leakage current. The sleep-transistor is used to high-threshold voltage transistor to minimize the leakage current. The 16 x16 bit parallel multiplier is designed by the proposed circuit structure. Comparing with the conventional MOS current-mode logic circuit, the circuit achieves the reduction of the power consumption in sleep mode by 1/50. This circuit is designed with Samsung 0.35 μm CMOS process. The validity and effectiveness are verified through the HSPICE simulation.

Keyword : MOS Current-mode Logic Circuit, Low-power Circuit, Sleep-transistor

1. 서 론

오늘날 VLSI 기술은 칩 면적의 최소화, 동작속도, 전력소모, 등을 고려하여 설계한다. 휴대 단말기의 보급과 통신 기술의 발달은 고속의 데이터 전송을 위하여 동작속도의 개선이 필요하며, 배터리의 한정된 용량과 회로의 전력소모 영향으로 설계 기술은 제약을 받게 된다^[1].

일반적인 디지털 시스템에서 사용되는 CMOS 구조는 부하가 충·방전하는 동안에만 전력을 소모하므로 전력소모가 작다. 그러나 CMOS 구조의 전력소모는 동작 주파수가 증가함에 따라 부하의 충·방전 시간이 짧아지게 되고 전력소모는 동작 주파수가 증가함에 따라 선형적으로 증가하게 되

며 출력 신호 역시 기대하는 값을 얻을 수가 없다. 이러한 CMOS의 동작속도의 제한을 해결하기 위한 방법 중에 하나가 MOS 전류모드 논리회로 (MOS current-mode logic circuit)이다. MOS 전류모드 논리회로는 작은 입력 캐패시턴스 값과 신호진폭으로 동작속도가 CMOS 구조보다 빠르며, CMOS 구조와 달리 정적전류를 사용하므로 CMOS 구조보다 전력소모가 크다. 그러나 MOS 전류모드 논리회로는 CMOS 구조와 달리 동작 주파수에 따른 전력소모가 선형적으로 증가 하지 않고, 동작 주파수의 증가에 관계없이 전력소모가 일정하게 유지되는 장점을 지니고 있어, 동작 주파수가 지속적으로 증가하게 되면 결과적으로 CMOS 구조 보다 전력소모가 작다^[2-5]. 즉 MOS 전류모드 논리회로는 고속의 동작속도에서 저 전력소모를 필요로 하는 회로에 적합하다.

본 논문은 기존 MOS 전류모드 논리회로의 전력소모를 감소시키기 위하여 회로가 동작하지 않을 경우, 회로 전체

* 본 연구에 사용한 CAD S/W는 반도체설계교육센터(IDECC)의 지원에 의한 것임.

† 정 회 원 : 강원대학교 전기전자공학부 교수
논문접수 : 2007년 8월 21일, 심사완료 : 2008년 1월 28일

의 공급 전압을 차단하기 위해 슬립 트랜지스터(sleep transistor)를 사용하였다. 슬립 트랜지스터는 누설전류를 최소화하기 위해서 고 문턱전압 PMOS 트랜지스터(high-threshold voltage PMOS transistor)를 사용하였다. 제안한 구조에 따라 전가산기를 설계하였으며, 이를 기존의 MOS 전류모드 논리회로와 비교하여 전력소모를 비교 확인하였다. 설계한 회로는 삼성 0.35 μm CMOS 공정을 이용하여 설계하였으며, HSPICE를 이용하여 검증하였다.

2. 기존회로

(그림 1)은 기본적인 MOS 전류모드 논리회로의 구조이다. MOS 전류모드 논리회로는 완전한 차동구조이며 두 개의 풀업 (pull up) 저항에 의해서 전류를 조절하게 된다. 전체 전압 스윙 ΔV 는 전류 I 와 저항 R 에 의해 결정된다.

(그림 1)에서 부하의 캐패시턴스를 C 로 가정하고 모든 입력이 이상적인 선형 신호라고 가정하면 입력 비트수 N 에 대하여 지연 값은

$$D_{MCML} = NRC = \frac{N \times C \times \Delta V}{I} \tag{1}$$

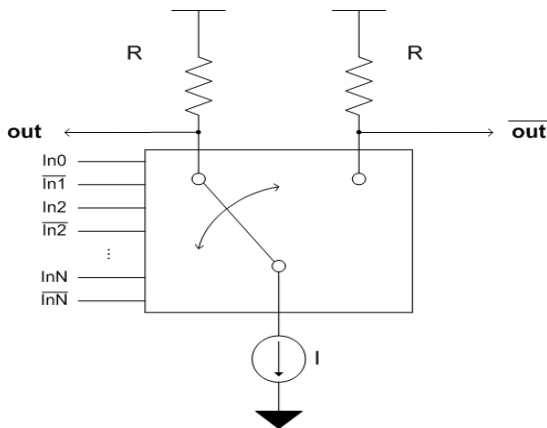
로 정의할 수 있다.

MOS 전류모드 논리회로는 CMOS 구조와 달리 부하의 충·방전에 독립적이며 항상 일정한 전류가 흐르게 된다. 이러한 가정을 통하여 전력소모, 전력소모와 지연시간의 곱, 에너지와 지연시간의 곱을 계산할 수 있다.

$$P_{MCML} = N \times I \times V_{dd} \quad (V_{dd} : \text{공급전압}) \tag{2}$$

$$PD_{MCML} = NIV_{dd} \times \frac{NC\Delta V}{I} = N^2 C \Delta V V_{dd} \tag{3}$$

$$ED_{MCML} = N^2 C \Delta V V_{dd} \times \frac{NC\Delta V}{I} = \frac{N^2 \times C^2 \times V_{dd} \times \Delta V^2}{I} \tag{4}$$

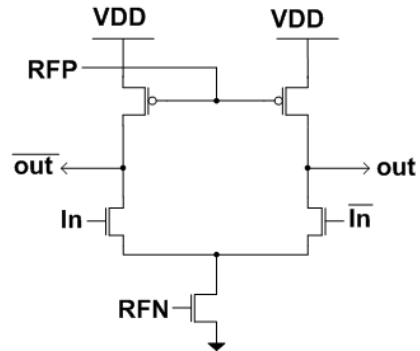


(그림 1) 기본적인 MOS 전류모드 논리회로

위의 식으로 알 수 있듯이 MOS 전류모드 논리회로는 이상적인 입력 N 의 영향을 받으며, CMOS 구조와 달리 부하의 충·방전이 일어나지 않는 스위칭 시간에도 정적인 전력이 소모된다.

저속의 클락 회로에서는 MOS 전류모드 논리회로는 CMOS 구조에 비해 많은 전력을 소모한다. 그러나 고속의 클락 회로에서는 MOS 전류모드 논리회로는 CMOS 구조보다 전력소모, 전력소모와 지연시간의 곱에서 더 큰 이득을 가지게 된다^[2].

(그림 2)는 기존의 MOS 전류모드 논리 인버터이다. MOS 전류모드 논리회로는 두 개의 제어 전압 RFN, RFP를 갖는다. RFN은 NMOS트랜지스터의 게이트 입력 전압으로 이 값을 조절함으로써 회로 전체의 전류값을 결정하게 된다. 일반적으로 전류원으로 동작하는 NMOS 트랜지스터는 공정 최소크기보다 크게 함으로서 출력단에 높은 임피던스를 만들 수 있고, 바이어스와 논리 회로 사이의 부정합을 감소시킨다. RFP는 PMOS 전압을 제어함으로써 (그림 1)에서의 저항 R 에 해당되는 등가저항을 의미한다.

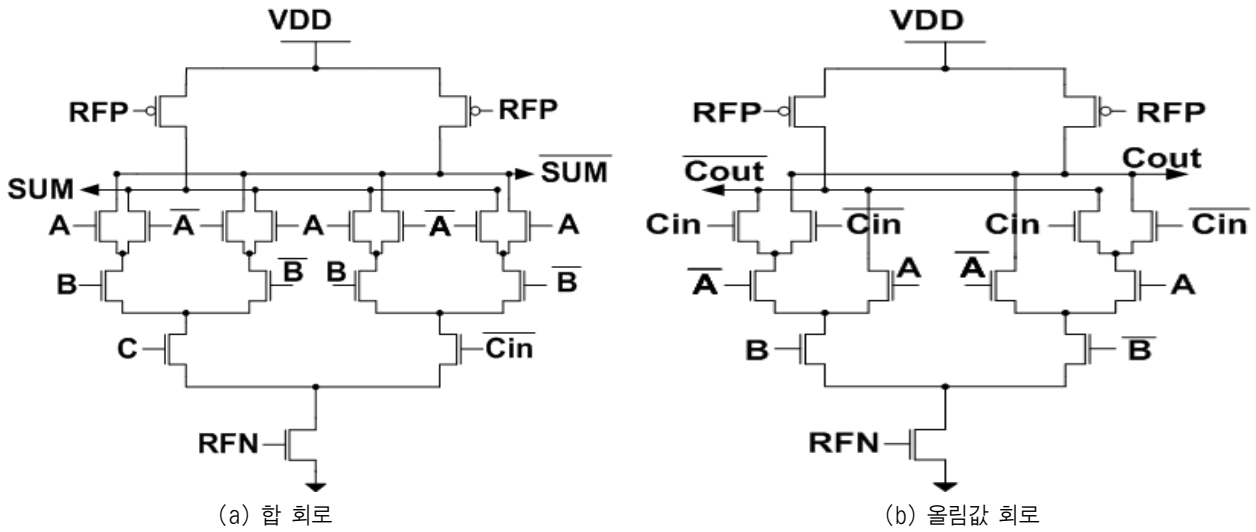


(그림 2) MOS 전류모드 논리 인버터

(그림 3)은 MOS 전류모드 논리 전가산기 회로이다. 그림 3 (a)는 합에 대한 회로로써, 입력 값 A, B, C 에 의해 출력 값(sum)값이 결정되게 된다. 예를 들어 sum 값이 1일 경우 즉 A, B, C 의 조합 논리의 출력이 논리 값이 1인 경우에는 공급 전압부터 ground까지 도통경로가 형성되어 $\overline{\text{sum}}$ 에 해당하는 값은 논리 값 0을 가지게 되며, 도통경로가 형성되지 않은 sum 값은 논리 값 1을 생성하게 된다. 반대로 sum의 논리 값이 0인 경우로 기준전압부터 ground까지의 도통경로가 sum쪽에 생성된다. 결과적은 sum은 논리 값 0을 $\overline{\text{sum}}$ 는 논리 값 1을 가지게 된다. 그림 3(b)는 올림 값(carry out) 해당하는 회로로 동작방법은 앞에서 설명한 합 회로 동일하다.

3. 제안한 MOS 전류모드 논리회로 구조

(그림 4)는 본 논문에서 제안한 MOS 전류모드 논리회로의 구조이다. 이 구조는 기존의 MOS 전류모드 논리회로 블



(그림 3) MOS 전류모드 논리 전가산기

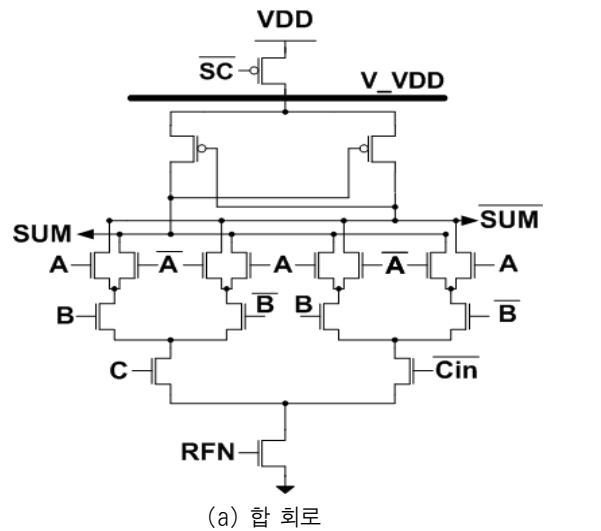


(그림 4) 제안한 MOS 전류모드 논리회로 구조

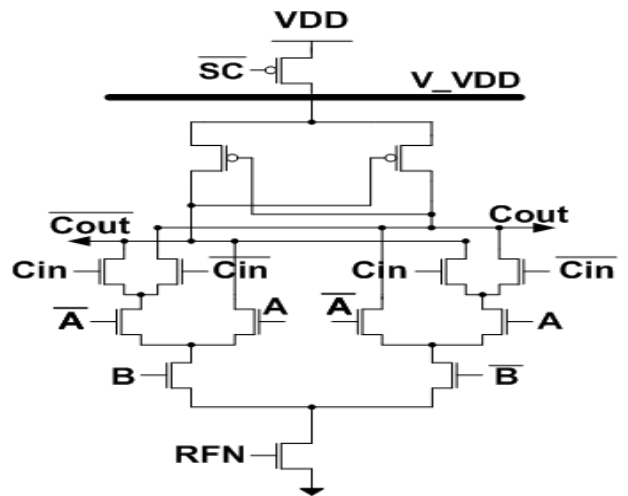
록과 VDD 사이에 고 문턱전압 PMOS 슬립 트랜지스터를 추가하였다.

(그림 5)는 본 논문에서 제안한 구조에 따라 설계한 전가산기 회로이다. 그림에서 보는 것과 같이 PMOS 트랜지스터를 공급전압과 기존 MOS 전류모드 논리회로 블록 사이에 추가시켜 슬립 트랜지스터의 게이트 입력인 제어단자 SC가 논리 값 0 일 때에는 논리회로 블록에 공급전압을 인가하여 정상적인 동작을 하도록 하며, 반면에 제어단자 SC가 논리 값 1 일 때에는 논리회로 블록에 공급전원을 차단하여 회로가 동작하지 않도록 설계하였다. 즉, 정상 동작모드에서는 제어단자 SC가 논리 값 0을 갖게 되어 슬립 트랜지스터는 턴 온 되어 기존의 MOS 전류모드 논리회로와 동일하게 동작한다. 슬립모드에서는 제어단자 SC가 논리 값 1을 갖게 되어 슬립 트랜지스터는 턴 오프 되어 VDD와 논리회로사이를 격리시킨다. 따라서 슬립모드에서 발생하는 대기 전력 소모를 최소화 한다.

병렬 곱셈기는 곱셈과정에서 발생하는 부분 곱을 전가산



(a) 합 회로

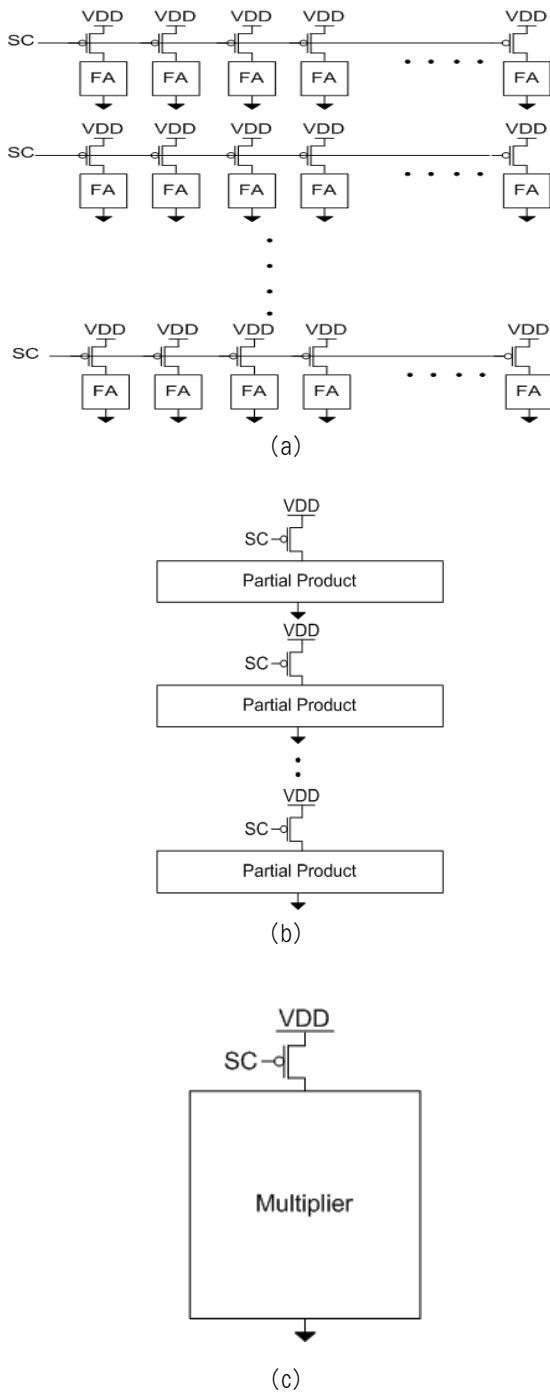


(b) 올림값 회로

(그림 5) 제안한 구조의 전가산기

<표 1> 논문에서 사용한 문턱전압

	NMOS	PMOS
정상 문턱전압	0.58±0.08	0.80±0.10
고 문턱전압	-	1.05±0.10



(그림 6) Sleep 트랜지스터를 적용한 곱셈기
(b) 부분 곱 (c) 전체 회로

기를 이용하여 병렬로 연결 독립적인 연산을 수행한다. 곱셈기의 출력 단은 일반적인 CMOS 버퍼를 사용하여 출력신호의 왜곡이 없도록 설계하였다.

본 논문에서는 누설전류를 최소화하기 위해서 고 문턱전압 PMOS 슬립 트랜지스터를 사용했다. <표 1>은 본 논문에서 사용한 문턱전압이다. 삼성 0.35 μm 공정의 경우 MOS 전류모드 논리회로 블록의 NMOS 와 PMOS 트랜지스터의 문턱전압은 정상 값인 0.58V와 0.80V를 적용하며 PMOS 슬립 트랜지스터의 문턱전압은 1.05V를 적용하였다. 이 슬립 트랜지스터의 크기는 전체 회로에 충분한 전류를 공급할 정도로 커야 한다.

(그림 6)은 고 문턱전압 PMOS 슬립 트랜지스터를 곱셈기에 적용할 수 있는 세 가지 방법을 나타낸다. 첫 번째 방법은 (그림 6(a))와 같이 고 문턱전압 PMOS 슬립 트랜지스터를 각각의 전가산기에 적용하는 방법이다. 이 방법은 각각의 전가산기를 제어 할 수 있다. 두 번째 방법은 (그림 6(b))에서 보는 것과 같이 각각의 부분 곱에 고 문턱전압 PMOS 슬립 트랜지스터를 추가하는 방법이다. 이 방법은 각각의 전가산기를 제어할 수 없지만 첫 번째 방법에 비해 사용되는 트랜지스터 수를 감소시킬 수 있는 장점이 있다. 세 번째 방법은 (그림 6(c))와 같이 전체 회로에 하나의 고 문턱전압 PMOS 슬립 트랜지스터를 추가하는 방법으로 트랜지스터의 적용과 제어를 용이하게 할 수 있다. 전체 회로의 하나의 고 문턱전압 PMOS 슬립 트랜지스터를 이용하여 제어할 경우 이 고 문턱전압 PMOS 슬립 트랜지스터의 크기는 전체 회로에 충분한 전류를 공급할 정도로 충분히 커야 한다. 고 문턱전압 PMOS 슬립 트랜지스터의 크기와 적용 부분은 전체 회로에 미치는 전력소모, 전류, 동작속도를 고려하여 회로에 따라 달리 적용되어야 효율적이다.

<표 2>는 (그림 6)에서 나타낸 병렬 곱셈기에 고 문턱전압 PMOS 슬립 트랜지스터의 적용방법에 따라 얼마만큼의 전력소모의 차이에 대해 비교한 표이다. <표 2>로부터 16×16 병렬 곱셈기 경우에 전가산기 각각에 고 문턱전압 PMOS 슬립 트랜지스터를 추가한 것 보다 전체 회로에 하나의 고 문턱전압 PMOS 슬립 트랜지스터를 추가한 것이 회로의 전력소모 면에서 더 효과적임을 알 수 있다.

<표 2> 고 문턱전압 PMOS 슬립 트랜지스터의 적용방법에 따른 대기 전력소모 비교표

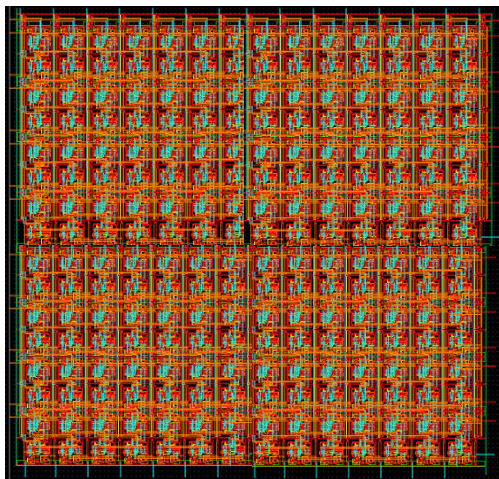
(그림 6(a))의 경우	3.5 mW
(그림 6(b))의 경우	1.4 mW
(그림 6(c))의 경우	0.5 uW
*슬립트랜지스터를 추가하지 않은 경우 : 25.8 uW	

4. 물리적 구현 및 비교

(그림 7)은 설계한 16 x 16 비트 곱셈기에 대한 레이아웃이다. 레이아웃은 삼성 0.35 μm 표준 공정 레이아웃 규칙에 따라 설계하였다. 본 논문에서 설계한 16 x 16 비트 곱셈기의 면적은 527.4 μm x 468.42 μm 이다.

본 논문은 삼성 0.35 μm 표준 CMOS 공정을 이용하여 HSPICE로 시뮬레이션 하였다. HSPICE에 사용한 모델 파라미터는 Level 49공정 파라미터를 사용하였으며, 공급 전압은 3.3V로 하였다. 곱셈기 출력 버퍼에 100fF 부하 커패시턴스를 연결하여 측정하였다.

<표 3>은 정상 동작모드와 슬립모드에서 기존의 곱셈기와 제안한 곱셈기의 전기적 특성을 비교한 표이다. 제안한 구조의 곱셈기는 일반 CMOS 회로에 비해 16.67 %의 전력소모가 감소하였다. 또한, 기존의 MOS 전류모드 논리회로와는 정상 동작모드에서는 모든 전기적인 특성이 유사하지만, 슬립모드에서 대기 전력소모량이 약 1/50로 감소하였다. 따라서 본 논문에서 제안한 구조의 회로는 슬립모드에서 대기 전력소모를 감소시켜 전 전력 MOS 전류모드 논리회로



(그림 7) 설계한 16x16 비트 곱셈기의 레이아웃

<표 3> 비교표

		CMOS회로	기존회로	제안한 회로
정상 동작 모드	평균전력 소모, P (mW)	25.8	21.5	21.5
	전달지연 시간, D (nS)	9.8	9.3	9.1
	P · D (pJ)	252.84	199.95	195.65
슬립 모드	대기전력 소모	1.2 uW	25.8 uW	0.5 uW

를 구현한 것이다.

제안한 논리구조에서 고 문턱전압 PMOS 슬립 트랜지스터를 삽입하는데 필요한 일부 면적의 증가가 발생하나, 이로 인한 회로 복잡도의 증가는 큰 문제가 되지 않는다고 판단된다. 그러나 고 문턱전압 PMOS 슬립 트랜지스터를 구현하기 위해 표준 공정에 비해 마스크가 추가되어 공정의 복잡도와 비용이 증가하는 점이 가장 큰 단점이다.

5. 결론

본 논문은 기존의 MOS 전류모드 논리회로의 누설전류를 최소화하여 전력소모를 감소시키는 새로운 구조를 제안하였다. 이 구조는 고 문턱전압 PMOS 슬립 트랜지스터를 추가하여 회로 전체에 공급 전압을 차단하여 전체적인 전력소모를 감소시킨다.

슬립 트랜지스터를 추가한 MOS 전류모드 논리회로는 기존의 회로에 비해 전력소모 면에서 이득이 있었지만, 고 문턱전압 PMOS 슬립 트랜지스터를 위해 반도체 공정상에 마스크가 추가되어 공정비용이 증가하는 단점을 갖는다.

참 고 문 헌

- [1] Neil H. E. Wests, David Harris. "CMOS VLSI DESIGN". Addison-Wesley Publishing Company 2005.
- [2] Hassan Hassan, Mohab Anis, and Mohamed Elmasry "MOS Current Mode Circuits: Analysis, Design, and Variability", IEEE Trans. VLSI Systems, Vol.13, No.8, pp.885-898, August, 2005.
- [3] Akira Tanabe, Masato Umetani, Ikuo Fujiwara, Takayuki Ogura, Kotaro Kataoka, Masao Okihara. "0.18- μm CMOS 1-Gb/s Multiplexer/ Demultiplexer ICs Using Current Mode Logic with Tolerance to Threshold Voltage Fluctuation", IEEE J. Solid-State Circuits, Vol.36, pp.988-996, June, 2001.
- [4] M. Mizuno, M. Yamahsina, K. Furuta, H. Igura, H. Abiko, K. Okabe, A. Ono, H. Yamada, "A GHz MOS, Adaptive Pipeline Technique Using MOS Current-Mode Logic", IEEE J. Solid-State Circuits, Vol.31, pp.784-791, June, 1996.
- [5] Issam S. Abu-Khater, Abdellatif Bellaouar, M. I. Elmasry, "Circuit Techniques for CMOS Low-Power High-Performance Multipliers", IEEE J. Solid-State Circuits, Vol.31, pp.1535-1546, No.10, October, 1996.



김 정 범

e-mail : kimjb@kangwon.ac.kr

1985년 인하대학교 전자공학과(학사)

1987년 인하대학교 대학원 전자공학과
(석사)

1997년 포항공과대학교 대학원 전자전기
공학과(박사)

1987년~1992년 금성반도체 중앙연구소 선임연구원

1994년~1997년 현대전자 시스템IC연구소 책임연구원

1997년~1998년 충북대학교 전기전자공학부

1999년~현 재 강원대학교 전기전자공학부 교수

관심분야: VLSI 설계