H.264/AVC 부호화기용 움직임 보상기의 아키텍처 연구

김원삼* · 손승일* · 강민구*

A Study on Architecture of Motion Compensator for H.264/AVC Encoder

Won-sam Kim*· Seung-il Sonh*· Min-Goo Kang*

이 논문은 2008년도 한신대학교 연구비 지원에 의해 수행되었음.

요 약

움직임 보상은 고화질의 실시간 비디오 응용에 있어서 언제나 주된 병목을 초래한다. 따라서 실시간 비디오 응용에서는 움직임 보상을 수행하는 고속의 전용 하드웨어를 필요로 한다. 여러 동영상 부호화 방식에서 영상프레임은 픽셀의 블록으로 분할된다. 일반적으로 움직임 보상은 이전 프레임으로부터 움직임을 추정하여 현재의 블록을 예측하게 된다. 움직임 보상에 사용되는 화소정밀도가 높을수록 보다 좋은 성능을 갖지만 연산량은 증가하게 된다. 본 논문에서는 1/4 화소 정밀도를 지원하는 H.264/AVC 부호화기에 적합한 움직임 보상기의 아키텍처를 연구하였다. 설계된 움직임 보상기는 전치 배열과 휘도 6-tap 필터 3개를 사용하여 높은 하드웨어 이용률을 갖게 하였으며 내부 메모리의 크기를 감소시켰다. VHDL을 사용하여 기술하였으며, Xilinx ISE툴을 사용하여 합성하고, Modelsim_6.1i를 사용하여 검증하였다. 설계된 움직임 보상기는 단지 3개의 6-tap 필터만을 사용하면서 매크로블록당 640 클럭 사이클에 수행하였다. 본 논문에서 제안하는 움직임 보상기는 실시간 비디오 처리를 요구하는 분야에 응용 가능할 것으로 사료된다.

ABSTRACT

Motion compensation always produces the principal bottleneck in the real-time high quality video applications. Therefore, a fast dedicated hardware is needed to perform motion compensation in the real-time video applications. In many video encoding methods, the frames are partitioned into blocks of pixels. In general, motion compensation predicts present block by estimating the motion from previous frame. In motion compensation, the higher pixel accuracy shows the better performance but the computing complexity is increased. In this paper, we studied an architecture of motion compensator suitable for H.264/AVC encoder that supports quarter-pixel accuracy. The designed motion compensator increases the throughput using transpose array and 3 6-tap Luma filters and efficiently reduces the memory access. The motion compensator is described in VHDL and synthesized in Xilinx ISE and verified using Modelsim_6.1i. Our motion compensator uses 3 6-tap filters only and performs in 640 clock-cycle per macro block. The motion compensator proposed in this paper is suitable to the areas that require the real-time video processing.

키워드

H.264/AVC, Inter Prediction, Motion Compensation, FPGA, HDL

* 한신대학교 정보통신학과

접수일자 : 2007. 9. 21

Ⅰ. 서 론

H.264/AVC 기술은 ISO/IEC 의 MPEG과 ITU-T의 VCEG 두 그룹이 공동 연구기관 JVT를 창설하여 새롭게 제안한 동영상 압축에 관한 국제 표준이다[1].

H.264/AVC는 우수한 화질을 얻기 위해 이전기술과는 다른 4×4 블록 단위의 정수변환 부호화, 가변 블록 움직임 보상, 다양한 방향성을 고려한 인트라 모드 부호화 기법, 다중 참조 영상 부호화 기법, 그리고 1/4 화소 단위 움직임 벡터 추정 기법을 사용하여 MPEG-4 보다 2배 이상 향상된 동영상 압축률과 지상파/위성 DMB 등에 사용으로 많은 사람들의 관심과 국제 비디오 압축 표준으로 인정받고 있다. 이 기술은 위에서 나열한 기법을 근간으로 기존의 H.263이나 MPEG-4 SP(Simple Profile)에 비해 동일한 화질에서 압축률이 최대 1.5~2 배 가량 더 좋다는 것이 실험을 통해 밝혀졌으나 연산량 또한 증가하여 연산량 면에서는 MPEG-4 SP 부호화기보다 약 1.93 배 높은 것으로 보고되었다[2].

그림 1은 H.264/AVC의 인코더 구조를 보여주고 있다. 그림에 나타난 바와 같이 MC(Motion Compensation) 블록은 참조 영상과 ME(Motion Estimation) 블록의 정보를 이용하여 움직임을 보상하게 된다.

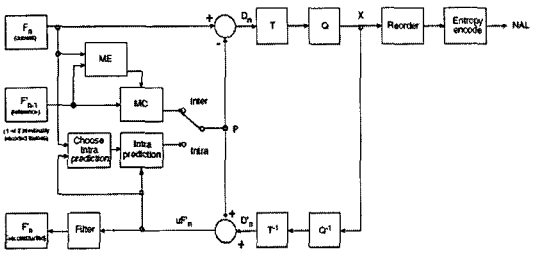

그림 1. H.264/AVC의 인코더 구조
Fig. 1 Structure of H.264/AVC encoder

압축 효율을 높이기 위한 부호화 기술들은 기술 자체의 복잡도는 고려하지 않고 오직 효율이라는 측면에 중점을 두고 개발되었기 때문에 H.264/AVC의 복잡도가 큰 인터 예측 부호화기에 효율적인 하드웨어 구현이 필요하다. 따라서, 본 논문에서는 1/4 화소 정밀도를 갖는 H.264/AVC 부호화기에 적합한 움직임 보상기를 연구하였다. 본 논문의 구성은 다음과 같다. Ⅱ장에서는 관련 연구를 살펴보고, Ⅲ장에서는 움직임 보상 알고리즘의 일반적인 개요를 설명한다. Ⅳ장에서는 제안하는 움직임 보상기의 아키텍처에 대해 설명할 것이며, Ⅴ장에서는 성능평가를 실시한다. 마지막으로 Ⅵ장에서 결론을 맺는다.

Ⅱ. 관련연구

Tseng[3]이 제안한 움직임 보상기는 H.264/AVC 메인 프로파일에 적용 가능하도록 B 슬라이스, 가중치 예측, 가변 블록 사이즈를 지원하는 장점을 가지고 있다. 6-tap 필터를 2개 사용하였고, P Slice라면 하나의 6-tap필터를 사용하는 것과 동일하며 j 화소를 구하기 위해 표준에서 정의된 식과는 다른 식을 적용하여 수행시간을 감소시켜 하나의 매크로블록에 960 클럭 사이클이 소요된다. 또한 가변 블록 사이즈를 지원함으로 4x4 블록단위로 처리할 때보다 많은 메모리를 차지하는데 P Slice의 경우 900 화소의 메모리를 요구한다.

Wang[4]이 제안한 움직임 보상기는 2-D 보간기가 수직과 수평의 1-D 보간기로 분리가 되어 있다. 4x4 블록 단위로 보간하기 위한 9개의 화소 행을 수직방향의 4개의 6-tap 필터가 수평방향으로 이동하며 보간을 수행한다. 수평방향으로 6회가 넘어서면 수평방향의 9개 6-tap 필터가 병렬적으로 보간을 수행한다. 하나의 매크로블록에 대해 보간을 수행 시 최악의 경우 560 클럭 사이클이 필요한데 이는 가장 빠른 보간 속도를 보여주지만 6-tap 필터가 13개가 사용되어 면적에 있어서는 효율적이지 못한 단점을 갖고 있다.

따라서 본 논문에서는 복호화기에서 구현된 움직임 보상기들의 단점을 해결하면서 부호화기에 적용할 수 있는 움직임 보상기의 아키텍처를 제안하고자 한다.

Ⅲ. 움직임 보상 알고리즘

H.264/AVC는 움직임 예측을 위해 화상을 4배 확대하게 되는데, 이때 확대로 인한 경계점이 화질에 나쁜 영향을 미치므로 이를 제거하기 위해 보간을 수행해야 한다. 4배 확대에 의한 보간 방법은 보다 효율적인 움직임 벡터의 연산을 가능하게 한다[1][5].

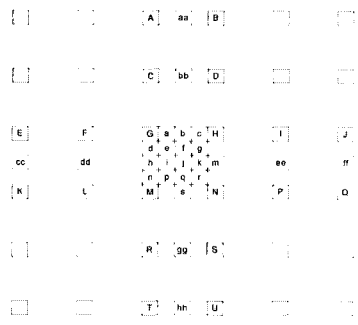

그림 2. 보간을 위한 샘플의 위치
Fig. 2 Sample position for interpolation

움직임 보상 예측을 할 때 정수화소 이하의 화소 정밀도 신호는 참조픽처의 화소 값들 간의 보간을 통해 생성한다. 그림 2는 보간 후 신호와 보간 전의 정수화소 신호와의 위치관계를 나타낸다. 여기서 알파벳 대문자는 보간 전의 정수화소 신호를 나타내고 알파벳 소문자는 1/2화소 정밀도(b, h, j, m, s, aa, bb, cc, dd, ee, ff, gg, hh), 1/4화소 정밀도의 신호(a, c, d, e, f, g, i, k, n, p, q, r)를 의미한다 [1][6].

첫 번째 단계로 정수화소 신호로부터 6-tap FIR 필터를 사용하여 1/2화소 정밀도 예측신호를 생성하고, 그 다음 과정으로 2-tap 평균치 필터에 의해 1/4화소정밀도 예측신호를 생성한다.

3.1. 1/2 화소정밀도 예측신호의 생성

수평방향으로 두 개의 정수화소 사이에 위치한 1/2화소 신호는 수평방향으로 6-tap 필터를 생성한다. 예를 들어, 그림 2의 화소 E, F, G, H, I, J에 대해 수평방향 6-tap 필터링을 적용하면 다음식과 같다.

$$b1 = (E - 5F + 20G + 20H - 5I + J) \quad (1)$$
$$b = Clip1((b1 + 16) >> 5) \quad (2)$$

두 개의 정소화소 신호의 수직방향으로 중간 위치인 1/2화소신호는 수직방향으로 6-tap 필터링을 행하여 생성한다.

예를 들어, 그림 2의 화소 h는 정수화소 A, C, G, M, R, T에 수직방향 6-tap 필터를 적용한 것이다. 필터링 식은 다음과 같다.

$$h1 = (A - 5C + 20G + 20M - 5R + T) \quad (3)$$
$$h = Clip1((h1 + 16) >> 5) \quad (4)$$

3.2. 1/4 화소 정밀도 예측신호의 생성

앞서 설명한 것처럼 1/2화소정밀도 신호의 값을 생성한 후, 평균치필터를 사용하여 1/4화소정밀도 신호를 생성한다.

화소 a, c, i, k는 주변에 인접한 정수화소 신호 또는 1/2화소 신호의 수평방향 평균치 필터를 사용하여 생성한다. 예를 들어 화소 a, f, r은 다음 식에 의해 계산된다.

$$a = (G + b + 1) >> 1 \quad (5)$$
$$f = (b + j + 1) >> 1 \quad (6)$$
$$r = (m + s + 1) >> 1 \quad (7)$$

3.3. 색차의 예측 보간 신호의 생성

색차신호의 예측보간 신호는 그림과 같이 정수화소를 1/8화소정밀도로 선형 보간하여 생성하며 다음 식으로 표현된다.

$$predPartLXC[xC, yC] = ((8 - xFrac_c)*(8 - yFrac_c)*A + xFrac_c*(8 - yFrac_c)*B + (8 - xFrac_c)*yFrac_c*C + xFrac_c*yFrac_c*D + 32) >> 6 \quad (8)$$

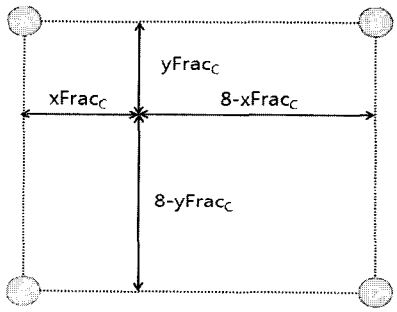

그림 3. 색차 보간을 위한 샘플의 위치
Fig. 3 Sample position for chroma interpolation

Ⅳ. 제안하는 움직임 보상기의 아키텍처

그림 4는 움직임 보상을 수행할 때 부호화기와 복호하기의 보상 범위의 차이를 나타낸다.

그림 4의 (a)는 부호화기의 움직임 추정 수행 시 정수 화소를 기준으로 수직 및 수평 방향으로 -1 ~ 0.75 까지 탐색이 필요하다는 것을 보여주고, 그림 4의 (b)는 복호화기에서 움직임 보상 수행 시 정수 화소를 기준으로 0 ~ 0.75 범위내에서 움직임 벡터의 값에 따라 예측 신호를 생성해야 함을 보여준다. 본 논문은 부호화기에 사용되는 움직임 보상의 구현이므로 그림 4의 (a)의 보간 범위를 갖는다.

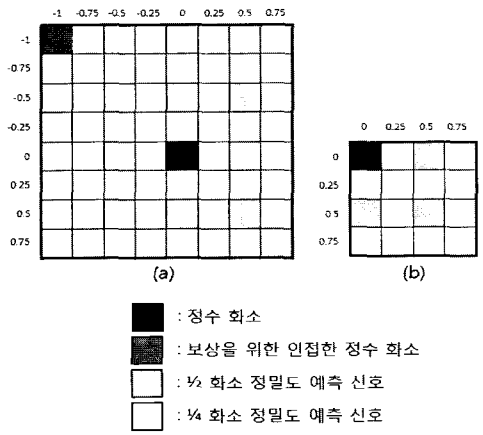

그림 4. 부호화기와 복호화기의 보상 범위
Fig. 4 Compensation range for video encoder and decoder

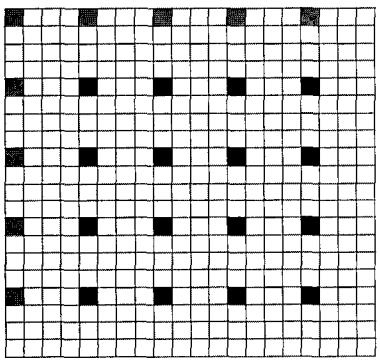

그림 5. 4x4블록 단위의 움직임 보상 범위
Fig. 5 Motion compensation range of 4x4 blocks

H.264/AVC의 인터 예측은 최소 블록 크기는 4x4이고 각각의 매크로블록 및 서브매크로블록의 파티션은 여러 개의 4x4블록들로 나누어 질 수 있다. 따라서 가변 블록 움직임 보상을 수행할 때 4x4 블록 단위로 나누어 수행하게 되면 표준을 준수하면서 손쉽게 움직임 보상을 수행할 수 있다. 복호화기에서는 4x4 블록 당 16x16크기의 보상을 해야하지만 부호화기에서는 그림 5와 같이 20x20 크기의 보상을 수행해야 한다.

그림 2에서 하나의 정수 화소에 대해 보상에 필요한 인접 정수 화소가 6x6이 필요하기 때문에 그림 5에서 4x4 블록에 대해 보상을 수행하기 위해서는 인접 정수 화소가 10x10이 필요하다. 이것을 입력으로 4x4 블록 단위의 움직임 보상을 구현한 전체 블록도는 그림 6과 같다.

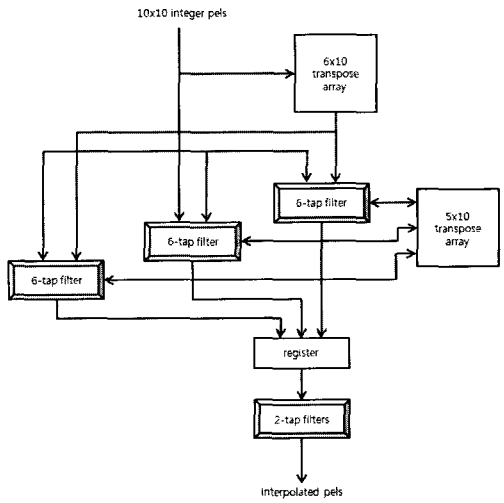

그림 6. 제안한 움직임 보상기의 전체 블록도
Fig. 6 Block diagram of the proposed motion compensator

입력이 들어오기 시작하면 먼저 그림 2의 aa, bb, b, gg, hh 화소들을 6-tap 필터를 통하여 구한다. 이 화소들은 나중에 j에 해당하는 화소를 구하기 위해 입력되어진 모든 행에 대하여 수행되어져야 하고 5x10 전치 배열과 레지스터로 전달된다. 여기서, j 화소를 구하기 위해 수직 방향으로 하는 이유는 수평 방향으로 수행하여도 동일한 결과를 얻을 수 있지만 추가적인 전치 배열을 필요로 하기 때문이다.

6-tap필터는 3개를 사용하기 때문에 하나의 행에 2클럭 사이클이 소요되고 전체 10행에 대해서는 20클럭 사이클이 소요된다. 또한 초기 입력된 10x10 화소는 6x10

전치 배열 모듈에 입력되는데 그림 2의 h 화소를 구하기 위해 입력이 전치되어야 하기 때문이고 모듈의 블록도는 그림 7과 같다.

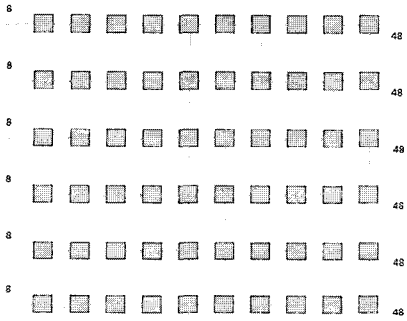

그림 7. 6x10 전치 배열 모듈
Fig. 7 6x10 transpose array module

6x10 전치 배열 모듈을 통과하면 그림 2의 cc, dd, h, m, ee, ff 화소를 구하기 위해 6-tap필터로 입력되어 결과가 레지스터에 저장되고 곧바로 5x10 전치 배열에 저장되어 있던 화소들이 j 화소를 구하기 위해 6-tap 필터에 입력되며 그림과 같이 예측 되어져야할 화소는 다섯 행이므로 각각의 h와 j화소를 구하기 위해 3개의 6-tap필터를 사용하면 각 10 클럭 사이클씩 20클럭 사이클이 소요된다.

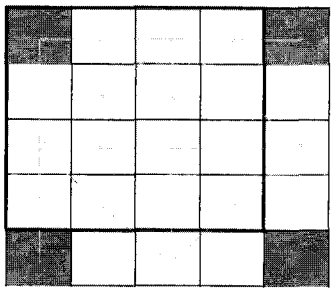

그림 8. 2-tap 필터의 적용
Fig. 8 The application of 2-tap filter

마지막으로 평균 필터인 2-tap 필터를 사용하여 1/4 화소 정밀도 예측신호를 생성하는데 순차적으로 입력을 받아 6-tap 필터가 수행되는 동시에 2-tap 필터가 수행된다. 그림 5의 보상 범위를 4x4 씩 25 블록으로 나누어 그림 8과 같이 12개의 2-tap 필터를 통하여 한 클럭 사이클에 하나의 블록씩을 처리함으로써 25 클럭 사이클이 필요하게 된다.

이를 타이밍 차트로 나타낸 것이 그림 9와 같으며 4x4 블록 전체의 보간 수행에 40 클럭 사이클이 소요된다.

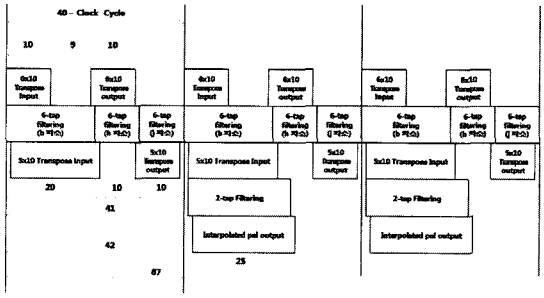

그림 9. 움직임 보상기의 타이밍
Fig. 9 Timing of motion compensator

그림 10에서는 첫 번째 4x4 블록에 대한 시뮬레이션 결과를 보여준다.

(1) : 입력된 데이터가 6x10 전치배열에 입력
(2) : 6x10 전치배열의 출력
(3) : 5x10 전치 배열의 출력
(4) : 6-tap 필터의 출력
(5) : 움직임 보상기의 출력

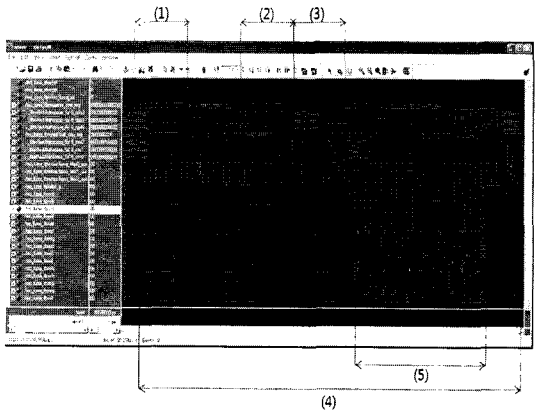

그림 10. 시뮬레이션 결과
Fig. 10 Simulation result

그림 7에서 볼 수 있듯이 움직임 추정기에서 화소들이 6-tap 필터와 6x10 전치배열로 입력되었고 (3)의 5x10 전치 배열의 출력이 끝남과 동시에 새로운 4x4 블록이 입력되었다. 따라서 (4)와 같이 6-tap 필터는 쉬지 않고 동작하며 정해진 시점에서 2-tap 필터가 수행되면 (5)와 같이 보간된 화소들이 출력 된다.

V. 성능 평가

이전에 제안되어 있던 복호화기의 움직임 보상기는 부호화기와 다음과 같은 차이가 있다.

복호화기에서는 보간해야 하는 화소 범위가 다르고 움직임 벡터를 생성해야하며 참조프레임 메모리에 직접 접근해야하지만 부호화기에서는 움직임 추정기에 종속적이어서 오직 보간만을 수행한다.

따라서, 복호화기의 움직임 보상기로 제안된 논문과 본 논문에서 제안하는 부호화기의 움직임 보상기의 비교를 위해 가장 핵심이 되는 6-tap 필터의 개수와 메모리의 크기 그리고 보간화소를 예측하기까지의 최악의 경우 수행 클럭 사이클을 비교하면 아래 표 1과 같다.

표 1. 움직임 보상기의 성능 비교
Table 1. Performance comparison among motion compensators

	논문[3]	논문[4]	본 논문
보간화소/4x4	16x16	16x16	20x20
클럭 사이클 수/4x4	27	60	40
클럭 사이클 수/1MB	432	960	640
6-tap 필터	13	1	3
메모리	N/A	900화소	210화소

표 1 에서 볼 수 있듯이 논문[3]의 구조는 6-tap 필터가 13개가 사용되어 가장 빠른 수행시간을 갖기 때문에 4x4 블록을 수행하기 위해 27클럭 사이클이 걸리지만 6-tap 필터의 개수로 면적에 비효율적이라고 할 수 있다. 반면에 논문[4]의 구조에서 P 슬라이스의 경우 하나의 6-tap 필터로 4x4 블록을 보간하는데 60클럭 사이클이 걸리지만 j화소를 구하기 위해 표준안과는 다른 식을 적용하였고 정수 및 1/2 화소를 저장하기위한 내부 메모리를 900화소가 저장 되도록 구현하였다. 이에 반해 제안하는 구조는 4x4 블록단위로 처리함으로 내부 메모리를 정수 및 전치배열 메모리로 210 화소가 필요하며 표준안을 준수하였다. 또한 6-tap 필터의 개수의 증가를 최소화하여 수행 클럭 사이클을 40 클럭 사이클로 감소시켰다. 필터의 개수에 비해 수행 클럭 사이클의 감소는 미미하다고 할 수 있겠지만, 보간 범위가 복호화기보다 144 화소가 많고 메모리 크기를 줄였기 때문에 보다 효율적인 구조를 갖는다고 할 수 있다.

아래의 표 2는 30fps 영상의 각각의 비디오 포맷에서 휘도 신호만을 움직임 보상을 했을 때 요구되는 동작 주파수를 보여준다.

표 2. 요구되는 동작 주파수의 비교
Table 2 The comparison of the required operating frequencies

(단위 : MHz)

비디오 포맷	프레임 사이즈	요구 동작 주파수		
		논문 [3]	논문 [4]	본 논문
1080HD	1920x1080	100	235	156
525 16SIF	1408x960	65	152	101
XGA	1024x768	40	88	58
VGA	640x480	15	34	23

논문 [3]보다 약 55% 높은 동작 주파수를 요구하지만 6-tap 필터의 개수나 보간 범위를 고려했을 때 보다 효율적인 성능을 보인다고 할 수 있으며, 이는 실시간 응용 서비스에 적용 가능할 것으로 사료된다.

VI. 결 론

본 논문은 H.264/AVC 부호화기에서 적용 가능한 움직임 보상에 적합한 구조를 제안한다. 본 논문에서 제안하는 움직임 보상기는 RTL레벨의 VHDL로 구현하고 PCI 인터페이스를 통하여 보드 레벨에서 검증하였다. 전치배열을 사용하여 3개의 휘도 6-tap 필터는 입력이 지속되는 한 쉬지 않고 동작한다. 6-tap 필터에 의해 1/2 화소가 예측 되면 파이프라인 기법을 통하여 다음 주기에 1/4 화소를 2-tap 필터를 통하여 예측하여 출력되어지도록 구현함으로써 높은 하드웨어 이용률을 갖게 되었

다. 하나의 매크로블록을 처리하는데 640 클럭 사이클이 소요되며 30fps 비디오 영상에 1080HD영상을 인코딩 하려면 약 156MHz의 동작 주파수를 요구하므로 이는 실시간 처리 응용 분야에 적합할 것으로 사료된다. 이 기술을 바탕으로 장래에 움직임 추정 모듈과 결합한 인터 예측 부호화기를 제안하여 FPGA로 구현할 계획이다.

참고문헌

[1] Draft ITU-T Recommendation and Final Draft International Standard of Joint Video Specification, May 2003, Joint Video Team.

[2] ISO/IEC JTC1/SC29WG11, "a Computational Complexity Comparison of MPEG4 and JVT Codecs," Doc. M8696, July. 2002.

[3] H. Tseng, C. Chang and Y. Lin, "A Hardware Accelerator for H.264/AVC Motion Compensation," IEEE Workshop on Signal Processing System Design and Implementation, pp. 214-219, Nov. 2005.

[4] S. Wang, T. Lin, T. Liu and C. Lee, "A Motion Compensator with Parallel Memory for H.264 Advance Video Coding," IEEE ISCAS Circuit and System, vol. 5, pp. 4558-4561, May 2005.

[5] 박기현, "코덱의 세계로의 초대," 홍릉과학출판사, 2006

[6] 카도노 신야, "H.264/AVC 비디오 압축 표준," 홍릉과학출판사, 2005

저자소개

김 원 삼(Won-Sam Kim)

2008년 한신대학교 컴퓨터정보학과 (석사)

※관심분야 : ASIC 설계, H.264/AVC 코덱

손 승 일(Seung-Il Sonh)

1989년 연세대학교 전자공학과 (공학사)
1991년 연세대학교 대학원 전자공학과 (공학석사)
1998년 연세대학교 대학원 전자공학과(공학박사)
2002년~현재 한신대학교 정보통신학과 부교수
※관심분야 : ATM 통신 및 보안, ASIC 설계, 영상신호처리칩, 비디오코덱

강 민 구(Min-Goo Kang)

1986년 연세대학교 전자공학과 (공학사)
1989년 연세대학교 대학원 전자공학과 (공학석사)
1994년 연세대학교 대학원 전자공학과(공학박사)
2000~현재 한신대학교 정보통신학과 교수
※관심분야 : 이동통신, 정보통신시스템 etc.