

논문 2008-45SD-4-4

수동 광 가입자망에서의 위상고정루프를 이용한 버스트모드 클럭/데이터 복원회로

(Burst-mode Clock and Data Recovery Circuit in Passive Optical Network Implemented with a Phase-locked Loop)

이 성 철*, 문 성 용*, 문 규**

(Sung-Chul Lee, Sung-Young Moon, and Gyu Moon)

요 약

본 논문에서는 Instantaneous locking 특성을 갖는 새로운 구조의 수동형 광가입자망용 622Mbps급 버스트모드 클럭/데이터 복원회로를 제안하고, 이를 구현하였다. 이 회로는 고속 클럭신호를 발생하는 위상고정루프와 버스트모드에서의 클럭/데이터 복원회로 두 개의 블록으로 구성되어 있다. 클럭/데이터 복원회로에서는 위상고정루프의 클럭을 지연소자를 통해 7개의 서로 다른 클럭신호로 발생시킨다. 이 경우 광가입자망에 지터를 가지고 있는 신호가 입력되어도 항상 데이터의 중앙에 클럭이 정렬되도록 조정하여 최적의 샘플링 시점에서 데이터를 복원하게 된다. 제안한 구조에 대한 검증을 위하여 0.35um n-well CMOS 공정을 이용하여 회로의 동작을 확인하였다.

Abstract

In this paper, a novel 622Mbps burst-mode clock and data recovery (CDR) circuit is proposed for passive optical network (PON) applications. The CDR circuits are implemented with 0.35um CMOS process technology. Locking dynamics is accomplished with instantaneous feature and data are sampled at an optimal timing. This is realized by seven different delay configurations, which are generated from precisely-controlled delay buffers. The experimental results show that the proposed CDR circuits are operating as expected, recovering an incoming 622Mbps burst-mode input data without errors.

Keywords : Phase-Locked Loop(PLL), Clock and Data Recovery(CDR), Passive Optical Network(PON), Burst-mode

I. 서 론

기존의 점 대 점 링크(point-to-point link) 방식의 광통신은 최근의 PON(Passive Optical Network)기술의 발달에 따라 광 다중접속(optical multiple access)으로 전환되고 있다. 이러한 광 다중접속은 동일 광섬유 선을 시분할 다중접속(time division multiple access) 방

식으로 공유하게 되므로 PON시스템 내의 데이터는 버스트 모드(burst-mode)로 송수신 되고 이에 따라 버스트 모드 광 송수신기에 대한 연구가 활발히 진행되고 있다^[1]. PON 시스템에서 송신단은 동기를 맞추는 클럭을 제외한 데이터 정보만을 수신단으로 보내는 방식을 사용한다. 이때 수신단은 제한된 채널용량에 의해 왜곡된 신호를 정확히 복원하기 위해서 수신된 신호에 동기된 안정적인 클럭을 필요로 한다. 대용량의 정보 전송 시 이러한 필요성은 더욱 커지게 되고 안정적인 클럭 발생기의 구성은 전체 시스템의 성능을 좌우하게 된다. 이에 따라, 높은 시스템 클럭을 제공하기 위한 위상 동기 회로(Phase-Locked Loop ; PLL) 및 높은 전송률로 전송되는 데이터로부터 클럭 신호를 추출하는 클럭/데

* 학생회원, ** 정회원 한림대학교 전자공학과
(Department of Electronic Engineering, Hallym University)

※ 이 논문은 2002년도 한림대학교 교비연구비
(HRF-2002-41)에 의하여 연구되었음

접수일자: 2007년 11월6일, 최종수정일: 2008년 3월24일

이터 복원(Clock and Data recovery; CDR)회로에 관한 연구가 활발히 이루어지고 있다^[2]. 본 논문에서는 20ns 이내의 복원시간을 갖는 새로운 구조의 622Mbps급 버스트모드 클럭/데이터 복원 회로를 제안하고 이를 구현하였다. 이 회로에서는 지연소자 (Delay Cell), Logic-Inverter (LI), Optimal Sampling Position Indicator (OSPI) 라는 새로운 구조의 블록을 제안하여 클럭/데이터 복원 블록에 사용하였다. 지연소자, LI, 그리고 OSPI 를 이용하여 서로 다른 7개의 지연된 클럭 신호를 발생시키고 이를 이용하여 빠른 복원시간을 갖고, 지터를 내재한 입력에도 항상 데이터의 중앙에 클럭이 정렬되도록 조정하여 최적의 샘플링 시점에서 데이터를 복원하게 된다. 제안한 구조에 대한 검증은 위하여 0.35um n-well CMOS 공정을 이용하여 SPICE 시뮬레이션을 수행하였다. 본 논문의 구성은 II장에서 CDR 회로의 구성과 동작원리를 다루고 III장에서 설계된 회로의 시뮬레이션 결과를 보이며 IV장에서 결론을 맺는다.

II. CDR 회로의 구성과 동작원리

일반적인 continuous mode 통신 시스템의 수신단에서는 입력 데이터의 지터를 최소화 하도록 PLL을 이용한 클럭/데이터 복원회로를 많이 사용한다. 하지만 버스트 모드 수신단에서는 입력 데이터의 주파수가 시스템 클럭과 독립되어 있고, 데이터가 언제 들어올 지 알 수가 없으므로 이러한 상황에서 입력 데이터를 예러 없이 정확하게 복원하기 위해서는 입력 데이터의 위상과 주파수에 맞는 클럭으로 복원 하는 것이 가장 좋다고 알려져 있다^[3]. 그림 1에 새로이 제안된 버스트 모드 클럭/데이터 복원회로의 전체 블록도를 나타내었다. 회로는 데이터와 클럭을 복원하는 블록(CDR)과 시스템 클럭을 제공하는 위상 동기 회로(Phase-Locked Loop)로 구성되어 있다. 보는 바와 같이 PLL은 주파수/위상 검출기 (PFD) 와 전하펌프(Charge Pump), 루프필터 (Loop Filter), 분주기(Divider) 그리고 전압 제어 발진기 (VCO)로 구성되어 있다. 분주기 회로는 64분주를 하여 VCO 출력 주파수의 1/64 에 해당하는 9.72MHz 기준주파수를 입력으로 64배인 622MHz로 Frequency multiplication을 하여 시스템 클럭을 제공하게 된다. 위상 동기 회로의 동기 범위는 290MHz - 673 MHz 가 되도록 설계하였으며 2차 루프필터를 이용하여 3차의 위상 동기 회로를 구성하였다.

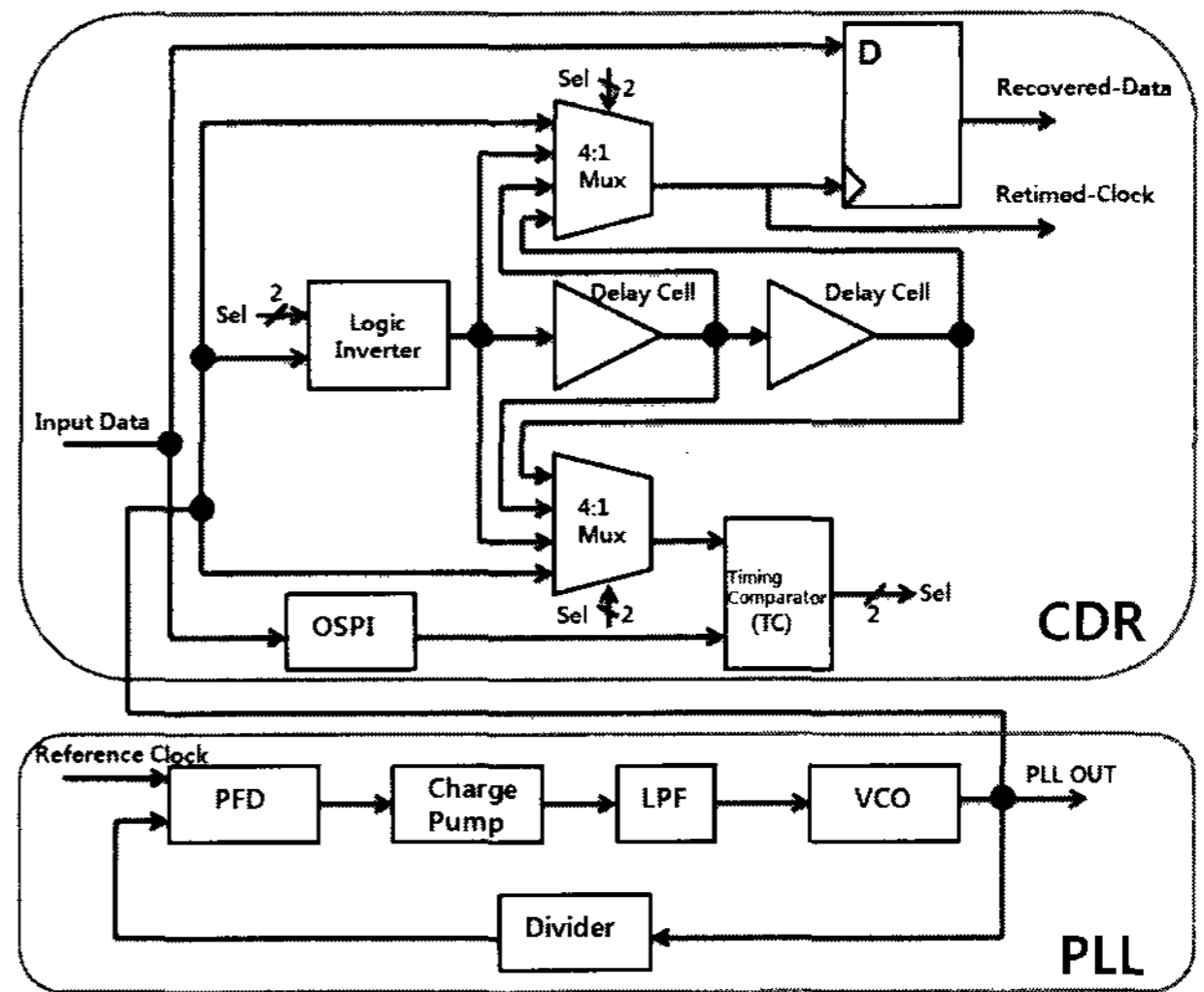


그림 1. 버스트 모드 클럭/데이터 복원회로의 블록도
Fig. 1. Block diagram for the burst-mode CDR circuits.

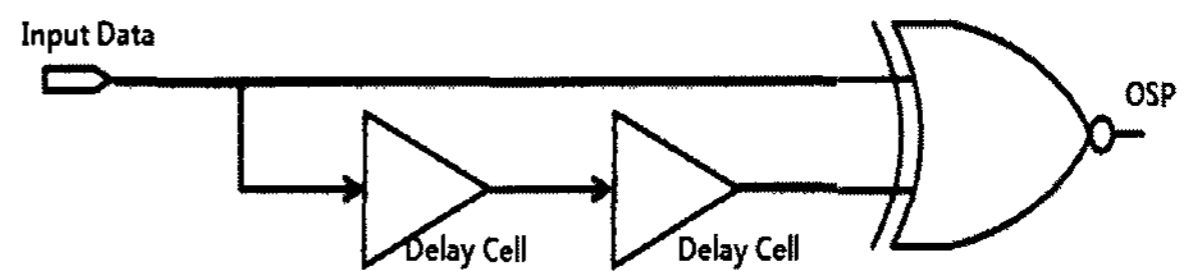


그림 2. OSPI 의 회로도
Fig. 2. Schematic of the OSPI.

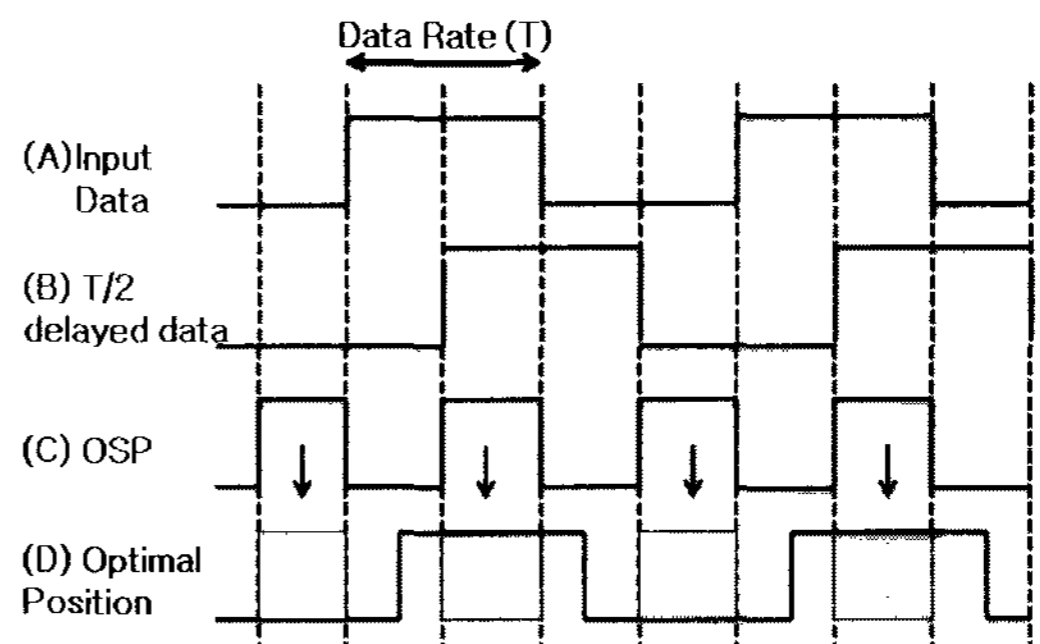


그림 3. OSPI 의 타이밍도
Fig. 3. Timing diagram of the OSPI.

클럭/데이터 복원회로(CDR)는 선택신호에 의해 반전을 하는 Logic Inverter(LI), 지연소자(Delay Cell), 최적의 샘플링 시점 정보를 제공하는 OSPI (Optimal Sampling Position Indicator), 최적의 샘플링 시점에서 클럭의 트리거 여부를 검출하는 Timing Comparator (TC), 두 개의 4:1 멀티플렉서, Double Edged Triggered D-Flip Flop 으로 구성되어 있다.

그림 2는 최적의 샘플링 시점의 정보를 제공하는 OSPI의 회로도를 나타내었다. 회로는 입력 신호 데이터의 절반(T/2) 만큼 지연시키는 지연소자와 2-input XNOR 게이트로 구성되어 있다. OSPI 는 입력데이터의 천이가 있을 때마다 발생하고, 천이가 없을 때에는 발

생하지 않는다. 이를 위하여 지연소자의 설계는 622Mbps의 데이터율에서 한 비트는 약 0.8ns 이므로 이에 절반에 해당하는 0.4ns를 지연을 시키는 버퍼지연소자를 사용하였다. 그림 3에 OSPI의 타이밍도를 나타내었다. (A)는 입력데이터 (B)는 T/2 만큼 지연된 입력데이터 (C)는 XNOR 게이트를 통해 출력되는 최적의 샘플링 시점 정보(OSP)를 나타낸다. (D)는 OSP가 데이터의 중앙에 정렬된 이상적인 파형을 나타내었다.

OSPI의 출력인 최적의 샘플링 시점의 정보는 그림 4의 TC회로로 입력되어진다. TC에서는 4:1 MUX에 의해 선택되어진 클럭신호가 OSPI에 의해 제공되는 최

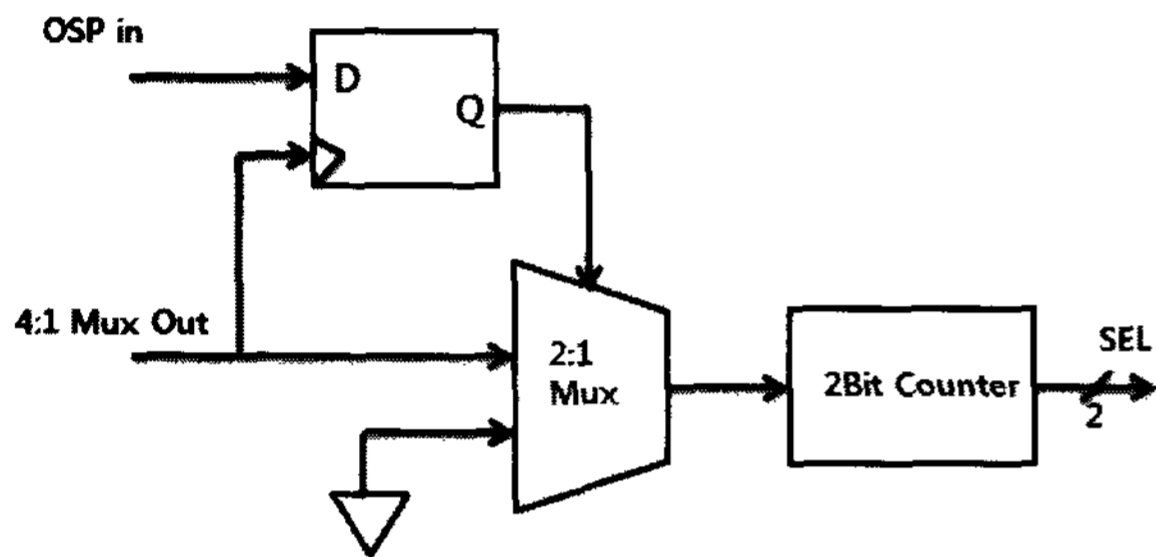
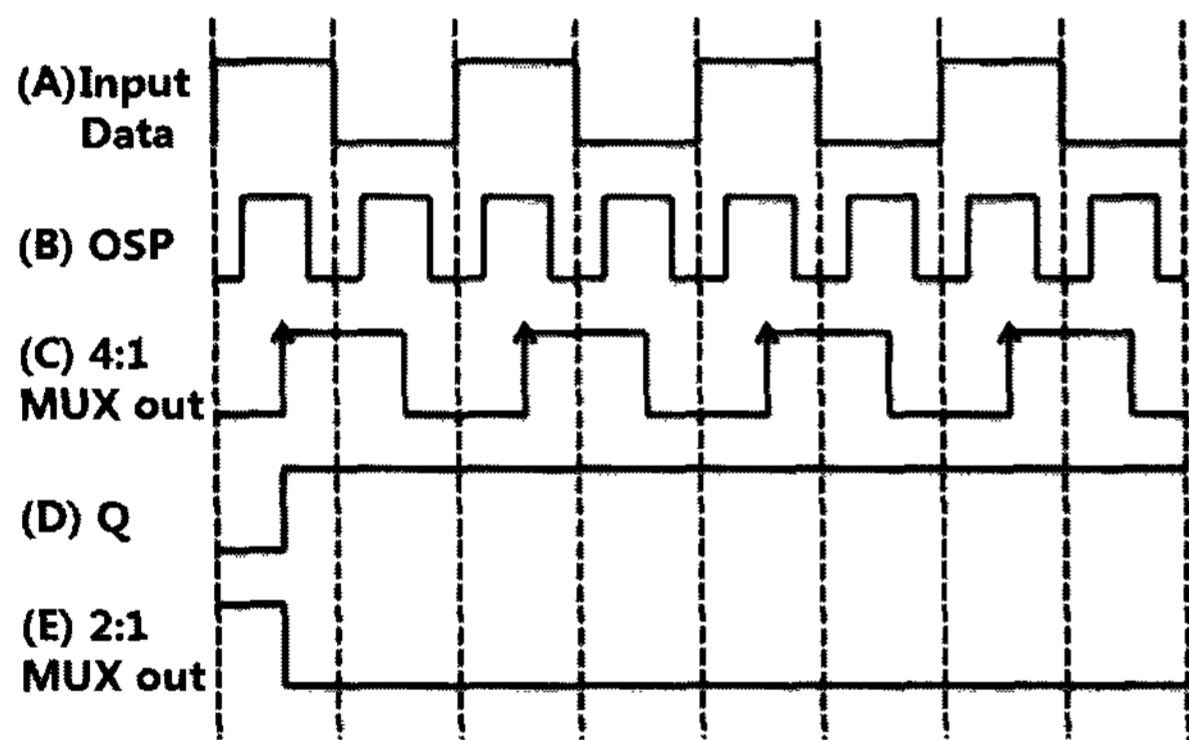
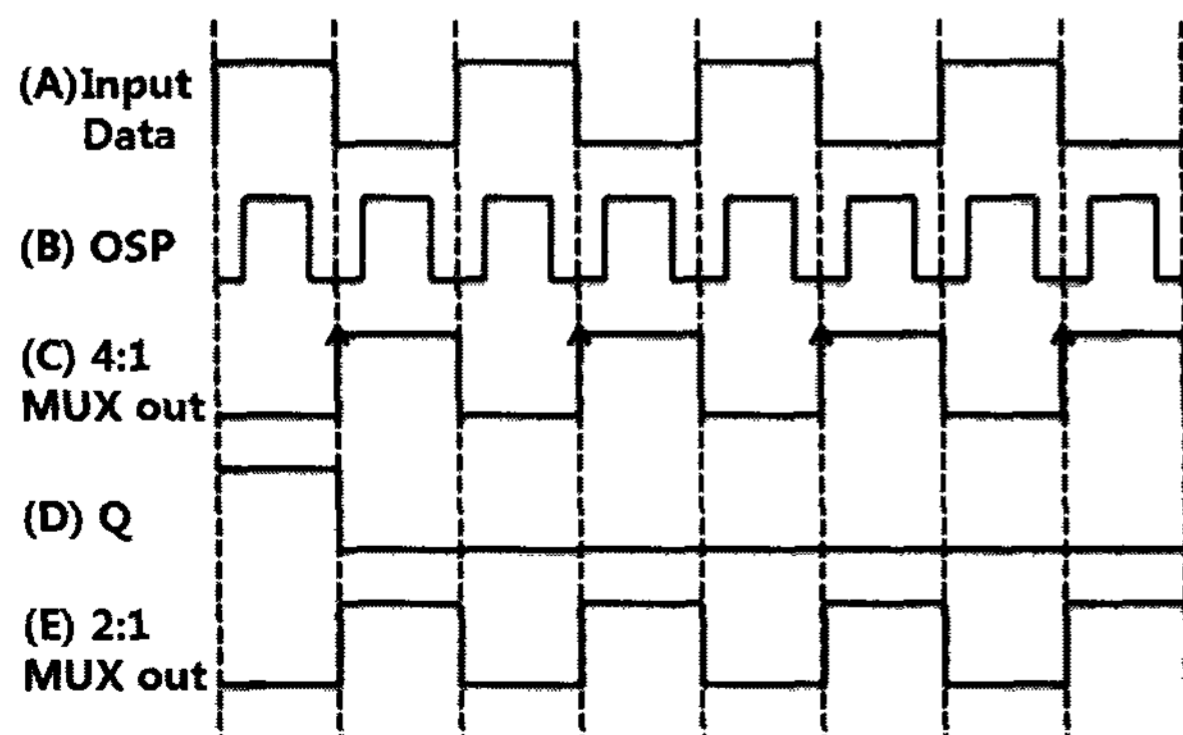


그림 4. Timing Comparator (TC)의 회로도
Fig. 4. Schematic of the Timing Comparator.



(A) 클럭신호가 OSP에서 트리거 될때



(B) 클럭신호가 OSP에서 트리거 되지 못할때

그림 5. Timing Comparator의 타이밍도
Fig. 5. Timing diagram of the Timing Comparator.

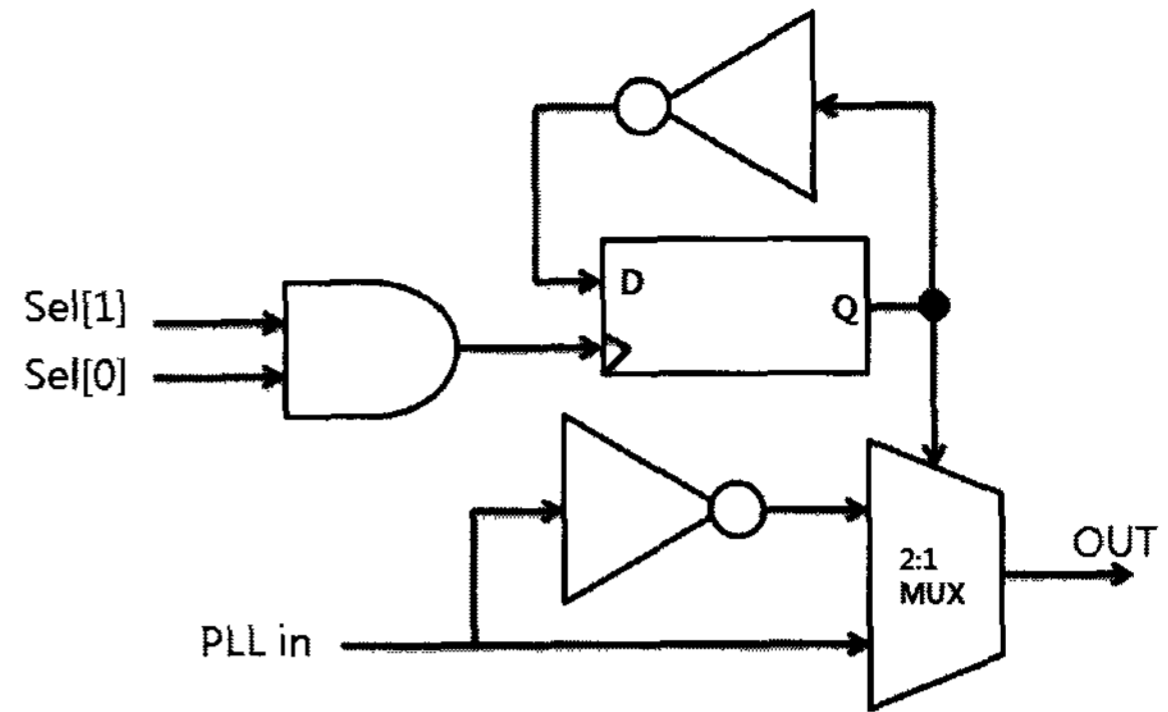


그림 6. Logic Inverter (LI)의 회로도
Fig. 6. Schematic of the Logic Inverter.

적의 샘플링 위치(OSP)에서의 트리거의 여부를 판별하는 기능을 수행하게 된다. OSP는 TC의 회로중 D 플립플롭에 연결되며 4:1 MUX의 출력은 플립플롭의 입력클럭으로 연결되었다. 그리하여 최적의 시점 안에서 클럭이 트리거 된다면 플립플롭의 출력(Q)은 "1"이 되며 그렇지 않을 경우 "0"을 출력하게 된다. 플립플롭의 출력은 2:1 MUX의 선택선으로 연결되며 선택선이 "0"이라면 클럭을 2비트 카운터에 인가하여 4:1 MUX의 선택값(Sel)을 변경한다. 그리고 정확한 시점에서 트리거 된다면 2:1 MUX의 출력은 "0"으로 고정되며 이 순간의 카운터의 출력신호, 즉 4:1 MUX 선택신호는 현재의 선택된 값을 유지하게 된다. 그림 5는 TC의 타이밍도를 나타내었다. (A)는 4:1 MUX의 출력인 클럭신호가 OPS 안에서 트리거 될 경우이며 (B)는 그렇지 못한 경우를 나타내었다.

전체 회로중 PLL은 클럭/데이터 복원회로의 클럭을 제공한다. PLL의 출력은 그림 6에 나타낸 LI에 입력되어진다. LI는 2-input AND 게이트, 2:1 MUX, 2개의 인버터로 구성되어 있으며 TC의 출력인 선택신호(Sel)가 모두 1일때 LI로 입력되는 클럭신호 위상을 인버터로 인해 180도 위상 반전을 하게된다. LI와 지연소자에 의해 선택선이 모두 1일때 180, 220, 260도, 그리고 선택선이 모두 0일때 0, 40, 80, 120도의 순차적으로 지연된 클럭신호를 발생시키게 된다. TC에서 최적의 샘플링 시점에서 클럭의 트리거 여부를 판별하고 클럭을 재정렬하여 최적의 샘플링 시점에서 Dual Edge Triggered D 플립플롭을 이용하여 데이터를 복원하게 된다.

III. 설계된 회로의 시뮬레이션 결과

제안된 회로를 검증하기 위하여 3.3V의 전원전압을 갖는 0.35um n-well CMOS 공정에서 설계하고 SPICE

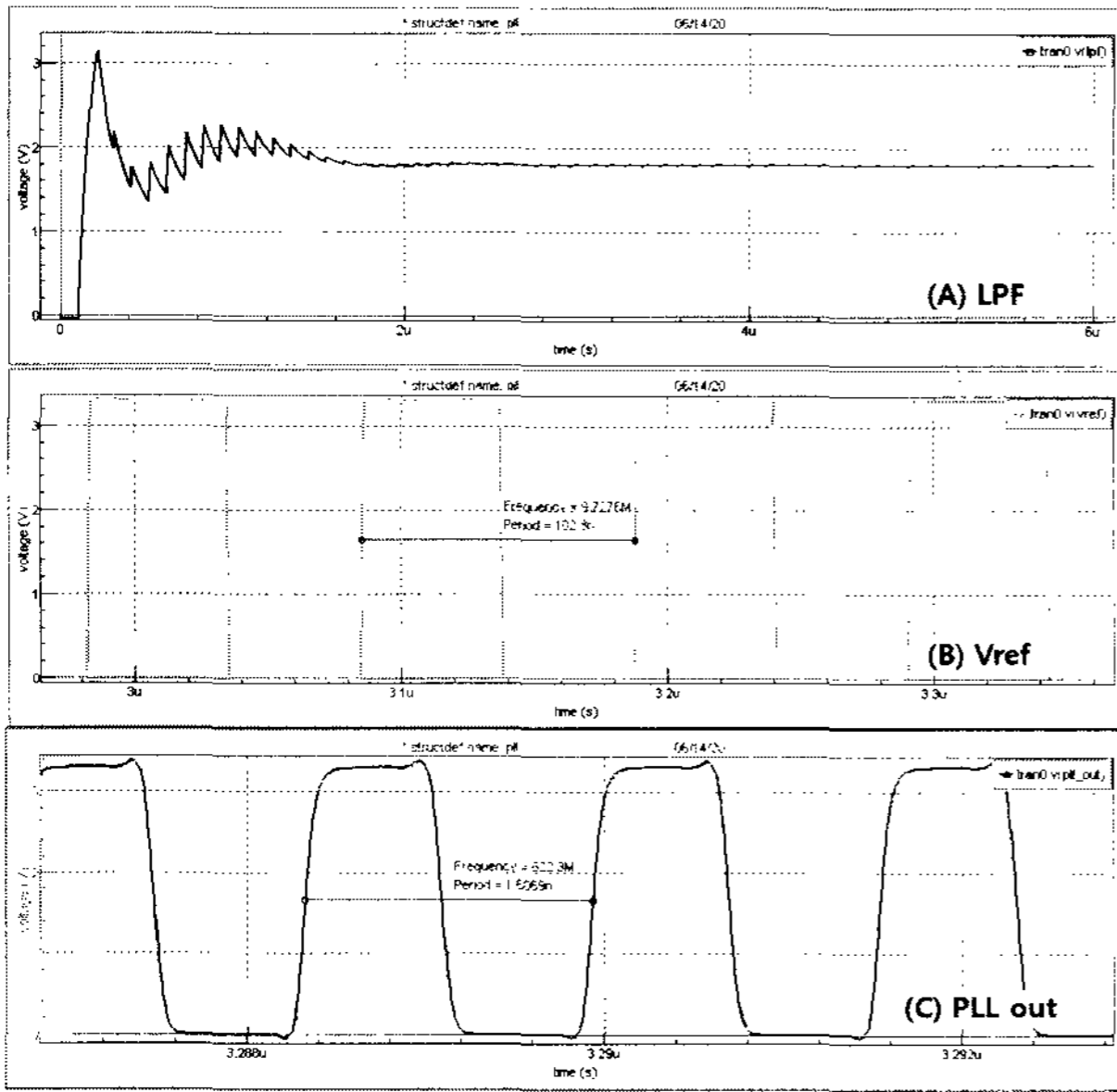


그림 7. PLL의 시뮬레이션 결과
Fig. 7. Simulation results of the PLL.

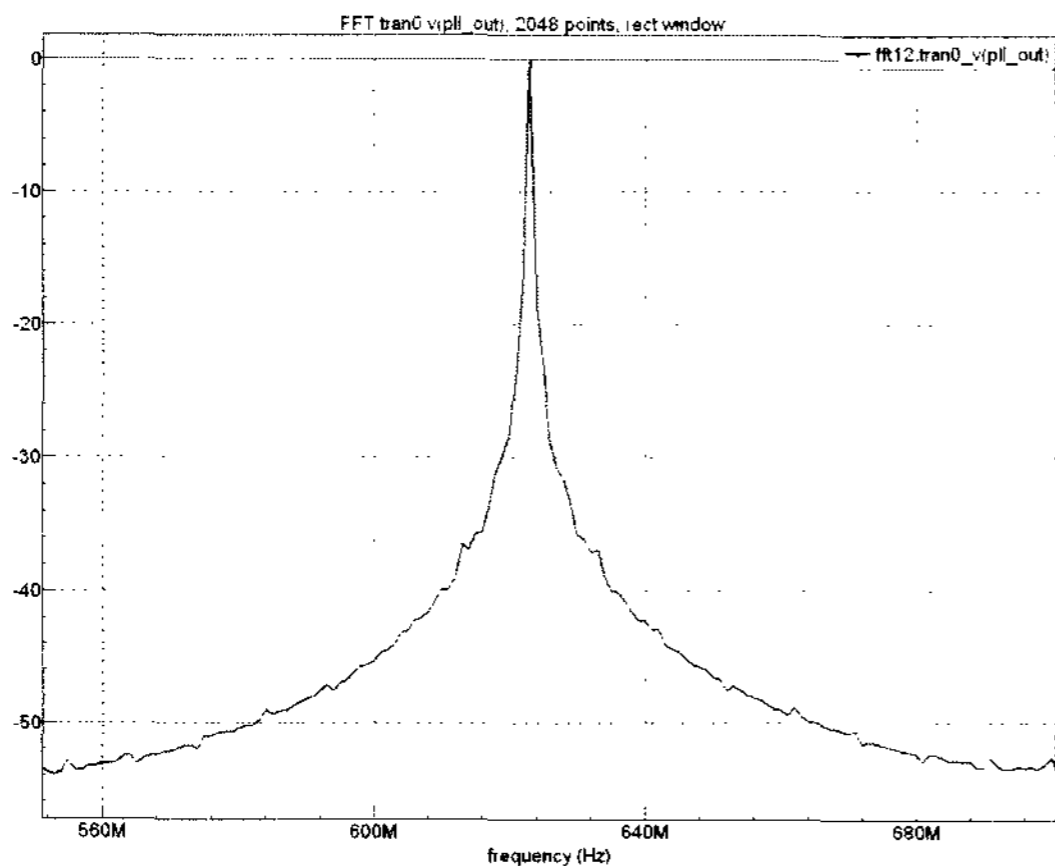


그림 8. 622MHz PLL의 출력스펙트럼
Fig. 8. Measured 622MHz output spectrum of the PLL.

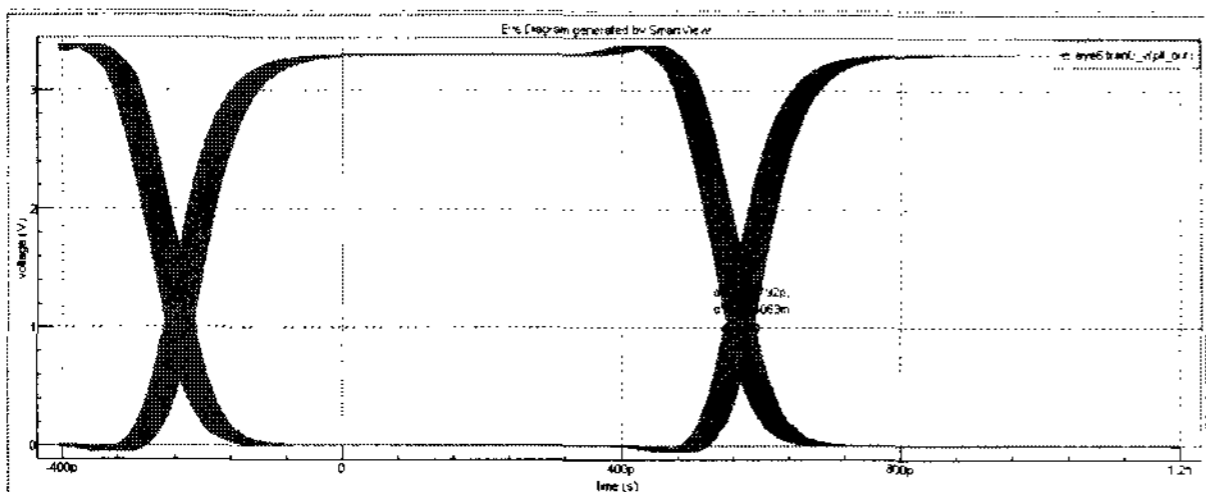


그림 9. 622MHz 시스템 클럭의 Eye diagram
Fig. 9. Measured 622MHz Eye Diagram of the system clock.

시뮬레이션을 수행하였다. 그림 7은 PLL의 시뮬레이션 결과를 나타내었다. 보는 바와 같이 (A) LPF 신호는 VCO 제어전압을 나타내며 2us 이후 Locking 되었다. (B) Vref 신호는 9.72MHz의 기준주파수이며 (C) PLL out 신호는 64배 Frequency Multiplication 결과를 나타

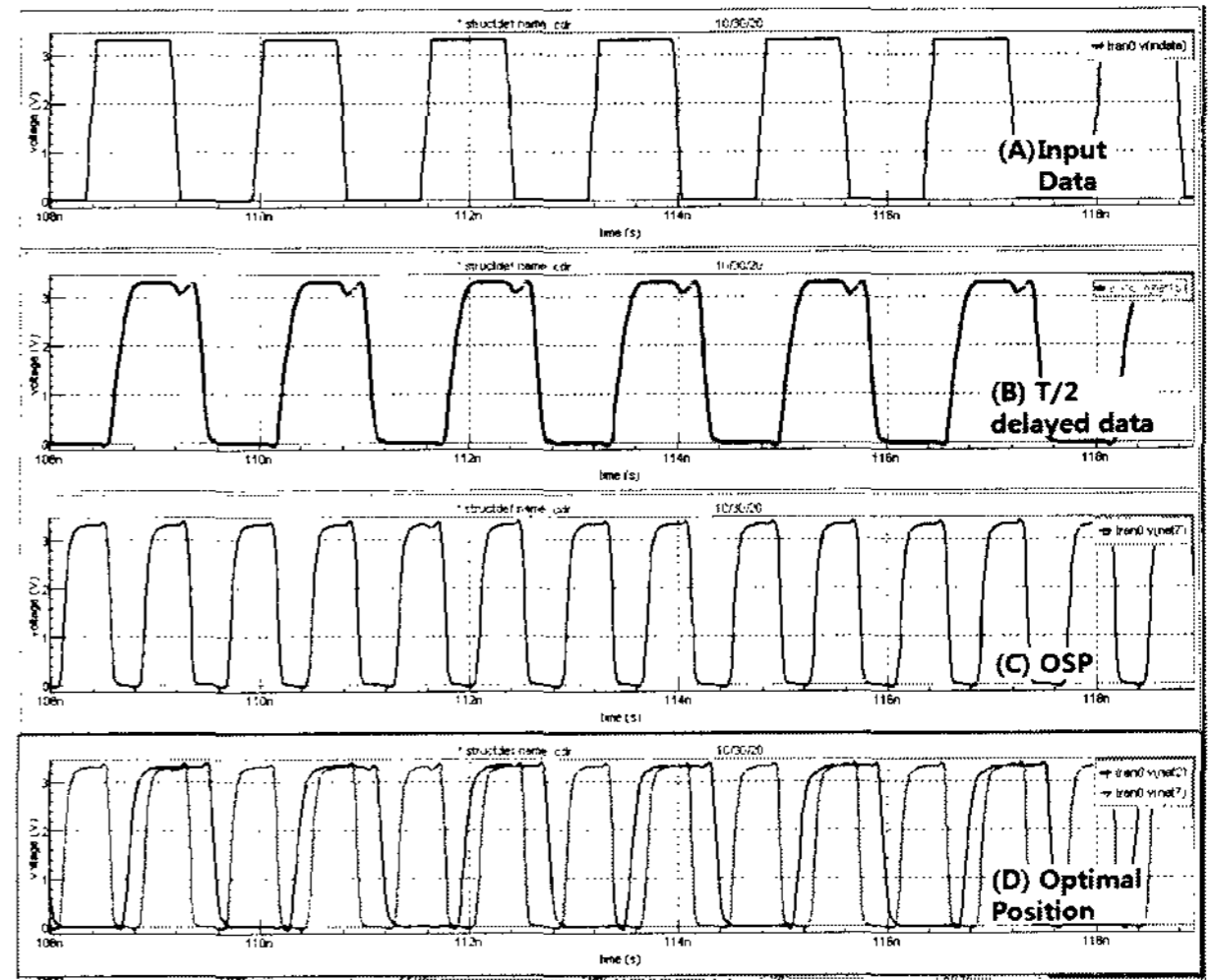
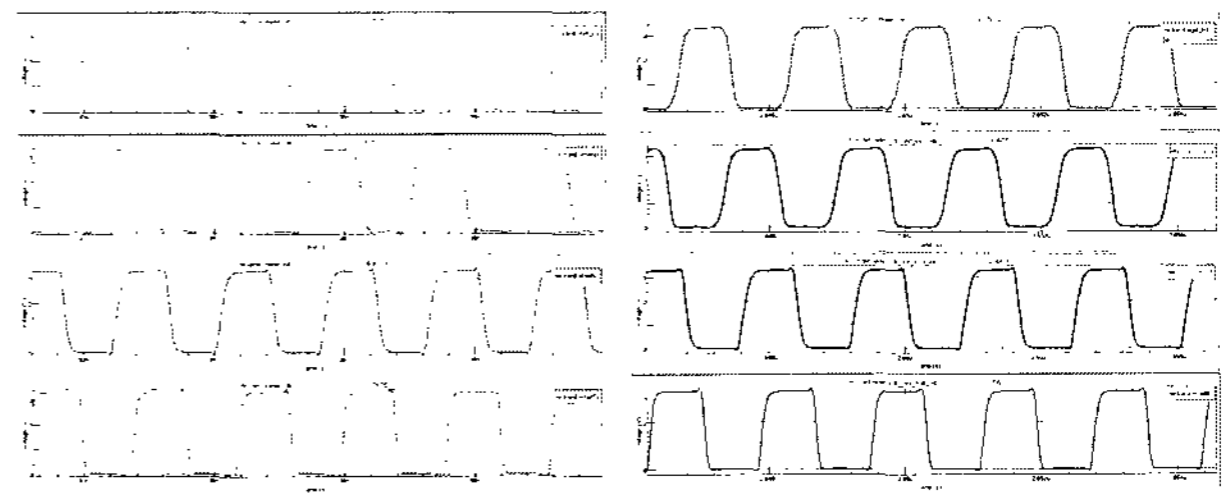


그림 10. OSPI의 시뮬레이션 결과
Fig. 10. Simulation results of the OSPI.



(A) $Sel \neq [1,1]$ (B) $Sel = [1,1]$

그림 11. 선택 값에 따른 LI와 지연소자의 시뮬레이션 결과
Fig. 11. Simulation results of the LI and Delay Cell depends on select signal.

낸다. 그림 8은 PLL out의 출력스펙트럼을 나타내었으며 그림 9는 622MHz 시스템 클럭의 Eye Diagram을 나타내었다. 측정결과 Peak-to-peak Jitter는 43ps로 나타났다.

OSPI의 입출력 특성 시뮬레이션 결과를 그림 10에 나타내었다. (A)는 입력데이터 이고, (B)는 T/2 만큼 지연된 입력 데이터이며, (C)는 최적의 샘플링 시점을 나타낸다. (D)는 입력데이터를 OSPI에서 지연된 시간을 보상하여 샘플링 시점의 정보를 데이터의 정 중앙에 정렬한 모습을 나타낸 것으로 그림 3의 (D)신호에 해당한다.

그림 11은 선택 값에 따른 LI와 지연소자의 시뮬레이션 결과를 나타내었다. (A)는 LI의 선택선(Sel)이 모두 "1"이 아닐 때 (B)는 선택선이 모두 "1"일 때의 결과이다. 즉, 원래의 신호 1개와 LI의 선택선의 값에 의해 6개의 클럭신호를 발생한다.

그림 12는 손상된 622Mbps의 데이터를 제안된 회로를 통해 복원된 결과와 이들의 Eye Diagram을 나타내

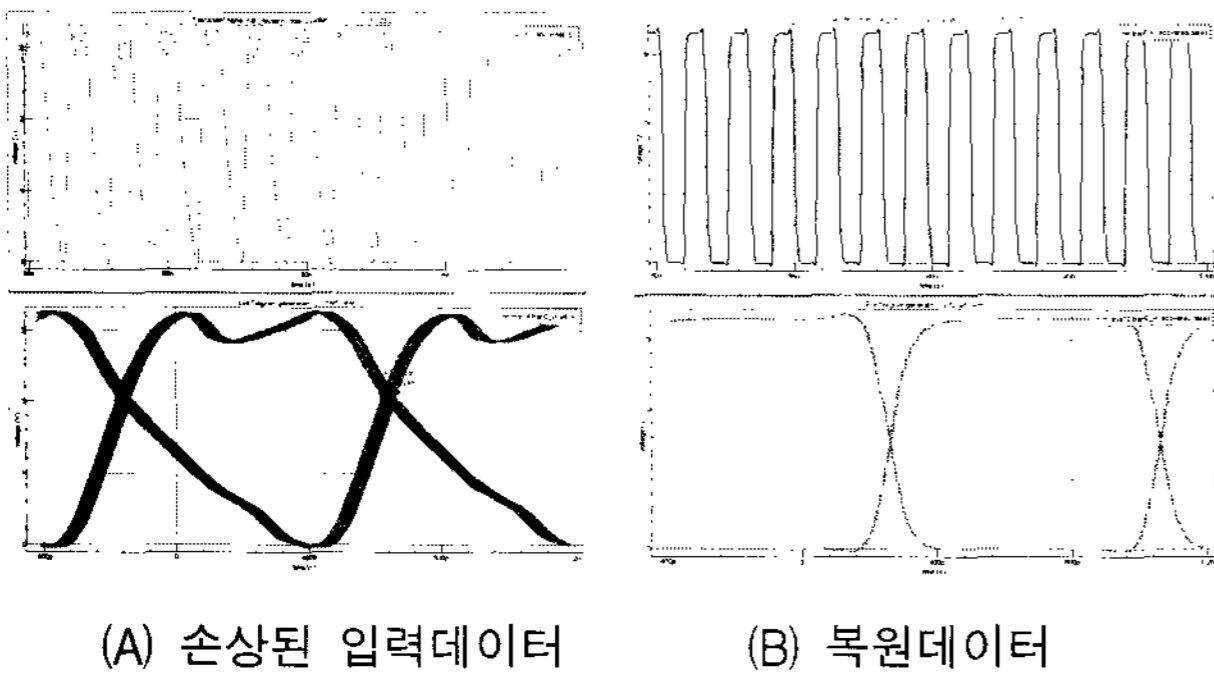


그림 12. CDR 회로의 시뮬레이션 결과
Fig. 12. Simulation results of the CDR circuit.

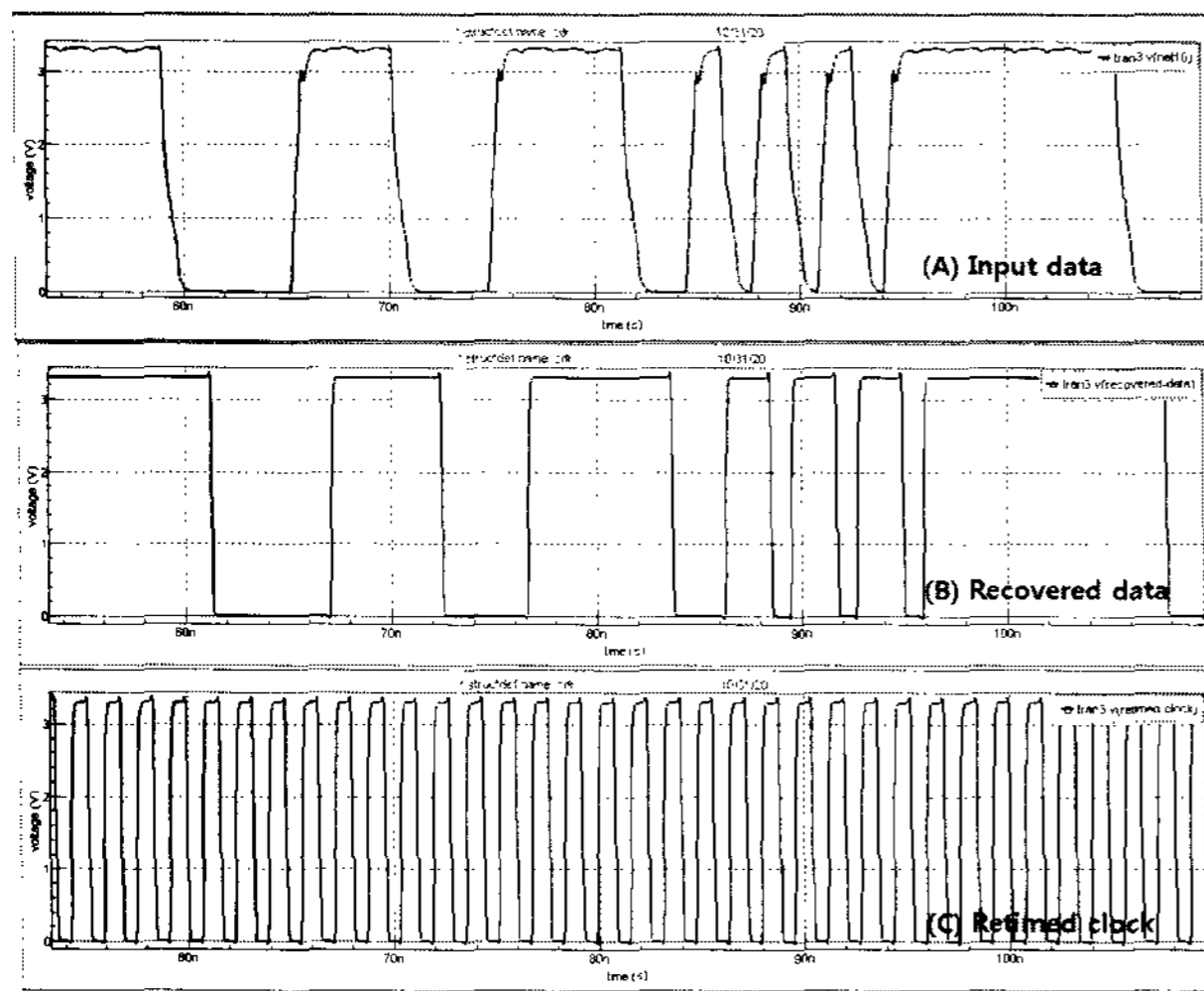


그림 13. PRBS 데이터를 입력으로 인가한 CDR 회로의 시뮬레이션 결과
Fig. 13. Simulation results of the CDR circuit with PRBS input data.

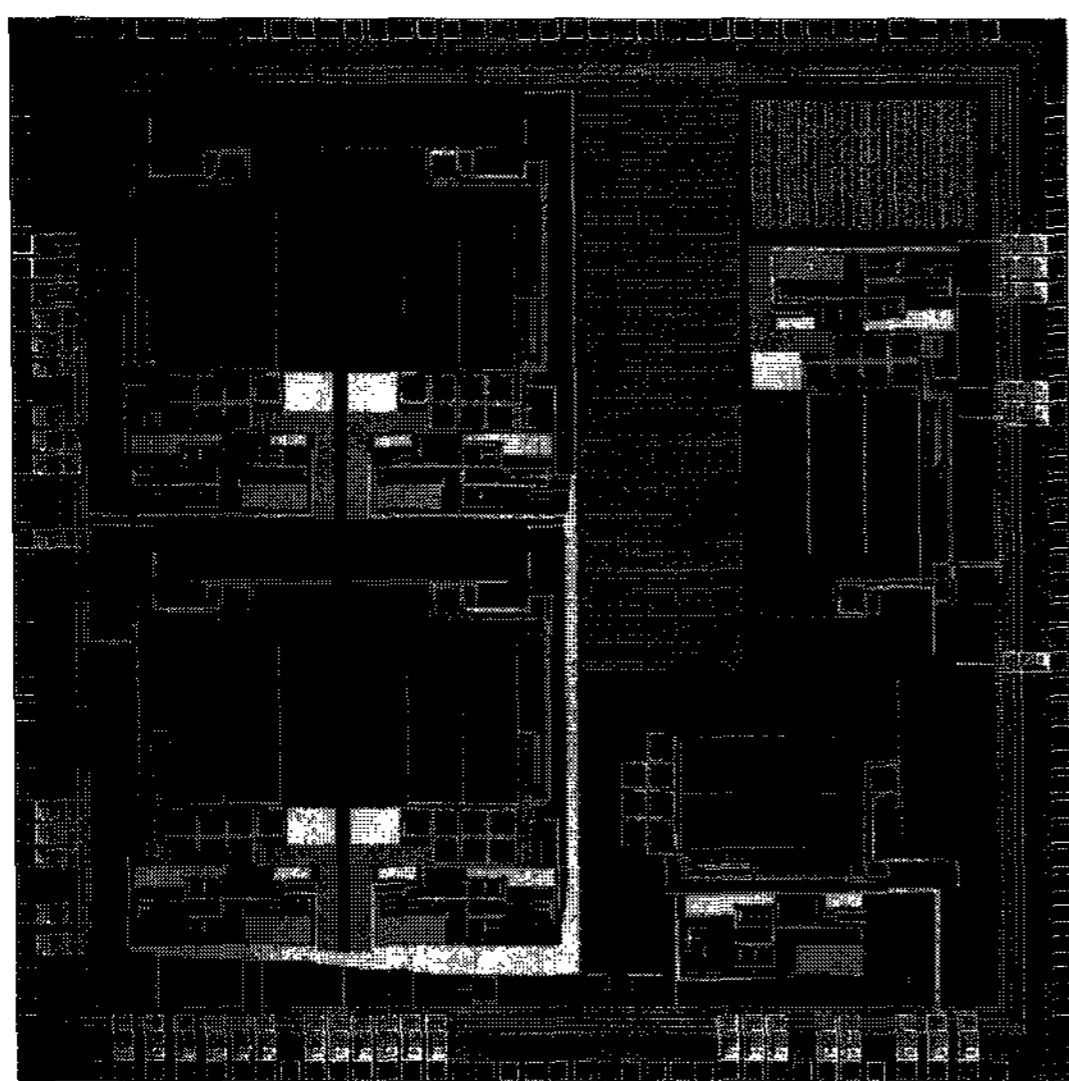


그림 14. CDR 회로의 레이아웃
Fig. 14. Layout of the CDR circuit.

었다. (A)와 같이 손상된 데이터라 할지라도 데이터의 천이 시점에서 추출한 최적의 샘플링 시점에서 데이터

표 1. CDR 칩의 성능

Table 1. Performance of the CDR.

Process	0.35um CMOS n-well technology
Power dissipation @VDD=3.3V	About 35.8mW (core)
Chip size	4.35x4.35mm (전체) 1740x846um (core)
Package	144pin MQFP
Locking range	290MHz-673MHz

를 복원한 결과 (B)와 같은 복원데이터를 얻을 수 있으며 입력데이터의 Peak-To-Peak 지터는 51ps이며 복원된 데이터에서는 7.34ps 로 감소되었다.

그림 13은 Pseudo Random Binary Sequency(PRBS, sequence length $2^7 - 1$) 를 이용하여 입력데이터를 생성하고 이를 복원한 결과를 나타내었다. 보는 바와 같이 (A)는 PRBS 를 이용한 입력 데이터이며 (B)는 복원된 데이터 (C)는 재 정렬된 클럭을 나타내었다. 설계된 회로의 레이아웃은 그림 14에 나타내었으며 제작중인 칩의 성능은 표 1에 나타내었다.

IV. 결 론

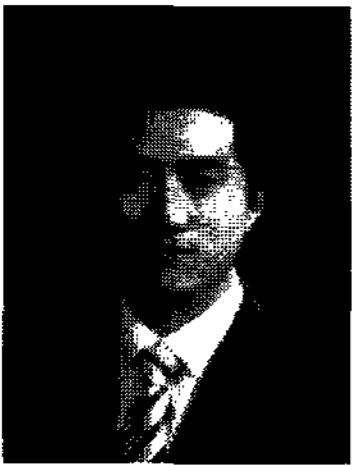
수동형 광 가입자망에 사용되는 622Mbps 버스트 모드 클럭/데이터 복원 회로를 0.35um CMOS 공정을 이용하여 설계하였다. 제작된 클럭/데이터 복원 회로는 622Mbps 버스트 모드 데이터를 20ns 이내에 복원한다. 지터를 내재한 입력에도 사용될 수 있도록 새로이 정밀 지연소자와 이를 조절하는 회로를 설계함으로써 데이터의 중앙에 클럭을 정렬시킨다. 측정결과 손상된 622Mbps PRBS 입력에 대하여 에러 없이 동작함을 확인하였다. 제작된 버스트 모드 클럭 복원회로는 ATM-PON 이나 WDM-PON 등에 이용될 수 있을 것으로 기대한다. 참고로 622Mbps는 ATM-PON의 하향 최대 데이터율이다. 현재 회로는 68회 MPW를 통해 제작중이며 향후 칩 테스트를 통해 회로 응용에 대한 연구가 필요하다.

참 고 문 헌

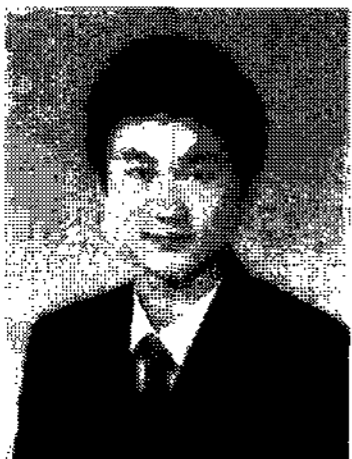
[1] Hyeon Cheol Ki, "An Automatic power Control Circuit suitable for High Speed Burst-mode

- optical transmitters”, 대한전자공학회, 제43권 SD 편 제 11호, pp98-104, 2006.
- [2] Jae-Wook Lee, “A Giga-bps Clock and Data Recovery Circuit with a new Phase Detector”, 한국통신학회, Vol26, No.6B, pp848-855, 2001.
- [3] S. Gegaert and M. Steyaert, “A skew tolerant CMOS level-based ATM data-recovery system without PLL topology”, IEEE 1997 Custom Integrated Circuits Conference, pp.453-456, 1997 IEEE.
- [4] Kim. B , Helman D.N., “A 30MHz high-speed analog/digital PLL in 2um CMOS”, Solid-State Circuits Conference, pp.104-105, 1990.
- [5] M. Banu and A.E. Dunlop, “Clock recovery circuits with instantaneous locking”, Electron. Lett vol.28, no.23, pp.2127-2130, 1992.
- [6] B. Razavi, “A 2GHz 1.6mW Phase-Locked Loop”, in Digest of Technical Papers of the 1996 Symposium on VLSI Circuit, pp.26-27, 1996.
- [7] M. Soyuer, “A Monolithic 2.3Gb/s 100mW Clock and Data recovery Circuit in Silicon Bipolar Technology”, IEEE J. Solid-State Circuits, Vol1.28 no.12, pp.1310-1313, 1993.
- [8] T. Kajiwaera , E. Maekawa , “An optical receiver design for ATM-PON access system” Global Telecommunications Conference, Vol 3, pp.1613-1617, 1996.
- [9] S.H. Ide, et al, “+3.3V PON Receiver IC with a High-Speed ATC Circuit” EDMO, pp.141-146, 1997.
- [10] Koichiro Minami , Muneo Fukaiishi, “A 0.10um CMOS 1.2V 2GHz Phase-Locked Loop with Gain Compensation VCO”, IEEE CICC, pp.213-216, 2001.

 저 자 소 개



이 성 철(학생회원)
 2005년 한림대학교 전자공학과
 학사 졸업.
 2008년 현재 한림대학교
 전자공학과 석사과정.
 <주관심분야 : CMOS High
 speed DLL/PLL and I/O
 interface circuit design>



문 성 용(학생회원)
 2007년 한림대학교 전자공학
 학사 졸업.
 2008년 현재 한림대학교
 전자공학과 석사과정.
 <주관심분야 : Analog IC 설계
 및 통신용 IC 설계>



문 규(정회원)
 1982년 서울대학교 제어계측
 공학과 학사 졸업.
 1990년 조지워싱턴대학교 전기 및
 컴퓨터공학과 석사 졸업.
 1993년 조지워싱턴대학교 전기 및
 컴퓨터공학과 박사 졸업.
 1982년~1988년 한국전자통신연구소 연구원
 1983년~1984년 미국 실리콘 벨리
 VLSI Technology Inc. 교환 연구원
 1990년~1993년 조지워싱턴대학교
 공과대학 연구원 (Reeach Scholar)
 1993년~1994년 미국 과학재단반도체
 과제 연구심사위원
 1996년 서호주대학(Western Australia Univ.)
 방문교수
 1997년~1999년 미 오하이오 주립대학 교환교수
 IEEE Trans. Circuit and systems 논문
 심사위원
 IEEE ISCAS (국제회로 및 시스템 학술
 대회) 97, 98논문심사위원
 1997년~1999년 Micrys Inc., Columbus, OH,
 USA General Manager in ASIC Design
 1993년~현재 한림대학교 전자공학과
 조교수, 부교수, 정교수
 <주관심분야 : Analog IC 설계 및 Mixed Mode
 설계>