

논문 2008-45SD-4-5

Software Defined Radio 시스템을 위한 14비트 150MS/s 140mW 2.0mm² 0.13um CMOS A/D 변환기

(A 14b 150MS/s 140mW 2.0mm² 0.13um CMOS ADC for SDR
Systems)

유 필 선*, 김 차 동*, 이 승 훈**

(Pil-Seon Yoo, Cha-Dong Kim, and Seung-Hoon Lee)

요 약

본 논문에서는 고해상도와 높은 신호처리속도, 저전력 및 소면적을 동시에 요구하는 Software Defined Radio (SDR) 시스템 응용을 위한 14비트 150MS/s 0.13um CMOS ADC를 제안한다. 제안하는 ADC는 고해상도를 얻기 위한 특별한 보정 기법을 사용하지 않는 4단 파이프라인 구조로 설계하였고, 각 단의 샘플링 커패시턴스와 증폭기의 입력 트랜스컨덕턴스에 각각 최적화된 스케일링 계수를 적용하여 요구되는 열잡음 성능 및 속도를 만족하는 동시에 소모되는 전력을 최소화하였다. 또한, 소자 부정합에 의한 영향을 줄이면서 14비트 이상의 해상도를 얻기 위해 MDAC의 커패시터 열에는 인접신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃 기법을 제안하였으며, 온도 및 전원 전압에 독립적인 기준 전류 및 전압 발생기를 온-칩 RC 필터와 함께 칩 내부에 집적하고 칩 외부에 C 필터를 추가로 사용하여 스위칭 잡음에 의한 영향을 최소화하였고, 선택적으로 다른 크기의 기준 전압 값을 외부에서 인가할 수 있도록 하였다. 제안하는 시제품 ADC는 0.13um 1P8M CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 14비트 해상도에서 각각 최대 0.81LSB, 2.83LSB의 수준을 보이며, 동적 성능은 120MS/s와 150MS/s의 동작 속도에서 각각 최대 64dB, 61dB의 SNDR과 71dB, 70dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 2.0mm² 이며 전력 소모는 1.2V 전원 전압에서 140mW이다.

Abstract

This work proposes a 14b 150MS/s 0.13um CMOS ADC for SDR systems requiring simultaneously high resolution, low power, and small size at high speed. The proposed ADC employs a calibration-free four-step pipeline architecture optimizing the scaling factor for the input trans-conductance of amplifiers and the sampling capacitance in each stage to minimize thermal noise effects and power consumption at the target resolution and sampling rate. A signal-insensitive 3-D fully symmetric layout achieves a 14b level resolution by reducing a capacitor mismatch of three MDACs. The proposed supply- and temperature-insensitive current and voltage references with on-chip RC filters minimizing the effect of switching noise are implemented with off-chip C filters. The prototype ADC in a 0.13um 1P8M CMOS technology demonstrates a measured DNL and INL within 0.81LSB and 2.83LSB, at 14b, respectively. The ADC shows a maximum SNDR of 64dB and 61dB and a maximum SFDR of 71dB and 70dB at 120MS/s and 150MS/s, respectively. The ADC with an active die area of 2.0mm² consumes 140mW at 150MS/s and 1.2V.

Keywords : 열잡음, 스케일링 계수, 고해상도, CMOS, ADC

I. 서 론

* 학생회원, ** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)

※ 본 논문은 반도체설계교육센터(IDECE) 및 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템집적반도체기반기술 개발사업(시스템 IC 2010)”을 통해 개발된 결과임을 밝힙니다.

접수일자: 2007년12월27일, 수정완료일: 2008년3월24일

최근 다양한 사용자의 환경과 요구에 따라 수많은 종류의 이동통신 시스템이 개발되고 있으며, 이에 부합하여 보다 효율적이고 유연한 통신시스템 송수신기 기술 개발에 많은 노력이 이루어지고 있다. 특히, 고성능 디

지털 신호 처리 소자와 첨단 디지털 신호처리 기술을 바탕으로 특별한 하드웨어의 수정, 보완 없이 다양한 무선 통신 시스템을 수용 및 통합할 수 있는 software defined radio (SDR) 기술은 차세대 핵심 무선통신 기술 중 하나로 많은 연구가 진행되고 있다. 이러한 SDR 기술 개발의 핵심 목표의 하나는 다운 컨버전, 채널 필터링 등과 같은 역할을 수행하는 통상적인 아날로그 신호 처리 기능들을 디지털 신호처리 단위로 전환하여, 비교적 큰 면적을 차지하면서 많은 전력을 소모하는 아날로그 수신 단을 최소화 하면서 시스템의 효율성과 집적도를 향상시키는 것이다. 이를 위해서는 충분한 해상도와 대역폭을 가지고 intermediate frequency (IF) 대역의 신호를 최대한 시스템의 앞단에서 디지털 신호로 변환해 줄 수 있는 고성능 ADC가 필수적이다. 이와 같은 SDR 응용에 필요한 ADC는 최소한 14비트 수준의 고해상도를 가지면서 샘플링 속도가 100MS/s 이상의 수준이어야 하며 programmable down conversion (PDC), SDR 프로세서 등의 SDR 시스템에 사용되는 대규모 디지털 회로와 함께 집적이 가능하도록 작은 면적과 적은 전력 소모가 요구된다.

기존의 다양한 ADC 구조 중에서, 14비트 이상의 고해상도와 100MS/s 이상의 고속 동작 주파수 조건을 동시에 만족하면서 전력 소모 및 면적을 최적화하기 위해 최근에는 파이프라인 구조가 많이 적용되고 있다. 특히, 고해상도의 성능을 구현하기 위해 다양한 형태의 보정 기법을 적용하거나 바이폴라 혹은 BiCMOS 등의 공정 기술을 많이 사용하고 있는 추세이다. 추가적인 전자회로 기반의 보정 기법을 사용할 경우 전체적인 회로의 면적이 증가하며, 동작 초기에 오차를 측정하는 시간이 요구되는 보정기법을 사용하는 ADC의 경우, 다른 시스템과 연동하는데 있어서 추가적인 타이밍 회로가 필요하게 되는 등 시스템의 복잡성을 증가시키는 단점이 있다. 또한, CMOS 이외의 바이폴라 또는 BiCMOS 공정을 사용할 경우 보정기법 없이 14비트 수준의 성능을 만족시킬 수는 있으나 매우 많은 전력 소모량을 피할 수 없다. 최근에 학회 및 저널 논문 등을 통해 발표된 14비트 이상의 해상도에서 샘플링 속도가 50MS/s 이상의 ADC들을 본 논문에서 제안하는 ADC와 함께 표 1에 나타내었다^[1~6]. 표 1에서 보는 바와 같이 추가적인 보정 기법을 사용한 ADC^[1] 및 BiCMOS 공정을 사용한 ADC^[6]의 경우 차지하는 면적과 소모하는 전력이 각각 16.0mm² 및 1.9W로 매우 커서 SDR 응용을 위한 시스템 집적에 불리함을 알 수 있다. 반면, 본 논문에서 제

표 1. 최근 발표된 14비트 ADC 비교

Table 1. Comparison of recently reported 14b CMOS ADCs.

	Speed (MS/s)	Calibration	Supply (V)	Power (mW)	Area (mm ²)	Process
This Work	150	X	1.2	140	2.0	0.13um CMOS
ISSCC 04 [1]	50	O	3.0	350	16.0	0.18um CMOS
CICC 06 [2]	70	X	2.5	235	3.3	0.13um CMOS
ISSCC 01 [3]	75	X	3.0	340	7.8	0.35um CMOS
JSSC 06 [4]	80	O	5.0	1200	-	0.35um BiCMOS
JSSC 00 [5]	100	X	5.0	1250	28.5	0.8um BiCMOS
JSSC 06 [6]	125	X	5.0	1850	70.0	0.35um BiCMOS

안하는 14비트 150MS/s ADC는 샘플링 속도 대비 소모 전력이 0.93mW/MHz로 기존의 발표된 14비트 해상도와 50MS/s 이상의 속도를 갖는 ADC 중 1.2V의 가장 낮은 전원 전압을 사용하면서 가장 적은 전력을 소모한다. 칩 면적 또한 2.0mm² 수준으로 시스템 집적 측면에서 상당히 유리한 조건을 가지고 있다.

본 논문에서는 추가적인 보정기법을 사용하지 않으면서 14비트의 해상도에서 150MS/s의 동작 속도를 만족시키는 ADC를 구현하기 위해 요구되는 해상도 및 속도 사양에서 전력 소모와 면적을 최적화하는 4단 파이프라인 구조를 제안하였으며, 특히 열잡음 성능, 신호 처리 속도 및 증폭기의 안정성을 만족시키는 동시에 소모하는 전력을 최소화하는 스케일링 계수를 각 단의 샘플링 커패시턴스와 증폭기의 입력 트랜스컨덕턴스에 동시에 적용하였다. 전체 ADC의 정적 및 동적성능에 결정적인 영향을 미치는 multiplying D/A 변환기 (MDAC) 에는 커패시터 열 간의 부정합을 최소화하여 높은 해상도 및 선형적 특성을 얻기 위해 인접 신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃 기법을 적용하였으며, 고해상도 및 고속 동작을 위해 기준 전류 및 전압 발생기를 RC 필터와 함께 온-칩으로 집적하고 추가로 칩 외부에도 C 필터를 사용함으로써 중요한 아날로그 블록에 기준 전류 및 전압을 안정적으로 공급하고, 동시에 유연한 시스템 응용을 위해 선택적으로 외부 기준 전압을 사용할 수도 있도록 설계하였다. 본 논문의 II 장에서는 제안하는 파이프라인 ADC의 전체 구조를 설명하며, III 장에서 제안하는 여러 가지 회로 설계 기법 및 레이아웃 기법을 간략히 설명한다. IV 장에서는 제안하는 시제품 ADC의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

최근 14비트 이상의 해상도와 수십 MS/s 이상의 고속 주파수 조건을 동시에 만족하는 ADC 구현을 위해 속도, 전력 소모 및 면적을 최적화하는 파이프라인 구조가 널리 사용되고 있다. 일반적으로 파이프라인 구조는 각 단에서 1비트 또는 2비트를 결정하는 단일 비트 구조와 각 단에서 3비트 이상을 결정하는 다중 비트 구조로 구분할 수 있다. 단일 비트 구조의 경우, 각 단의 구조가 간단하고 증폭기의 작은 부하 커패시터 성분과 상대적으로 작은 궤환 이득 (feedback gain) 으로 인하여 고속 동작에 유리한 장점이 있으나 필요한 단 수의 증가에 따라 오차 요인 (error source) 이 많아져 해상도가 제한되며, 전력 소모 및 면적이 증가하는 경향이 있다. 그 반면, 다중 비트 구조는 높은 궤환 이득으로 인하여 각 단의 고속 증폭기 설계에 어려움이 따르지만 첫 단에서 많은 비트를 결정함으로써 뒷단으로부터의 소자 부정합 등으로 인한 입력으로 유입되는 오차 (input-referred error) 가 감소하여 ADC의 전체적인 성능이 향상될 뿐만 아니라 필요한 단 수의 감소로 인해 면적과 전력을 최소화할 수 있다는 장점이 있다. 본 논문에서 제안하는 14비트 ADC는 최대 150MS/s의 동작 속도를 유지하는 범위 내에서 앞 쪽의 세 개의 단에서 각각 4비트씩을, 마지막 단에서 5비트를 얻는 4단 파이프라인 구조를 사용하였으며 ADC 전체 구조는 그림 1과 같다.

제안하는 ADC는 입력단 SHA, 3개의 4비트 MDAC, 3개의 4비트 flash ADC와 1개의 5비트 flash ADC, 디지털 교정 회로 (digital correction logic), 온-칩 기준 전류 및 전압 발생기, 온-칩 분주기 (digital decimator) 및 클럭 발생기로 구성된다. 또한, 하나의 입력 클럭으로부터 두 개의 중첩되지 않는 클럭 (non-overlapping

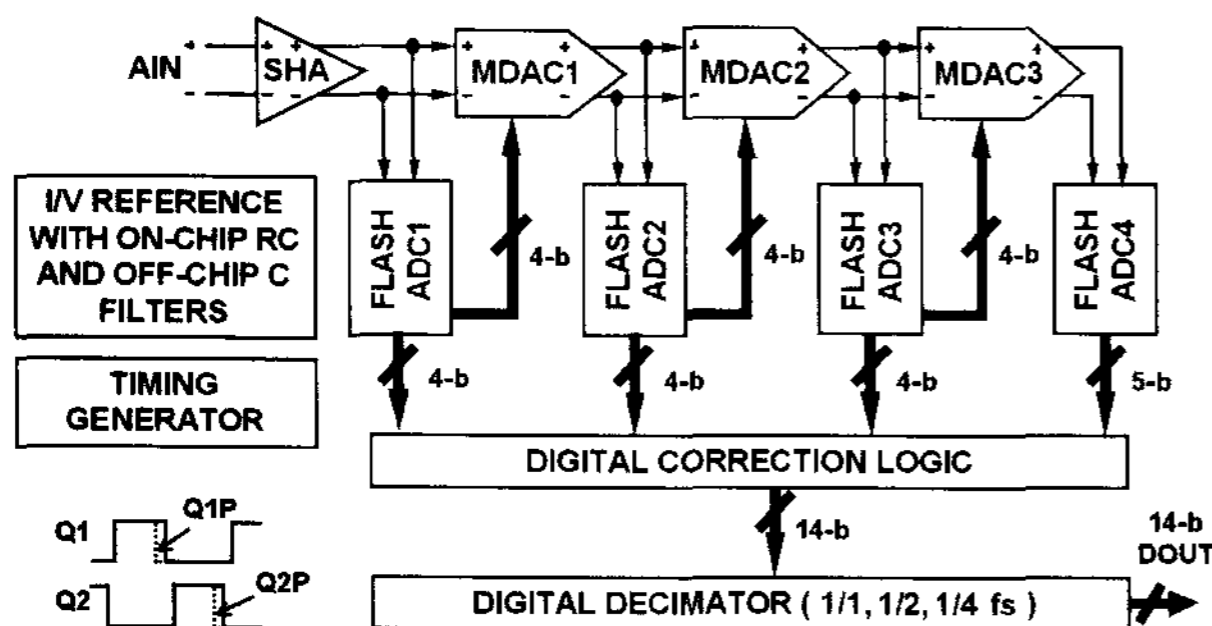


그림 1. 제안하는 14비트 150MS/s 0.13um CMOS ADC

Fig. 1. Proposed 14b 150MS/s 0.13um CMOS ADC.

clock) Q1, Q2는 칩 내부에서 발생시켰으며, 온-칩 기준 전류 및 전압 발생기는 고속 동작에서 정확한 기준 전류 및 전압을 얻기 위해 온-칩 RC 필터와 함께 내부에 집적되었고 추가적인 C 필터를 칩 외부에 사용하였다. 온-칩 분주기는 ADC의 고속 동작 시, 출력 신호를 2분주 또는 4분주로 다운 샘플링 하여 최종 출력 코드를 내보냄으로써 측정 단계에서 측정보드로부터 발생할 수 있는 잡음 등의 영향을 최소화하기 위해 집적하였다.

III. 제안하는 주요 회로 설계 및 레이아웃 기법

1. 열잡음 성능, 속도 및 전력 소모를 최적화하는 각 단의 스케일링

고해상도 다단 파이프라인 구조의 ADC 설계시, 요구되는 속도 및 열잡음 성능을 만족시키는 동시에 전력 소모를 최소화하기 위해 각 단의 샘플링 커패시턴스 및 증폭기의 트랜스컨덕턴스를 일정 비율로 줄여나가는 각 단의 스케일링 기법이 많이 적용되고 있다^[7~8]. 기존의 발표된 논문의 각 단의 스케일링 기법은 샘플링 커패시턴스 및 증폭기의 입력 트랜스컨덕턴스 등 각 단의 속도, 열잡음 성능 및 전력에 영향을 미치는 변수들 중 하나의 변수만을 선택하여 스케일링 계수를 결정하거나^[7], 필요한 변수들을 복합적으로 고려하면서 모든 변수에 동일한 스케일링 계수를 적용하는 방법을 사용하였다^[8]. 전자의 경우, 제한된 변수의 사용으로 인해 실제로 구한 스케일링 계수에 대한 신뢰도가 하락하며, 모든 변수에 동일한 스케일링 계수를 적용한 후자의 경우 역시 전력 면에서 최적화된 스케일링 계수를 구하기가 어렵다는 단점이 있다. 본 논문에서는 사용하는 구조에서 가장 최적화된 스케일링 계수를 보다 정확히 구하기 위

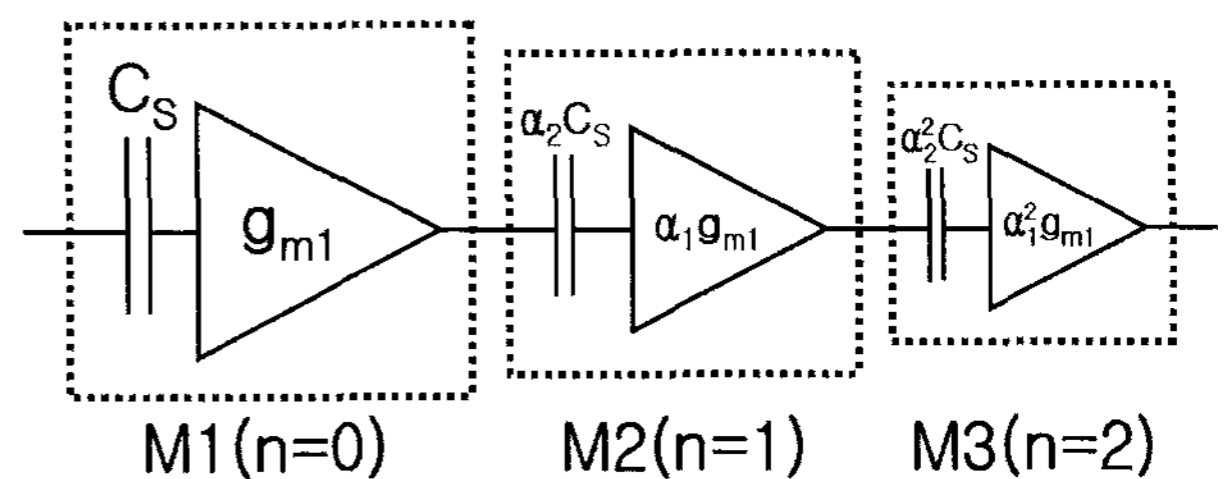


그림 2. 증폭기의 입력 트랜스컨덕턴스 및 샘플링 커패시턴스에 각각 적용된 스케일링 계수 α_1, α_2

Fig. 2. Scaling factors α_1 and α_2 respectively applied to the input trans-conductance of amplifiers and the sampling capacitance.

하여 열잡음, 속도, 전력 및 증폭기의 안정성을 결정하는 변수인 각 단의 샘플링 커패시턴스 및 증폭기의 입력 트랜스컨덕턴스를 고려하는 한편 그림 2와 같이 각 변수에 서로 다른 스케일링 계수 (α_1, α_2)를 동시에 적용하는 다음의 방법을 제안한다.

1) 입력 트랜스컨덕턴스의 스케일링 계수 α_1 에 대하여 각 단의 증폭기에 의한 열잡음 성능 및 요구되는 속도를 만족하는 M1, M2, M3의 첫 번째 증폭기의 입력 트랜스컨덕턴스의 합 ($g_{m1,tot}$)을 구한다. 각 단에 사용된 folded-cascode 증폭기를 구성하는 MOSFET에서 발생하는 열잡음에 의해 입력 단으로 유입되는 잡음의 power spectral density (PSD)는 식 (1)과 같이 나타낼 수 있으며, 증폭기의 입력단으로 유입된 잡음으로 인해 f_{-3dB} 의 속도와 β 의 feedback factor를 갖는 부채환 증폭기의 출력단에 발생하는 잡음의 값은 식 (2)와 같이 구할 수 있다^[9].

$$S_v(f) = \frac{64kT}{3g_{m1}} \quad (1)$$

$$\begin{aligned} P_{NA} &= \int_0^\infty S_v(f) \cdot |A_f(j2\pi f)|^2 df \\ &= \int_0^\infty \frac{64kT}{3g_{m1}} \left| \frac{1/\beta}{1 + (j2\pi f/f_{-3dB})} \right|^2 df \\ &= \frac{16kT \cdot f_{-3dB}}{3\beta^2 g_{m1}} \quad (2) \end{aligned}$$

결과적으로, 전체 ADC 입력단으로 유입되는 열잡음의 크기는 식 (3)과 같이 각 출력단 열잡음의 값을 상응하는 단에서 입력단까지 신호 이득 ($A_{n,out}$)의 제곱으로 나눈 값의 합으로 표현할 수 있으며, 이 식의 스케일링 계수 α_1 을 0에서 1까지 변화시켜 가면서 요구되는 잡음성능을 만족시키는 각 단 증폭기의 첫 번째 단 입력 트랜스컨덕턴스의 합 $g_{m1,tot}$ 를 구한다.

$$P_{NA,total} = \sum_{n=0}^2 \left(\frac{16kT \cdot f_{-3dB,n}}{3\beta_n^2 \alpha_1^n g_{m1}} \cdot \frac{1}{(A_{n,out})^2} \right) \quad (3)$$

2) 각 단의 샘플링 스위치에 의해 입력단으로 유입되는 열잡음 성능을 만족시키는 샘플링 커패시턴스의 스케일링 계수 α_2 를 구한다. 샘플링 스위치에 의해 각 단으

로부터 ADC 입력단으로 유입되는 열잡음의 합은 식 (4)를 통해 얻을 수 있으며, $A_{n,in}$ 는 해당단의 입력에서 전체 ADC의 입력단까지 신호 이득을 나타낸다. 샘플링 커패시턴스의 스케일링 계수 α_2 의 증가에 따라 입력단으로 유입되는 열잡음의 크기를 나타내는 그래프와 요구되는 열잡음의 최대값 $P_{NS,max}$ 을 만족시키는 최소의 α_2 값, $\alpha_{2,min}(0.3)$ 을 그림 3(a)에 나타내었다.

$$P_{NS,total} = \sum_{n=0}^2 \left(\frac{kT}{\alpha_2^n C_S} \cdot \frac{1}{(A_{n,in})^2} \right) \quad (4)$$

3) 각 단 증폭기의 안정적인 동작을 위한 M1, M2, M3의 두 번째 증폭기의 입력 트랜스컨덕턴스의 합 ($g_{m2,tot}$)을 구한다. 2단 증폭기를 사용하는 n번째 단의 위상여유는 식 (5)와 같이 나타낼 수 있으며, 부하 커패시턴스 C_L 은 다음단의 샘플링 커패시턴스 $\alpha_2^{n+1}C_S$ 와 출력단에서 보이는 기타 부하 커패시턴스의 합 $C_{L,n}$ 으로 표현된다.

$$\begin{aligned} \Phi_{M,n} &= 90^\circ - \tan^{-1} \left(\frac{g_{m1,n}}{C_{C,n}} \cdot \frac{C_L}{g_{m2,n}} \right) \\ \text{where, } C_L &= \alpha_2^{n+1}C_S + C_{L,n} \quad (5) \end{aligned}$$

위 식과 과정 1) 및 2)에서 각각 구한 g_{m1}, α_2 를 이용해 약 60o의 위상여유를 만족시키는 각 단 증폭기의 두 번째 단 입력 트랜스컨덕턴스의 합 $g_{m2,tot}$ 를 구한다.

4) 위의 과정을 통해 구한 $g_{m1,tot}$ 와 $g_{m2,tot}$ 의 합 $g_{m,tot}$ 가 최소가 될 때의 α_1 값이 본 구조에서 속도, 열잡음 성능 및 전력 소모를 최적화하는 트랜스컨덕턴스의 스케일링 계수가 되며, 그림 3(b)의 x로부터 그 값은 약 0.16임을 알 수 있다.

그림 3(b)의 y는 샘플링 커패시턴스와 입력 트랜스컨덕턴스의 스케일링 계수에 모두 같은 값 (α_1)을 적용했을 때의 $g_{m,tot}$ 값을 나타낸다. 곡선 y에서 전력을 최소화하는 스케일링 계수는 약 0.08이나 이 경우 샘플링 스위치에 의한 열잡음 특성을 만족시키지 못하므로 결국, 열잡음 성능을 만족시키는 최소의 스케일링 계수 값은 0.3이 되고 이때의 $g_{m,tot}$ 값은 곡선 x의 $g_{m,tot}$ 에 비해 Δ 만큼 더 큰 값이다. 이를 통해, 샘플링 커패시턴스와 입력 트랜스컨덕턴스에 각각 다른 스케일링 계수

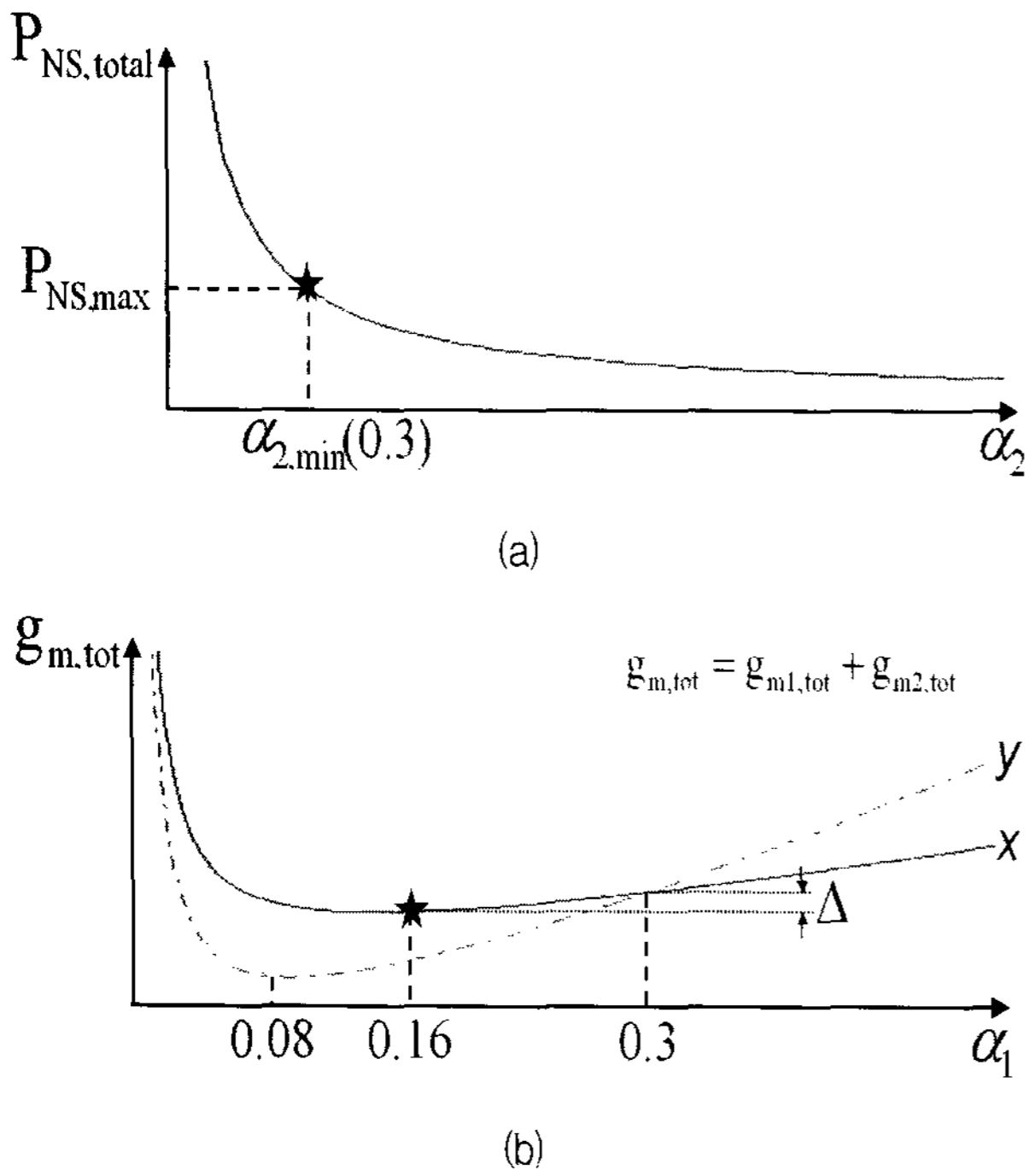


그림 3. (a) 샘플링 커패시턴스의 스케일링 계수 α_2 에 따른 입력단으로 유입되는 열잡음의 크기
 (b) 트랜스컨덕턴스의 스케일링 계수 α_1 에 따른 $g_{m,tot}(g_{m1,tot} + g_{m2,tot})$
 Fig. 3. (a) Input-referred thermal noise vs. scaling factor α_2 of the sampling capacitance.
 (b) $g_{m,tot}(g_{m1,tot} + g_{m2,tot})$ vs. scaling factor α_1 of the trans-conductance.

를 적용할 때, 전력과 열잡음 특성을 동시에 최적화하기 위한 보다 정확한 값을 얻을 수 있음을 알 수 있다.

2. 3차원 완전 대칭 레이아웃 기법 기반의 고속, 고해상도 4비트 MDACs

고해상도 ADC의 differential non-linearity (DNL), integral non-linearity (INL) 과 같은 정적 성능을 결정하는 중요한 요소 중 하나는 MDAC 커패시터 열 간의 부정합이다. 커패시터 열의 부정합은 부정확한 에칭 및 절연체 두께 변동, 그리고 전하의 불규칙한 이동성 등 공정상의 한계로 인해 발생하는 임의 오차 (random error) 및 커패시터와 주변 커패시터 및 신호라인과의 기생 커패시턴스로 인해 발생하는 시스템 오차 (systematic error) 에 의해 발생한다.

임의 오차의 경우, 최근 공정 기술의 빠른 발달로 인해 크게 줄어들고 있기 때문에 결국 효과적인 레이아웃 기법을 통해 시스템 오차를 최소화하는 것이 전체적인 ADC의 성능을 향상시키는데 결정적인 역할을 한다. 14

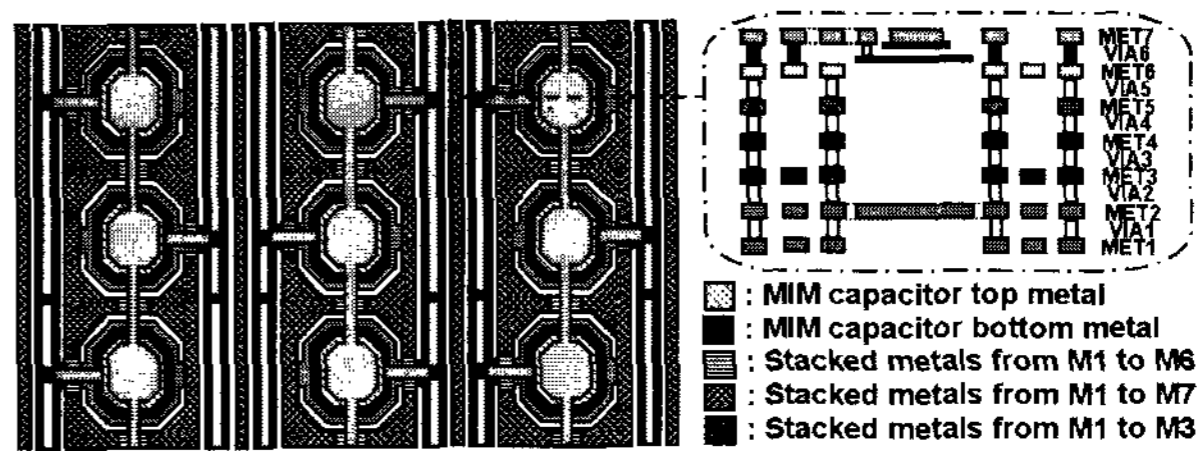


그림 4. 높은 소자 매칭 정확도를 위한 3차원 완전 대칭 MDAC 커패시터
 Fig. 4. 3-D fully symmetric MDAC capacitors for high matching accuracy.

비트 이상의 높은 해상도를 요구하는 ADC의 경우, 이러한 시스템 오차에 의한 에러를 보정하기 위해 다양한 아날로그 및 디지털 보정기법이 사용되는 것이 일반적이거나 이러한 보정기법은 추가적인 회로로 인해 면적과 전력 소모를 증가시키는 단점이 있다. 한편, 단위 커패시터에 필연적으로 발생하는 기생 커패시턴스의 오차를 줄일 수 있도록 단위 커패시터의 주변 환경을 최대한 동일하게 해주는 레이아웃 기법을 통해 복잡한 보정기법 없이 시스템 오차에 의한 전체적인 ADC의 성능 저하를 상당 부분 감쇄시킬 수 있다.

본 논문에서 제안하는 3차원 완전 대칭 레이아웃 기법은 그림 4에서 보는 것과 같이 커패시터 열의 인접 신호 연결선을 각각의 단위 커패시터들과 완전히 분리시켜 신호 연결선을 지나는 신호에 관계없이 모든 커패시터들의 주변 조건을 완전히 동일하게 함으로써 커패시터 부정합을 최소화하였다. 또한, 커패시터 하단기판을 연결하는 신호 라인들 사이에 항상 일정한 내부 공통 전압을 갖는 금속 층을 배치하여 특정 신호가 지나갈 경우에도 신호라인에서 발생할 수 있는 기생 커패시턴스 형태를 유사하게 만들어 기생 커패시턴스의 차이에 의한 부정합을 최소화 하였으며, 각각의 단위 커패시터 및 신호 연결선 하단부에 추가적인 금속 층을 배치하여 단위 커패시터와 신호 연결선에 생길 수 있는 하단부 기생 커패시턴스 성분 까지도 동일한 조건을 유지하도록 하였다. 한편, MDAC1, MDAC2 및 MDAC3 등 세 가지 MDAC에 사용한 단위 커패시터의 크기는 열잡음 및 III.1에서 구한 스케일링 계수 $\alpha_2(0.3)$ 를 고려하여 각각 8pF, 2pF 및 0.8pF를 사용하였다.

3. 온도 및 전원에 독립적인 저전력 온-칩 CMOS 기준 전류 및 전압 발생기

제안하는 ADC에는 저전력으로 150MS/s의 동작 속도에서 안정적으로 동작하는 기준 전류 및 전압 회로를

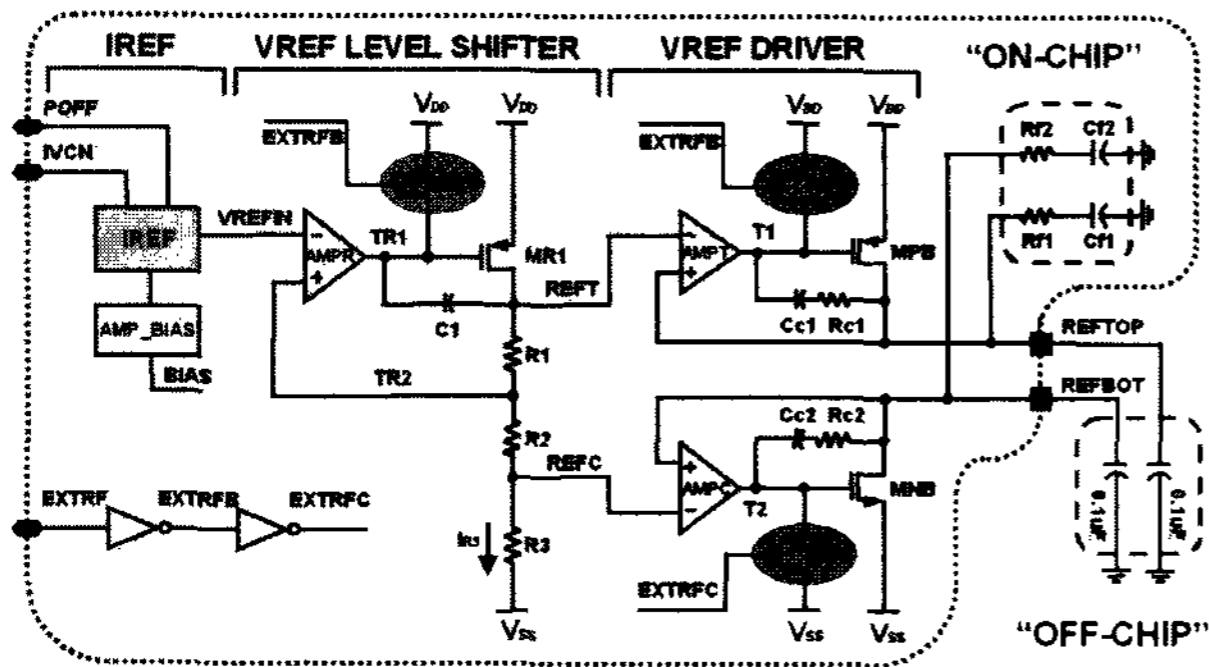


그림 5. 제안하는 저전력 온-칩 기준전류 및 전압발생기

Fig. 5. Proposed low-power on-chip current and voltage references.

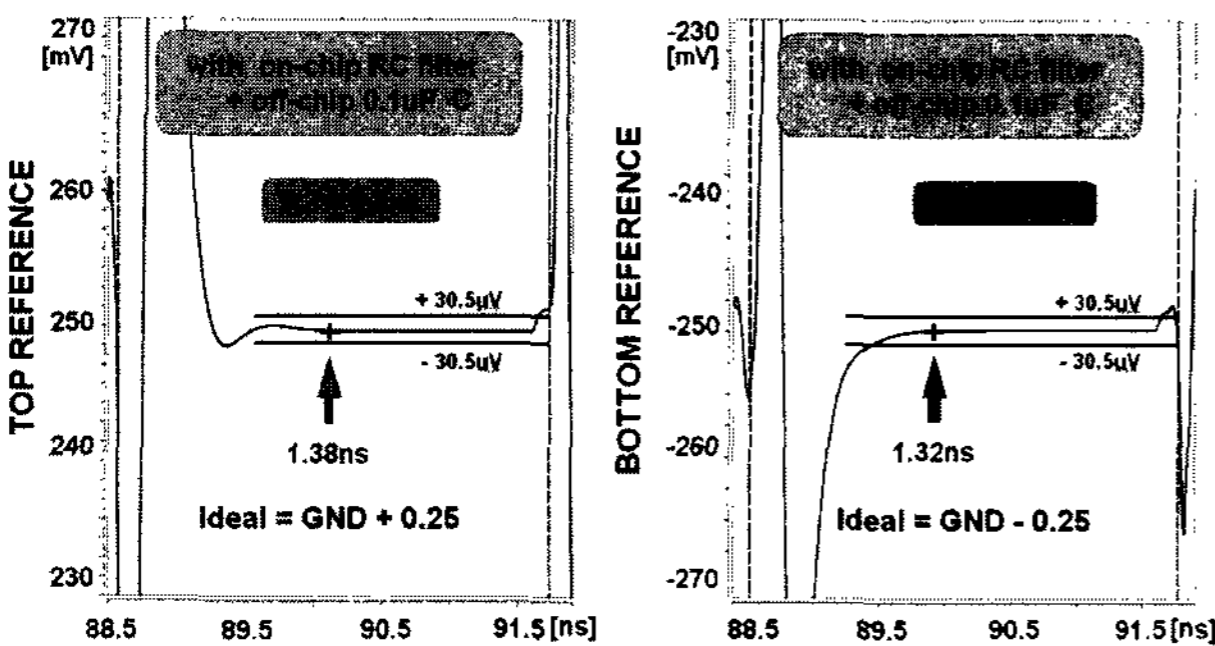


그림 6. 온-칩 기준 전압의 모의실험 결과

Fig. 6. Simulated on-chip top and bottom reference voltages.

온-칩으로 집적하여 ADC가 다양한 시스템 집적 응용을 위해 독립적으로 동작할 수 있도록 설계하였으며, 전체적인 회로도를 그림 5에 나타내었다.

그림 5에 나타나 있는 EXTRF 신호는 필요에 따라 외부에서 기준 전압 값을 인가할 수 있게 해주는 역할을 한다. EXTRF 신호가 low일 경우, 칩 내부에서 발생시킨 기준 전압을 사용하게 되며 EXTRF 신호가 high일 경우, 출력단의 기준 전압 노드가 높은 임피던스가 되도록 하여 외부 기준 전압을 사용하게 된다. 또한, 기준 전류 (IREF) 블록은 온도와 공급 전원의 변화에 독립적인 온-칩 기준 전류를 공급하며, 3비트의 IVCN 디지털 코드에 의해 $\pm 30\%$ 이내의 전류 및 전압 값을 보정할 수 있도록 하였다. 저전력 시스템 응용을 위한 power off (POFF) 신호는 3uW 이하의 전력을 소모하는 비동작 모드로의 전환을 가능하게 한다.

제안하는 ADC에서 사용되는 기준 전압은 MOSFET 스위치를 통하여 내부 블록으로 공급되는데, 고속으로 동작하는 시스템 클럭을 사용할 경우 이러한 MOSFET 채널 전하의 순간적인 충전 및 방전이 반복되면서 발생하는 고주파 스위칭 잡음으로 인하여 기준 전압 출력

노드의 전압이 일정한 값으로 유지되기가 어렵다. 따라서 본 논문에서는 그림 5의 우측에 나타나 있는 것과 같이 칩 내부에 30ohm, 100pF로 이루어진 온-칩 RC 필터와 칩 외부에 0.1uF 수준의 추가적인 바이패스 커패시터를 동시에 연결하여 스위치의 충전 및 방전에 의한 잡음 문제를 대부분 해결하였다. 그림 6의 모의실험 결과는 내부 RC 필터와 외부의 바이패스 커패시터를 같이 사용할 경우 150MS/s의 동작 속도에서 해당하는 기준 전압 노드가 요구되는 정착시간의 50% 이상의 여유를 가지고 충분히 정착함을 보여준다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 ADC는 0.13um 1P8M CMOS 공정을 사용하여 제작되었다. 시제품 ADC의 레이아웃 사진은 그림 7과 같고 유휴 공간에는 각 회로 블록간의 간섭, EMI 문제 및 전원 전압의 잡음을 줄이기 위해 decoupling 커패시터를 온-칩으로 집적하였으며, 그림 7 상에서 □ 부분은 PMOS, □ 부분은 NMOS 온-칩 decoupling 커

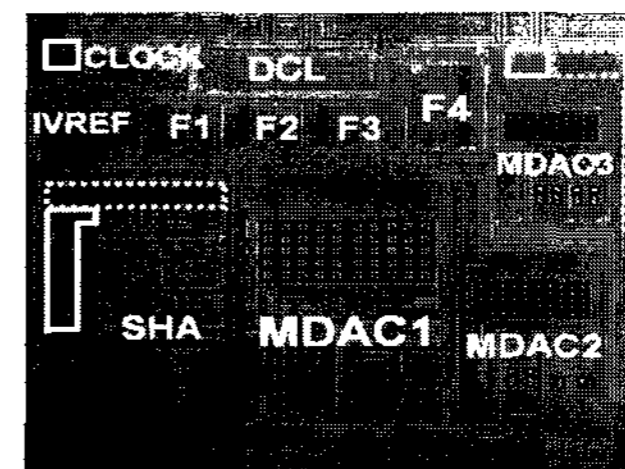


그림 7. 시제품 14비트 150MS/s ADC 칩 사진 (1.52mm × 1.32mm)

Fig. 7. Die photograph of the prototype 14b 150MS/s ADC (1.52mm × 1.32mm).

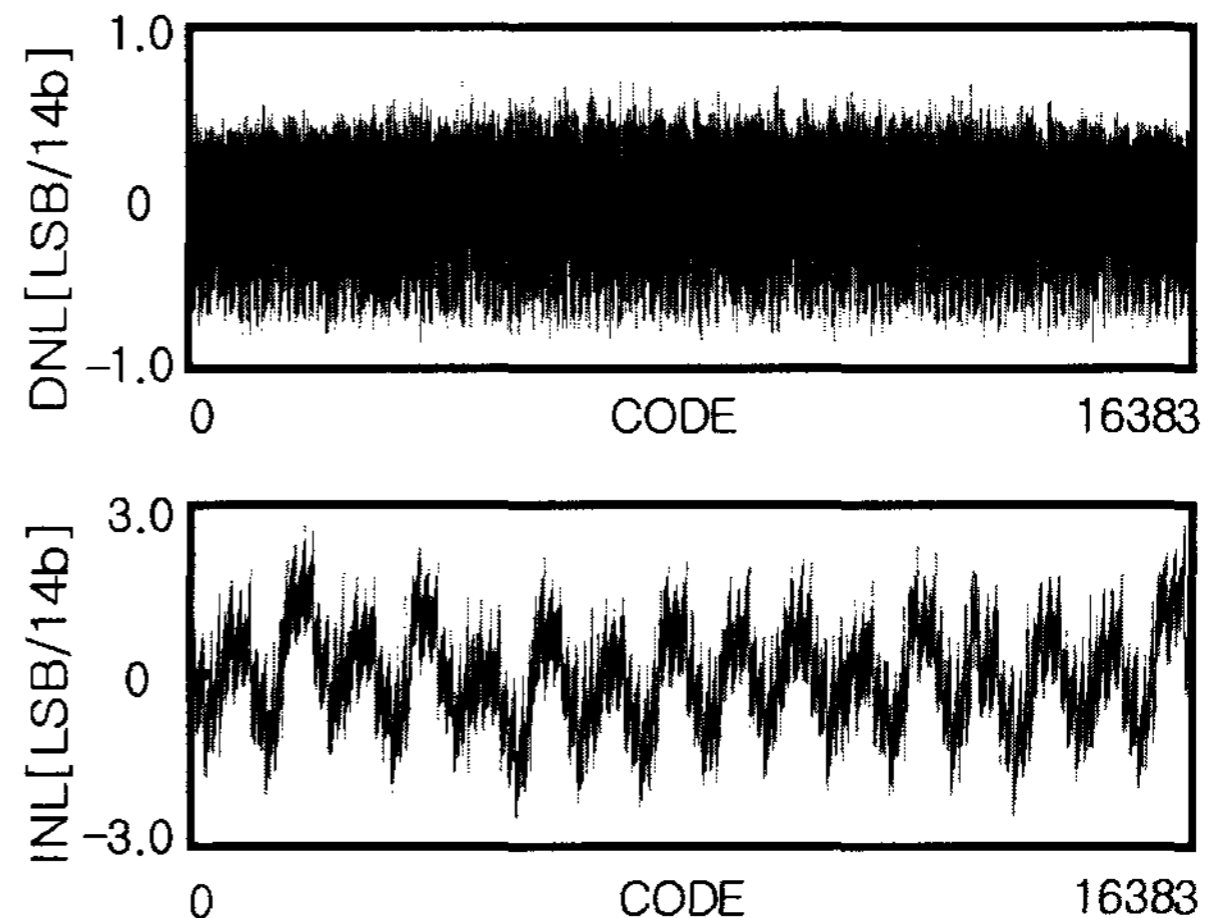


그림 8. 시제품 ADC의 측정된 DNL 및 INL

Fig. 8. Measured DNL and INL of the prototype ADC.

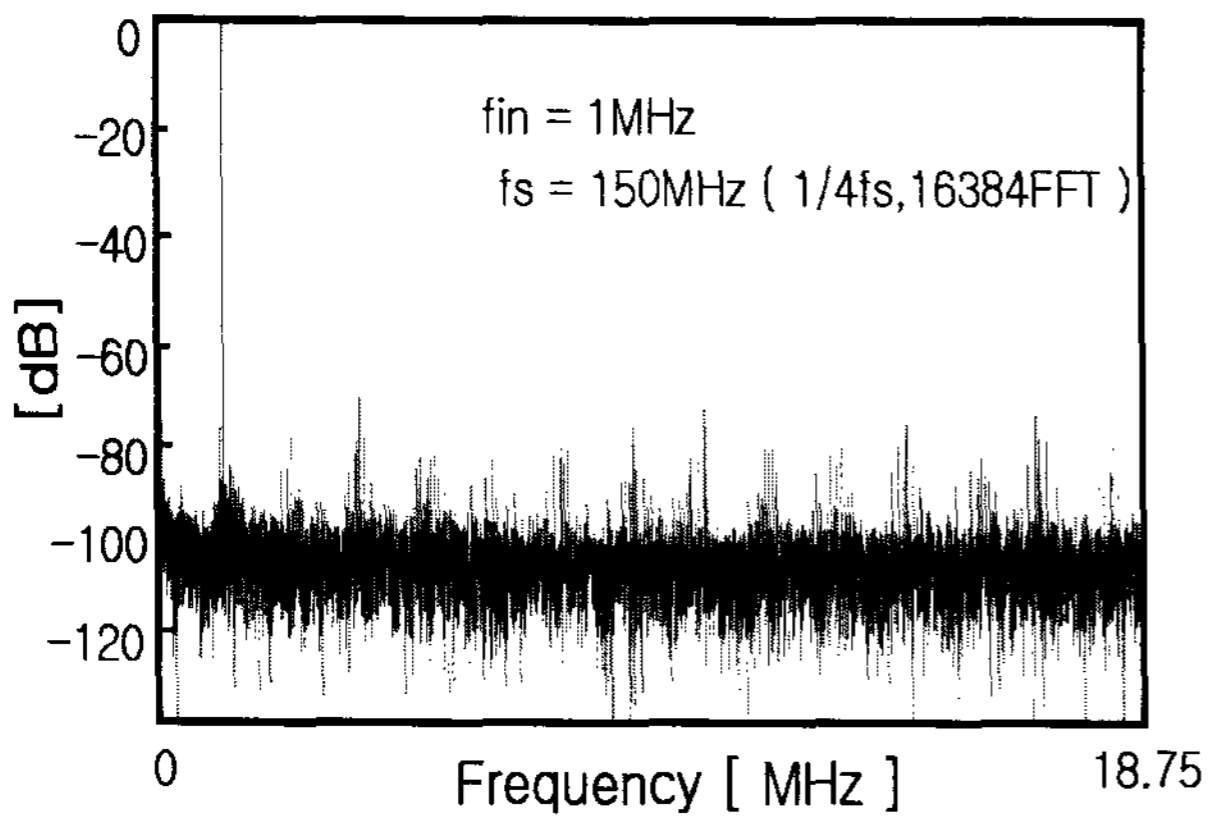
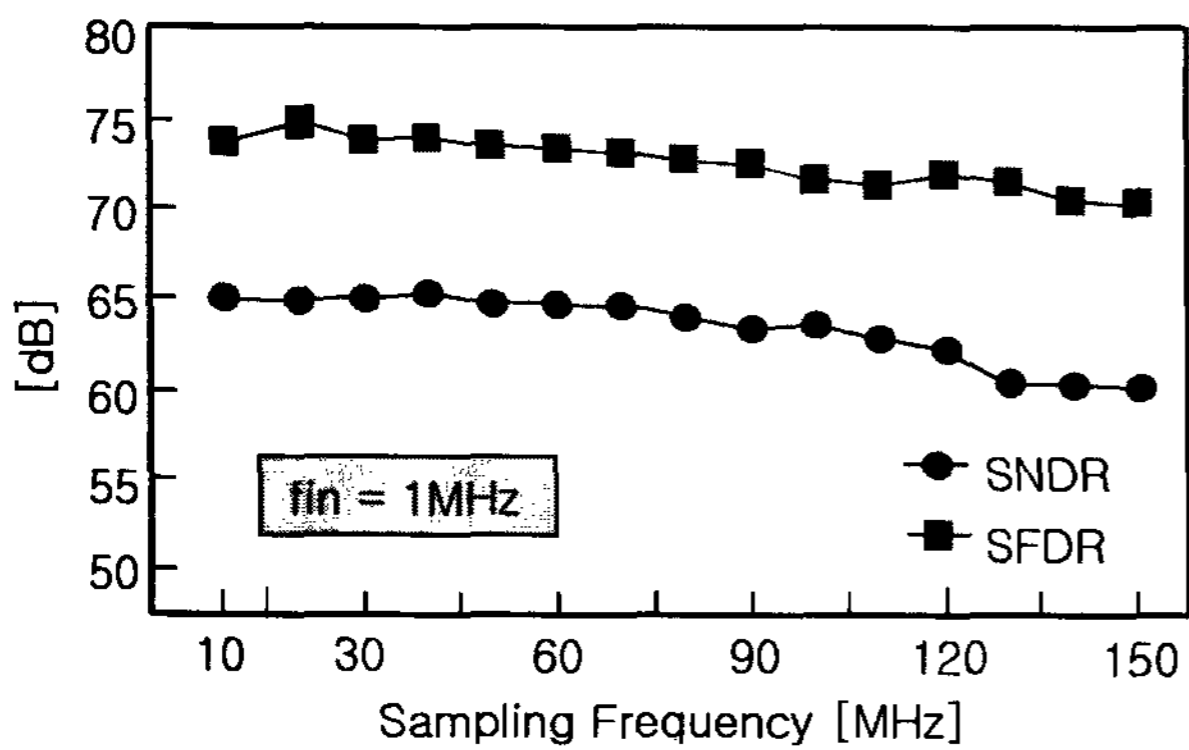
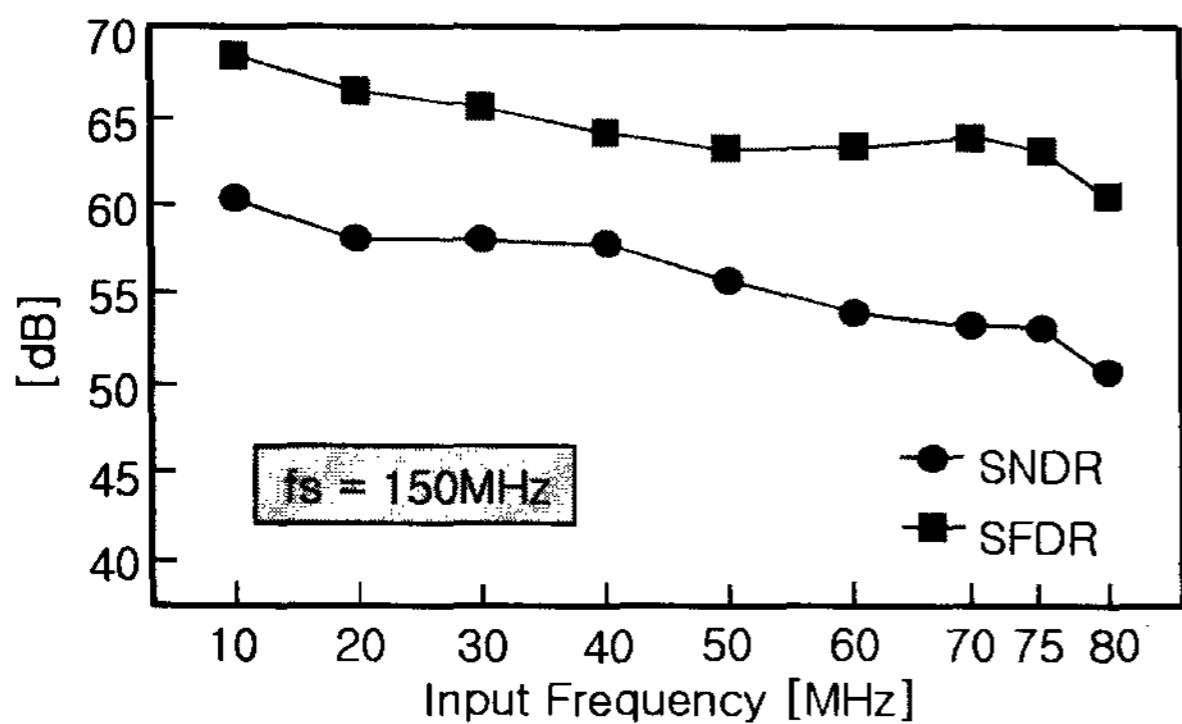


그림 9. 시제품 ADC의 측정된 FFT 스펙트럼 (1/4fs 샘플)
 Fig. 9. Measured FFT spectrum of the proposed ADC (1/4fs sampled).



(a)



(b)

그림 10. 시제품 ADC의 측정된 동적 성능 :
 (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR
 Fig. 10. Dynamic performance of the prototype ADC :
 Measured SFDR and SNDR versus (a) fs and (b) fin.

패시터를 나타낸다.

시제품 ADC의 입출력 패드를 제외한 칩 면적은 $2.00\text{mm}^2 (= 1.52\text{mm} \times 1.32\text{mm})$ 이며, 1.2V의 전원 전

압에서 150MS/s의 샘플링 주파수를 가지고 동작할 때 140mW의 전력을 소모한다. 시제품 ADC의 측정된 DNL 및 INL은 그림 8에서 보는 바와 같이 각각 최대 0.81LSB, 2.83LSB 수준이다.

그림 9는 시제품 ADC에 대해서 1MHz 입력 주파수와 150MS/s 샘플링 속도에서 측정된 전형적인 신호 스펙트럼을 나타낸다. 디지털 출력은 150MS/s로 동작하는 ADC 내부의 온-칩 분주기를 사용하여 150MHz의 클록을 1/4 다운 샘플링 하여 측정하였다.

그림 10은 제안하는 시제품 ADC의 측정된 동적 성능을 보여준다. 그림 10(a)는 ADC의 샘플링 속도를 10MS/s에서 150MS/s까지 증가시킬 때, 1MHz의 차동 입력 주파수에서의 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR) 을 나타낸 것이다. 샘플링 속도가 120MS/s까지 동작하는 동안 시제품 ADC의 측정된 SNDR과 SFDR은 각각 64dB, 71dB 이상 유지되며, 최대 동작 속도인 150MS/s에서는 SNDR과 SFDR이 각각 61dB, 70dB를 보인다. 한편, 식 (6)과 같이 V_{P-P} 의 peak-to-peak 값을 갖는 정현파 입력 신호의 크기, 식 (7)의 14비트 수준의 양자화 잡음의 크기, 식 (8)과 같이 SHA와 MDAC1의 샘플링 스위치 및 증폭기의 MOSFET에서 발생하는 열잡음으로 인해 ADC 입력단으로 유입되는 잡음의 크기 등을 고려하여 이론적으로 얻을 수 있는 최대 SNRthermal은 식 (9) 와 같이 계산된다.

$$V_{rms} = \frac{0.5 V_{P-P}}{2\sqrt{2}} \quad (6)$$

$$N_Q = \sqrt{\frac{1}{12} \frac{0.5 V_{P-P}}{2^{14}}} \quad (7)$$

$$N_T = \sqrt{\frac{2kT}{C_S} + \frac{8kT}{3} \left(\frac{1}{C_{CS}} + \frac{9}{64C_{CM}} \right)} \quad (8)$$

$$SNR_{thermal} = 20\log\left(\frac{V_{rms}}{\sqrt{N_Q^2 + N_T^2}}\right) \quad (9)$$

위 식에서 C_S 는 SHA와 MDAC1에 사용된 샘플링 커패시턴스, C_{CS} 및 C_{CM} 은 각각의 증폭기에 사용된 주파수 보상 커패시턴스를 나타내며 그 값은 각각 8pF, 4.2pF 및 1.2pF이다. 회로에 사용된 해당 소자들의 값을 위 식에 대입하여 계산된 68dB는 제안하는 ADC에서 이론상으로 얻을 수 있는 최대 SNR이며, 이 값은 실제

표 2. 시제품 ADC의 성능요약

Table 2. Performance summary of the prototype ADC.

Resolution	14bits	
Conversion Rate	120MS/s(typical)	150MS/s(max.)
Process	0.13um 1P8M CMOS	
Input Range	1.0V _{p-p}	
SNDR (at fin = 1MHz)	64dB	61dB
SFDR (at fin = 1MHz)	71dB	70dB
DNL	-0.81LSB / +0.59LSB	
INL	-2.66LSB / +2.83LSB	
ADC Core Power	140mW at 1.2V	
Active Die Area	2.0mm ² (= 1.52mm × 1.32mm)	

로 측정된 최대 SNDR (66dB at 40MS/s) 과 약 2dB 정도의 차이를 보인다. 이론상의 SNR_{thermal}이 신호의 왜곡 (distortion) 성분을 포함하지 않았다는 점을 감안할 때 위의 결과는 양자화 잡음 및 열잡음만을 고려한 이론적인 계산 값을 통해 실제 측정 결과를 비교적 정확하게 예상할 수 있음을 보여준다. 그림 10(b)는 150MS/s의 최대 동작 속도에서, 입력 주파수를 증가시킬 때의 측정 결과를 나타내며, 입력 신호가 Nyquist 주파수까지 증가할 때, 측정된 SNDR과 SFDR은 각각 53dB, 64dB 수준을 유지하는 것을 알 수 있다. 입력 주파수 (f_{in})와 클록의 지터값 (t_a) 에 의한 이론적인 SNR_{jitter}은 식 (10)을 이용해 계산할 수 있으며, Nyquist 입력 주파수 (75MHz) 와 측정에 사용된 클록 발생기의 지터 값 (4psec)을 위 식에 대입하면 약 54dB 이다. 아 값은 실제 측정된 SNDR에 상당히 근접한 값이며, 따라서 Nyquist 입력 주파수에서 측정된 SNDR은 사용된 클록 발생기의 성능에 의해 상당부분 제한되었음을 알 수 있다. 제작된 시제품 ADC의 측정된 성능은 표 2에 요약하였다.

$$SNR_{jitter} = 20 \log \left(\frac{1}{2\pi f_{in} t_a} \right) \quad (10)$$

V. 결 론

본 논문에서는 차세대 이동통신 핵심 기술인 SDR 시스템의 효과적인 구현을 위해 필수적인 고해상도, 광대역 ADC를 특별한 보정기법 없이 구현한 14비트 150MS/s 140mW 2.0mm² 0.13um CMOS ADC를 제안

한다. 요구되는 사양을 구현하기 위해 다음과 같은 다양한 설계 및 레이아웃 기법들을 제안하였다.

첫째, 제안하는 ADC는 보정기법을 사용하지 않는 4단 파이프라인 구조로 설계하였으며, 14비트 수준의 열잡음 성능, 요구되는 속도 및 증폭기의 안정성을 만족하는 동시에 전력 소모를 최소화하기 위해 각 단의 샘플링 커패시턴스와 증폭기의 입력단 트랜스컨덕턴스에 각각 최적화된 스케일링 계수를 적용하였다. 둘째, MDAC의 커패시터 열에는 각각의 단위 커패시터를 인접신호 라인과 완전히 분리하면서 주위를 사용가능한 모든 금속 층으로 둘러싸는 3차원 완전 대칭 구조를 갖는 레이아웃 기법을 적용하였으며, 각각의 단위 커패시터 및 신호 연결선 하단부에 추가적인 금속 층을 배치하여 단위 커패시터와 신호 연결선에 생길 수 있는 하단부 기생 커패시턴스 성분까지도 동일한 조건을 유지하도록 하였다. 셋째, 고해상도 ADC에 필수적인 안정된 기준 전류 및 전압 공급을 위해서 온-칩 기준 전류 및 전압 발생기를 잡음 성능 및 사용 가능한 핀 수 제약 등을 고려하여 집적하였고 사용자의 필요에 따라 선택적으로 외부에서 기준 전압 값을 인가할 수 있도록 하였다. 마지막으로, 150MS/s의 동작 속도에서 시제품 ADC의 동적 성능을 정확하게 측정하기 위해 필요에 따라 외부에서의 디지털 잡음을 최소한으로 줄일 수 있도록 오프-칩 고속 디지털 버퍼와 결합된 분주기를 온-칩으로 구현하였다.

제안하는 설계 및 레이아웃 기법을 적용하여 구현한 시제품 ADC의 칩 면적은 2.0mm²이며, 측정된 DNL 및 INL은 각각 최대 0.81LSB, 2.83LSB 수준을 나타낸다. 또한, 120MS/s와 150MS/s의 동작 속도에서 측정된 동적 성능으로는 각각 최대 64dB, 61dB의 SNDR과 71dB, 70dB의 SFDR을 보여주며, 소모 전력은 1.2V 전원 전압에서 140mW이다. 현재까지 측정된 결과와 함께 제한된 장비의 한계에 대한 영향 및 최대 이론값과 측정값에 대해 비교 분석을 병행하여 회로 자체의 적절한 동작을 검증하였다.

참 고 문 헌

- [1] S. T. Ryu, S. Ray, B. S. Song, G. H. Cho, and K. Bacrania, "A 14b-linear capacitor self-trimming pipelined ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 464-465.
- [2] Y. J. Cho, et al., "A Calibration-Free 14b 70MS/s 3.3mm² 235mW 0.13um CMOS pipeline

ADC with high-matching 3-D symmetric capacitors," in *Proc. IEEE CICC*, Sept. 2006, pp. 485-488.

[3] D. Kelly, W. Yang, I. Mehr, M. Sayuk, and L. Singer, "A 3V 340 mW 14b 75MSPS ADC with 85dB SFDR at Nyquist," in *ISSCC Dig. Tech Papers*, Feb. 2001, pp. 134-135.

[4] S. Bardsley, et al., "A 100-dB SFDR 80-MSPS 14-Bit 0.35-um BiCMOS pipeline ADC," *IEEE J. Solid-State Circuits*, vol. 41, no. 9, pp. 2144-2153, Sept. 2006.

[5] C. Moreland, et al., "A 14-bit 100-Msample/s subranging ADC," *IEEE J. Solid-State Circuits*, vol. 35, no. 12, pp. 1791-1798, Dec. 2000.

[6] A. M. A. Ali, et al., "A 14-bit 125MS/s IF/RF sampling pipelined ADC With 100dB SFDR and 50fs jitter," *IEEE J. Solid-State Circuits*, vol. 41, no. 8, pp. 1846-1855, Aug. 2006.

[7] H. Ishii, K. Tanabe, and T. Iida, "A 1.0V 40mW 10b 100MS/s Pipeline ADC in 90nm CMOS," in *Proc. IEEE CICC*, Sept. 2005, pp. 395-398.

[8] Y. Chiu, P. R. Gray, and B. Nikolic, "A 14-b 12-MS/s CMOS pipelined ADC with over 100-dB SFDR," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2139-2151, Dec. 2004.

[9] R. Schreier, J. Silva, J. Steensgard, and G. C. Temes, "Design-Oriented Estimation of Thermal Noise in Switched-Capacitor Circuits," *IEEE Trans. Circuits Syst. I*, vol. 52, no. 11, pp. 2139-2151, Nov. 2005.

저 자 소 개



유 필 선(학생회원)
 2007년 서강대학교
 전자공학과 학사.
 2007년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



김 차 동(학생회원)
 2008년 서강대학교
 전자공학과 학사.
 2008년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이 승 훈(평생회원)
 1984년 서울대학교
 전자공학과 학사.
 1986년 서울대학교
 전자공학과 석사.
 1991년 미 Illinois 대 (Urbana-Champaign) 공학박사.
 1986년 KIST 위촉 연구원.
 1987년~1990년 미 Coordinated Science Lab (Urbana) 연구원.
 1990년~1993년 미 Analog Device 사 senior design engineer.
 1993년~현재 서강대학교 전자공학과 교수.
 <주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.>