

논문 2008-45SD-4-6

# LC형 다중 위상 PLL 이용한 40Gb/s 0.18 $\mu$ m CMOS 클럭 및 데이터 복원 회로

(40Gb/s Clock and Data Recovery Circuit with Multi-phase LC PLL in  
CMOS 0.18 $\mu$ m)

하기혁\*, 이정용\*\*, 강진구\*\*\*

(Gi-Hyeok Ha, Jung-Yong Lee, and Jin-Ku Kang)

## 요 약

본 논문은 광통신 시리얼 링크를 위한 40Gb/s 클럭 및 데이터 복원 회로의 설계를 제안한다. 설계된 본 회로는 다중 위상을 생성하는 LC 탱크 PLL을 이용하여 8개의 샘플링 클럭을 생성하고 2x 오버샘플링 구조의 뱅-뱅 위상 검출기를 이용하여 데이터와 클럭의 위상을 조정한다. 40Gb/s의 입력 데이터가 샘플링을 거쳐서 1:4 디멀티플렉싱되어 4채널에 10Gb/s 출력으로 복원되는 구조로서 디지털과 아날로그의 전원을 분리하여 설계가 진행되었다. 인덕터를 사용하여 칩면적은 2.8 x 2.4mm<sup>2</sup>을 차지하고 전력소모는 약 200mW이다. 0.18 $\mu$ m CMOS 공정으로 칩 제작후 측정결과 채널당 약 9.5Gb/s 출력이 측정되었다(직렬입력 약 38Gb/s 해당).

## Abstract

40Gb/s CMOS Clock and Data Recovery circuit design for optical serial link is proposed. The circuit generates 8 multiphase clock using LC tank PLL and controls the phase between the clock and the data using the 2x oversampling Bang-Bang PD. 40Gb/s input data is 1:4 demultiplexed and recovered to 4 channel 10Gb/s outputs. The design was progressed to separate the analog power and the digital power. The area of the chip is 2.8 x 2.4mm<sup>2</sup> for the inductors and the power dissipation is about 200mW. The chip has been fabricated using 0.18 $\mu$ m CMOS process. The measured results show that the chip recovers the data up to 9.5Gb/s per channel(Equivalent to serial input rate of up to 38Gb/s).

**Keywords:** Clock and data recovery (CDR), Phase detector, Bang-Bang PD system, Phase Locked Loop(PLL)

## I. 서 론

광통신 시리얼 링크 표준인 SONET OC-768에서는

40Gb/s의 광송수신 속도를 기준으로 하고 있다.

고속의 직렬 수신 데이터를 복원하기 위해서는 CDR(Clock and Data Recovery)회로가 필수적이지만 CMOS 공정을 이용해서 설계하는 것은 속도와 지터, 신호감쇠, 전력 소모, 신호 잡음과 같은 여러 단점들로 인해 어려움을 겪게 된다. 그러나 최근에 이르러서는 공정의 최소 길이가 낮아지고 다양한 회로 설계 기법이 제안되면서 이러한 어려움을 극복할 수 있게 되었다. 따라서 고속의 CDR에 대한 연구가 최근에도 여럿 발표되었고 다양한 위상 검출기(Phase Detector)구조에 대한 연구가 진행 중이다.<sup>[1]</sup>

CMOS공정을 이용하여 3.125Gb/s의 half-rate 4X 오버샘플링 방식으로 설계된 CDR은 위상 검출기와 주파수검출기를 이용하여 레퍼런스 클럭이 없는 CDR을 설

\* 정회원, I&C 테크놀로지 연구원  
(Research Staff, I&C technology)

\*\* 정회원, LG전자연구원  
(Research Staff, LG Electronics)

\*\*\* 정회원, 인하대학교 전자공학과 및 정보전자  
공동연구소  
(School of Electronic Engineering & Institute for  
Information and Electronics Research, Inha  
University)

※ 이 논문은 과학재단의 특정기초 연구(No. R01-2006-000-10596-0) 및 2006년 학술진흥재단의 지원을 받아 수행된 연구임.” (KRF-2006-013-D00263). 설계 틀은 IT-SoC 사업단과 IDEC의 지원을 받았음.

접수일자: 2007년9월6일, 수정완료일: 2008년3월31일

제하였다.<sup>[2]</sup> 더 나아가 10Gb/s의 half-rate CDR<sup>[3]</sup>에서 quarter-rate 방식의 위상 검출기를 갖는 CDR 회로<sup>[4]</sup>, 그리고 40Gb/s의 quarter-rate<sup>[5]</sup> 방식까지 많은 연구가 진행되었고 인덕터를 이용한 구조의 개선으로 동작 속도를 40Gb/s까지 높일 수 있었다.

본 논문에서는 0.18 $\mu$ m 공정을 사용해서 quarter-rate 방식의 위상 검출기를 설계하였고 인덕터를 이용한 PLL과 전단 분주기를 이용하여 샘플링 클록을 생성해 낼 수 있었다. 따라서 본론에서는 10GHz LC 탱크 다중 위상 PLL을 기반으로 한 설계에 대해서 설명하고 2x 오버샘플링 뱅-뱅(Bang-Bang) 위상 검출기 구조와 내부 각 모듈에 대한 설계를 기술한다.

## II. 본 론

### 1. 제안된 CDR의 구조

제안된 CDR은 8개의 다중위상을 갖는 10GHz LC 탱크 PLL에 의해서 샘플링 클록을 제공받는다. 위상 검출기에서는 지터와 함께 입력되는 40Gb/s의 NRZ (Non-Zero Return) 데이터를 깨끗한 신호로 복원하기 위해서 클록과 데이터의 위상을 검출하여 PLL의 제어 전압을 조정하는 방식이다.

그림 1은 제안된 CDR의 구조를 나타낸다. 입력된 40Gb/s의 데이터가 광 수신기에 의해 전기적 신호로 복원되고 이러한 신호는 많은 지터성분을 포함하는 데이터이다. 이러한 데이터를 EYE 중앙에서 샘플링이 가능하게 하는 기능을 제안된 위상 검출기에서 수행될 것이다.

2X 오버샘플링 구조의 위상 검출기는 25ps의 주기를 갖는 40Gb/s 데이터를 2번에 걸쳐서 샘플링하기 위해

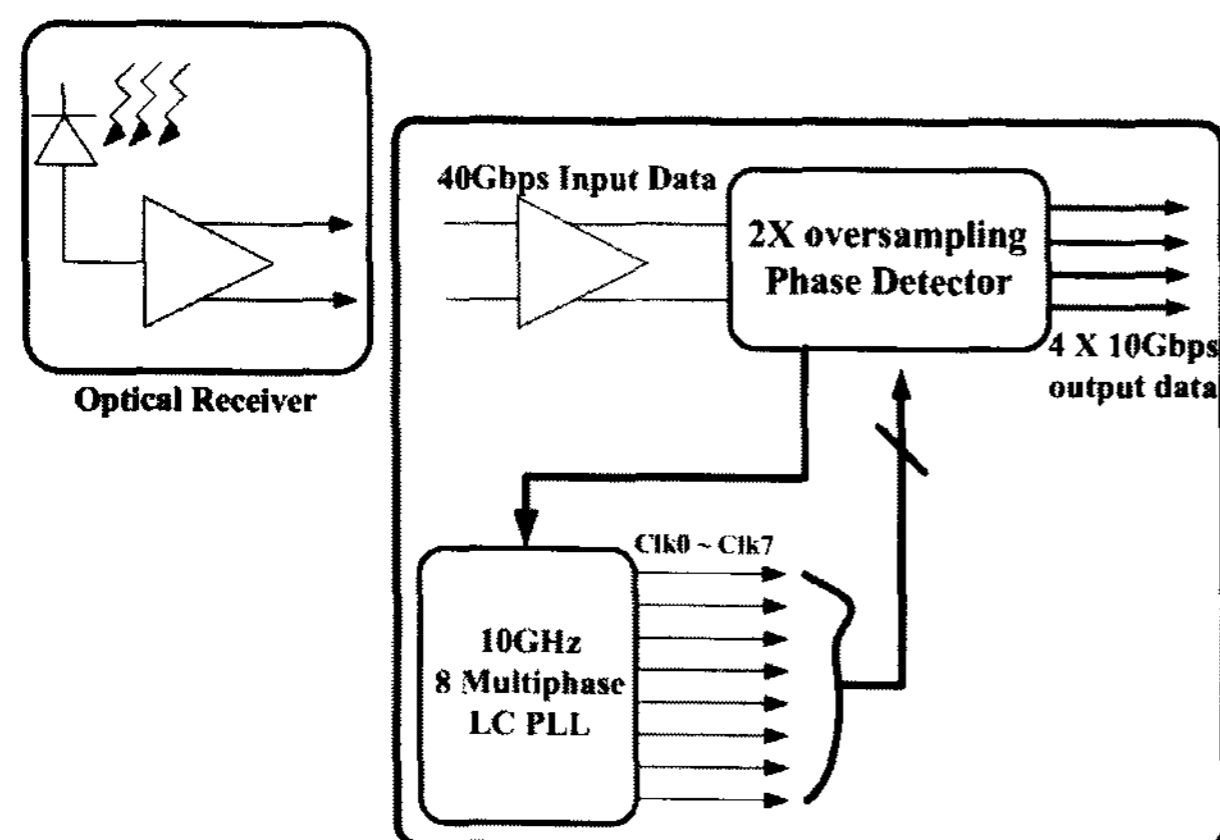


그림 1. 제안된 시스템의 블록도  
Fig. 1. Block diagram of the proposed system.

서 12.5ps의 해상도를 갖는 클록을 PLL에 의해서 제공 받게 된다. 뱅-뱅 유형의 위상 검출기로 인하여 샘플링된 데이터는 XOR를 거친 후 early-late 방식의 신호를 출력하게 되고 이는 루프 필터에 전하를 조정하여, VCO의 제어 전압을 조절하게 된다.

10GHz의 클록으로 샘플링된 40Gb/s의 데이터는 10Gb/s로 1:4 Demux되기 때문에 4개의 각 채널에 10Gb/s로 출력된다.

### 2. 10GHz LC 탱크 다중 위상 PLL 설계

샘플링 클록을 제공하는 블록으로써 가장 핵심적인 역할을 하게 된다. 레퍼런스가 없는 위상 검출기 유형의 좁은 캡처 범위를 보상하기 위하여 외부 레퍼런스 클록을 이용하여 위상 - 주파수 검출기(Phase - Frequency Detector)로 주파수를 고정하게 된다. 제안된 PLL의 구조가 그림 2와 같이 다중 위상 클록을 생성하는 LC 전압제어 발진기와 높은 주파수의 클록을 분주하기 위한 분주기, 출력 버퍼, 위상-주파수 검출기, 전하 펌프(Charge pump), 밴드갭 레퍼런스로 구성되어 있다.

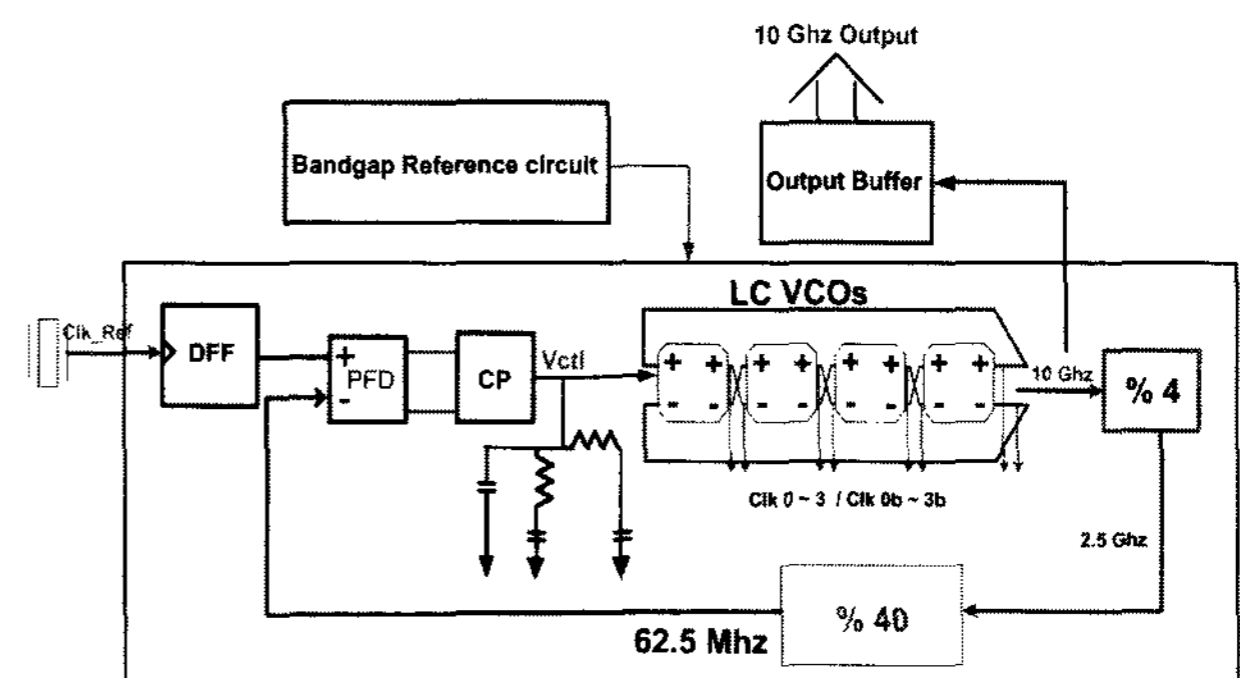


그림 2. 제안된 PLL의 구조  
Fig. 2. Architecture of the proposed PLL.

#### 가. LC 탱크 전압제어 발진기

그림 3에서는 기존의 LC 전압 제어 발진기<sup>[6]</sup>의 구조와 본 논문에서 제안된 전압 제어 발진기를 보여준다. 출력 주파수가 일정한 전압 스윙을 하기 위해서 이득을 높일 필요가 있으므로 PMOS 정계환 회로를 추가하였다. 이를 통해 위상 잡음 성능을 향상시킬 수 있고 인덕터 위의 전류원은 출력의 발진된 신호가 공급전원의 중간에서 동작하도록 하기 위한 것이다. 인덕터 상단에 전류원이 없다면 공급전원을 기준으로 스윙하기 때문에 뒷단에 위치하는 고속의 분주기의 DC 동작점에 영향을 주게 된다.

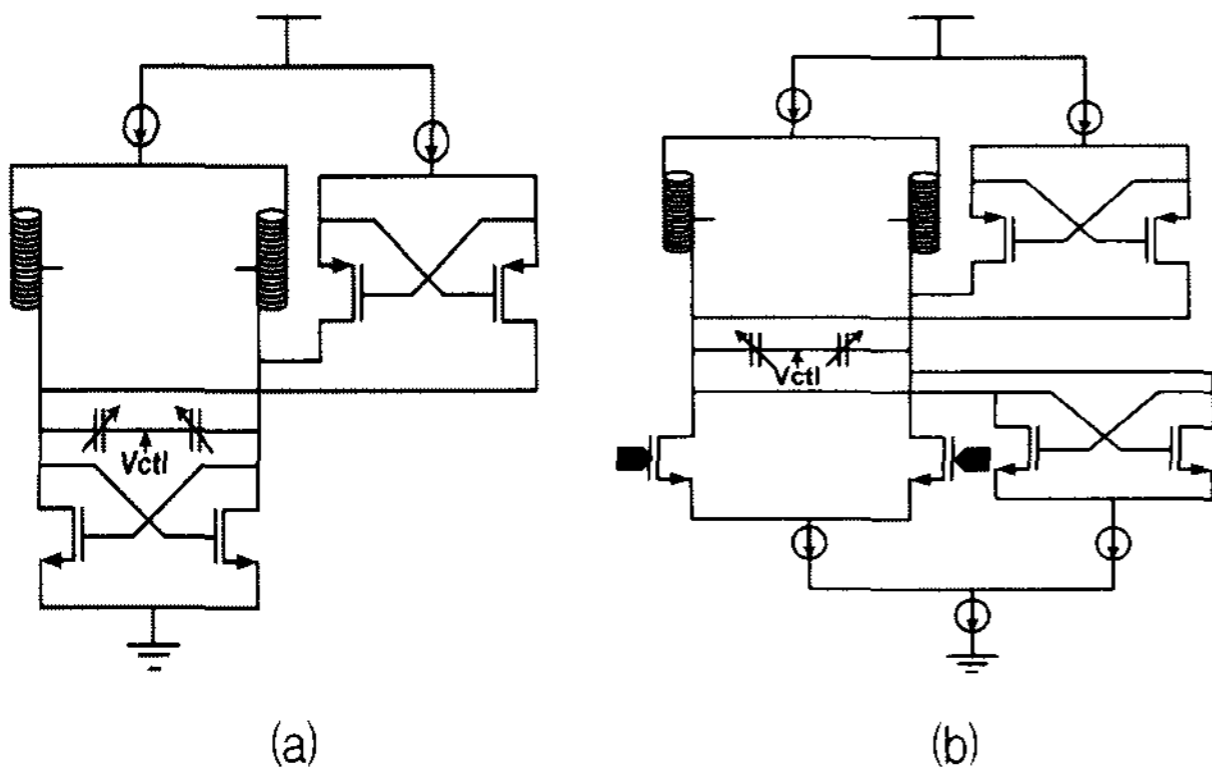


그림 3. 전압제어 발진기의 구조  
 (a) 기존의 LC 전압제어 발진기 회로  
 (b) 제안된 LC 전압제어 발진기 1단 회로

Fig. 3. Architecture of the VCO.  
 (a) Conventional LC VCO  
 (b) The proposed single stage of LC VCO

기존의 전압 제어 발진기에서 전압에 따른 주파수 동작 상태의 선형성이 불안정하다는 단점을 충분한 전류의 통로를 확보하는 형태로 보완하여 선형적인 동작이 이루어지도록 설계하였다. 제안된 전압 제어 발진기는 전류 공급이 상단과 하단에 위치하므로 좀 더 외부 환경에 흔들림 없는 동작점을 제공하지만 출력되는 전압의 헤드룸이 발생할 수 있다. 그러나 이는 버퍼를 이용하여 출력을 원하는 전압 스윙으로 조정가능하다.

LC 탱크 전압 제어 발진기의 가장 큰 특징은 수동 소자인 인덕터와 커패시턴스에 의해서 출력 주파수가 정해지고 전압에 따른 출력 주파수의 조절은 MOS 버랙터의 게이트 전압을 조정함으로써 가능하다. 아래의 식과 같이 출력 주파수가 정해지고 조정 전압의 변화에 따라서  $C_{var}$ 의 커패시턴스 값이 변화함으로써 조정이 가능하다. 수동소자인  $C_{var}$ 의 변위가 적기 때문에 아래의 그림 4와 같이 출력 주파수의 변위는 그리 크지 않다. 그러나 전압 제어 발진기의 이득이 높지 않기 때문에 얻는 장점은 지터가 적고 위상 잡음이 낮다는 것이다. 이러한 장점이 있기 때문에 고속의 데이터를 복원하는 시스템에서는 적절한 특성을 보여준다.

$$f_{osc} = \frac{1}{2\pi\sqrt{LC_{var}}}, \quad 0 < V_{cont} < V_{DD} \quad (1)$$

위상 잡음이란 각 전압 제어 발진기의 출력주파수에 실린 파워를 측정하는 것으로서 일정 기준 떨어진 지점에서 더 낮은 값이 우수한 위상 잡음 성능의 기준이 된다. 제안된 전압 제어 발진기는 기존의 전압 제어 발진기보다 1MHz 기준에서 116dBc로 기존의 전압제어 발

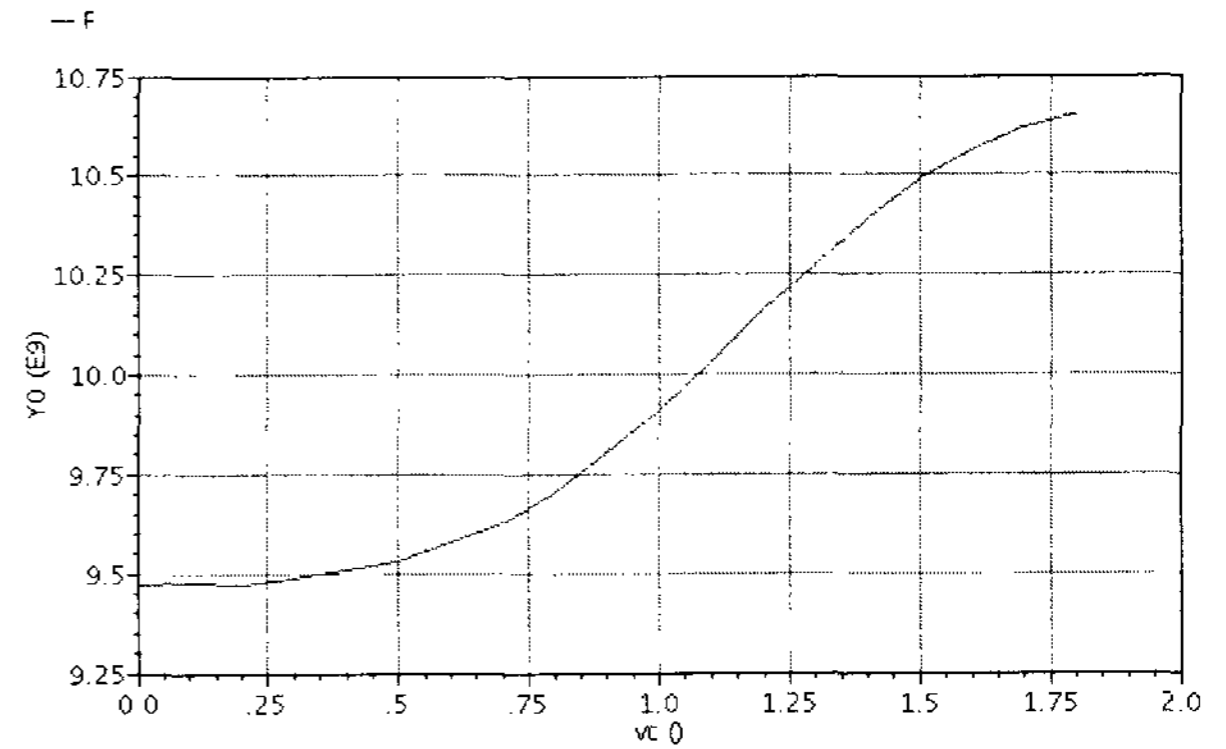


그림 4. 전압제어 발진기 동작 범위  
 Fig. 4. VCO tuning range.

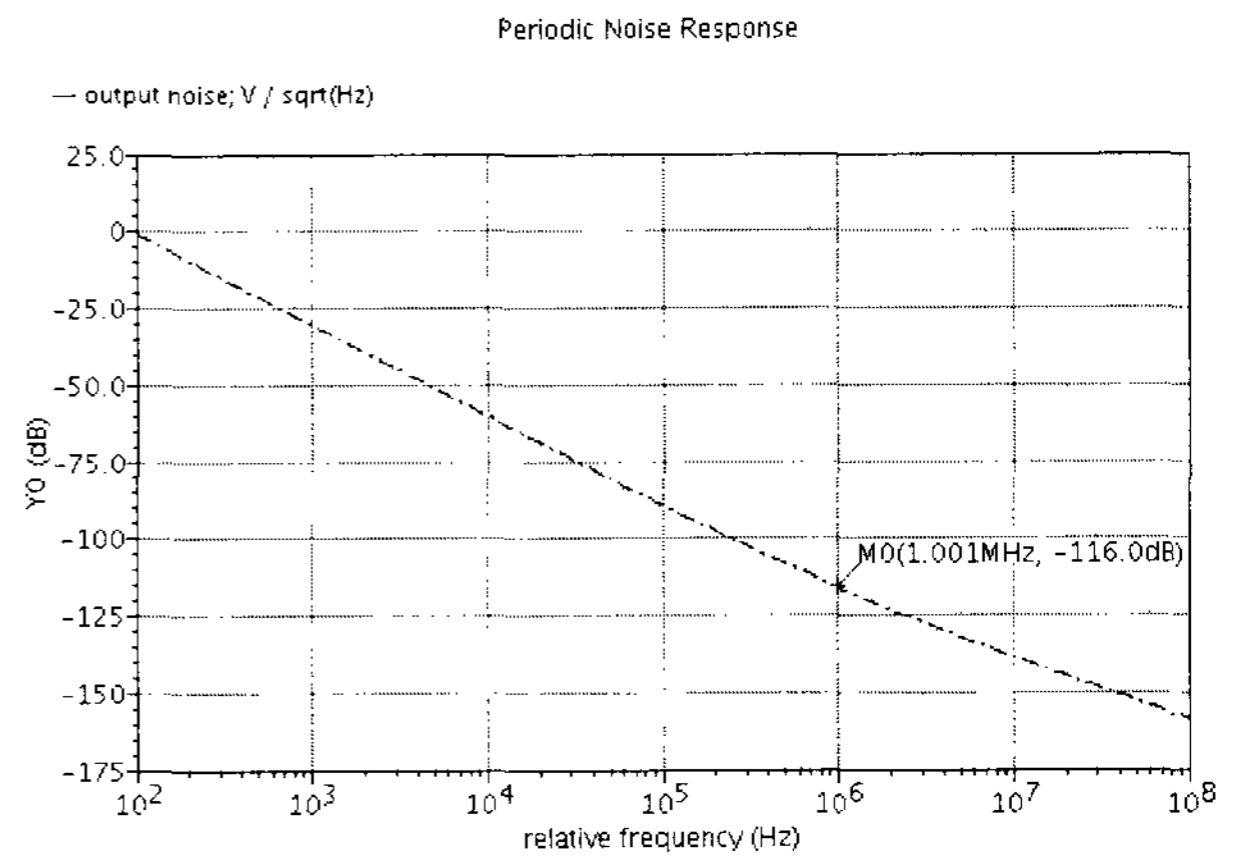


그림 5. 위상 잡음의 시뮬레이션 결과  
 Fig. 5. Simulated phase noise.

진기에 비해서 약 6dBc의 성능향상을 그림 5를 통해 확인할 수 있다.

나. 고속 분주기 설계

(1) 1st 분주기 설계

전압 제어 발진기의 출력 주파수는 10GHz의 고속의

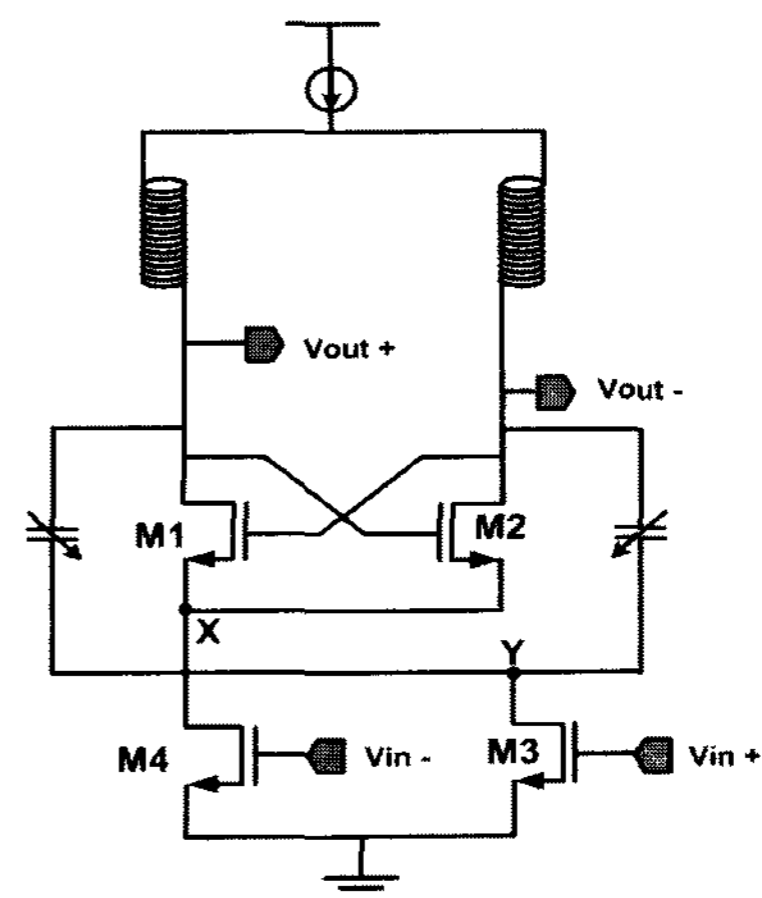


그림 6. Injection-locked 방식의 분주기 회로  
 Fig. 6. Schematic of injection-locked frequency divider.

클럭으로 일반적인 TSPC(True Single Phase Clock)를 이용한 분주기나 CML(Current Mode Logic)을 이용한 분주기로는 원활한 분주가 불가능하다. 따라서 인덕터 부하를 이용한 분주기의 필요가 불가피하다.<sup>[7]</sup>

그림 6은 injection-locked 방식의 분주기의 회로를 나타내고 있다. 이는 인덕터 부하로 인해서 한단의 D-래치이지만 위상 이동이 360°가 가능하다. 이 회로의 동작은 NMOS의 공통 소스 노드에 입사 신호가 주입됨으로써 X 노드와 Y 노드의 상호작용으로 분주기로의 동작을 하게 된다. 전달함수는 아래와 같이 표현된다.

$$A(s) = \frac{V_Q}{V_D} = \frac{g_M}{gd_M + gd_{MB} + sC_L + \frac{1}{sL_L} - g_{MB}} \quad (2)$$

(2) 2nd 분주기 설계

1st 분주기에서 회로를 구동시키기 위해 전류원과 캐스코드 방식으로 MOS를 연결하였기 때문에 출력전압이 완전한 스윙을 하지 못한다. 게다가 아직 5GHz 고속의 클럭 신호이기 때문에 일반적인 정적(static) 로직의 분주기로는 동작이 불가능하다. 따라서 전압 스윙폭에 대한 보상이 가능하면서 인덕터의 사용을 억제하고 고속의 동작이 가능한 분주기로써 CML 방식의 래치를

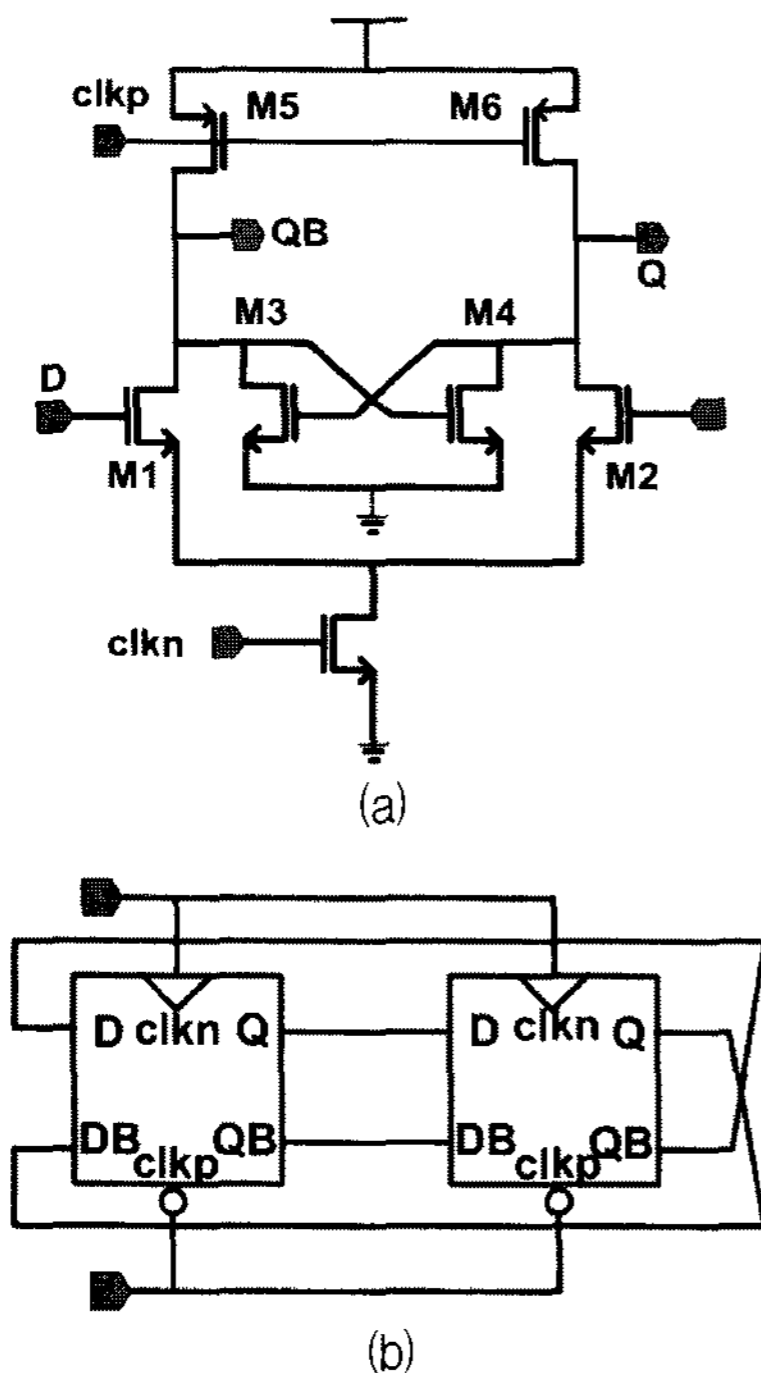


그림 7. (a) 1단 전류 방식 래치  
(b) 전류 방식 래치를 이용한 분주기 구조  
Fig. 7. (a) 1 stage CML latch.  
(b) Architecture of divider with CML latch.

사용하였다.

마스터-슬레이브(Master-Slave) 방식으로 D-플립플롭(Flip-Flop)을 구성하여 이를 일반 D-플립플롭이 2분주기가 되는 방식과 동일하게 그림 7과 같이 구성하였다. 플립핑 모드에서 동작은 속도를 충분히 만족하기 위해서 최대한 신호의 전달을 짧게 하고 RC 시정수를 최소화한다. 이와 반대로 래치 모드에서는 이득을 최대한 확보한다.

위와 같은 두 번의 분주기로 인하여 2.5GHz의 클럭을 공급할 수 있다. 아래의 그림 8은 1단 분주기와 2단 분주기를 통과한 시뮬레이션 결과이다. 각각 10GHz의 클럭이 2분주와 4분주가 된 결과를 관찰할 수 있다. 그림 8(a)에서 injection-locked 출력파형을 살펴보면 전압 스윙폭이 0.6V에서 1.1V로 약 0.5V 밖에 되지 않는다. 이를 보상하고 2분주가 된 클럭 출력이 그림 8(b)에 나타나 있다. 10GHz가 4분주된 클럭 신호가 출력되고 전압 스윙폭도 0V에서 최대 1.4V이다. 그러나 출력 전압의 최대값이 일정치가 않다는 단점이 있는데 이는 뒷단

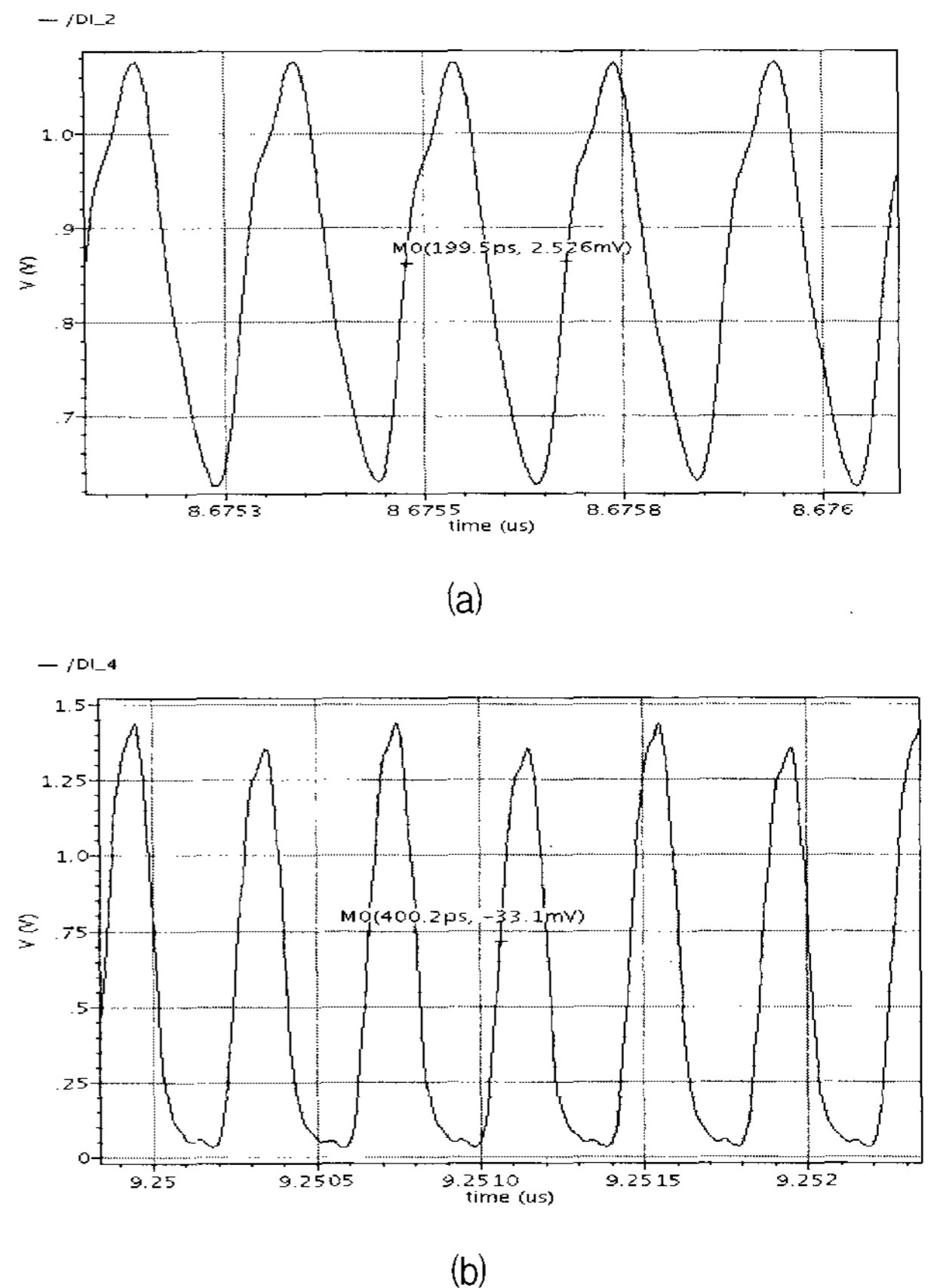


그림 8. (a) 1단 분주기 출력 파형  
(b) 2단 분주기 출력 파형  
Fig. 8. (a) Waveform of 1st divider output.  
(b) Waveform of 2nd divider output.

의 TSPC 분주기에서 충분히 보상된 후에 위상-주파수 검출기를 거치게 될 것이다.

### 3. 위상 검출기

Quad-rate 뱅-뱅 방식의 위상 검출기의 구조가 그림 9에 나타나 있다.<sup>[5]</sup> 40Gb/s의 데이터는 각 12.5ps 마다 샘플링 된다. 샘플링된 데이터는 XOR에 인가되어 각 데이터의 천이를 검출하게 된다. 즉, 천이가 일어났다면 XOR의 출력은 '1'이 되고 천이가 일어나지 않았다면 '0'이 될 것이다. 이러한 데이터 천이 신호는 early-late 신호를 생성하여 V/I 컨버터로 인가된다.

전하 펌프 방식의 다중위상 PLL에 의해서 제공되는 주파수로 인하여 위상 검출기에서 주파수 조절의 기능을 제외할 수 있다. 이는 V/I 컨버터의 전류를 충분히 작게 가져갈 수 있기 때문에 대역폭을 조절하여 지터를 줄일 수 있다는 장점이 있다.

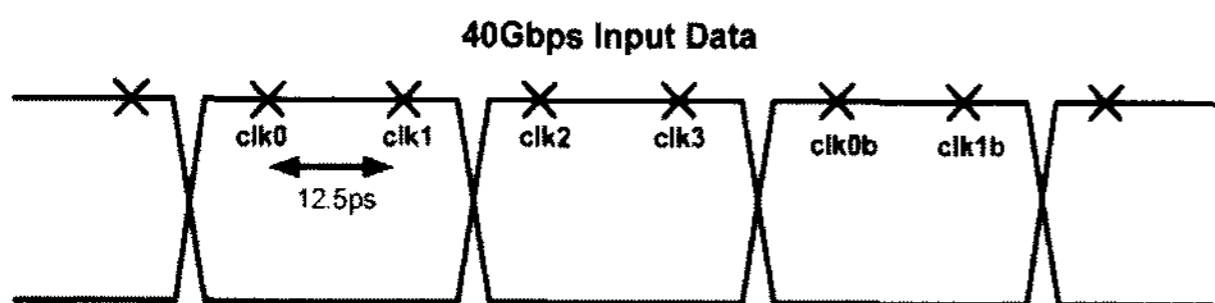
위상 검출기에서 주목할 만한 점은 입력되는 40Gb/s의 데이터가 샘플러에 의해서 10Gb/s로 우선 샘플링 된다는 것이다. 현재 0.18 $\mu$ m 공정에서 40Gb/s의 데이터를 래치로 복원하기에는 많은 무리가 따르게 된다. 따라서 40Gb/s의 데이터를 10Gb/s로 샘플링을 선행한 후에 고속에서 동작하는 CML 래치를 사용하여 신호를 복원할 수 있다.<sup>[8]</sup> 인덕터의 사용으로 대역폭을 확장할 수 있지만 칩 면적을 고려하여 단순한 저항 부하를 이

용하여 래치를 설계하였다. 트랜스미션 게이트를 이용한 샘플러 구조를 사용하여 고속에서도 동작을 가능하게 하고 출력의 아이디어그램을 최대한 확보하였다.

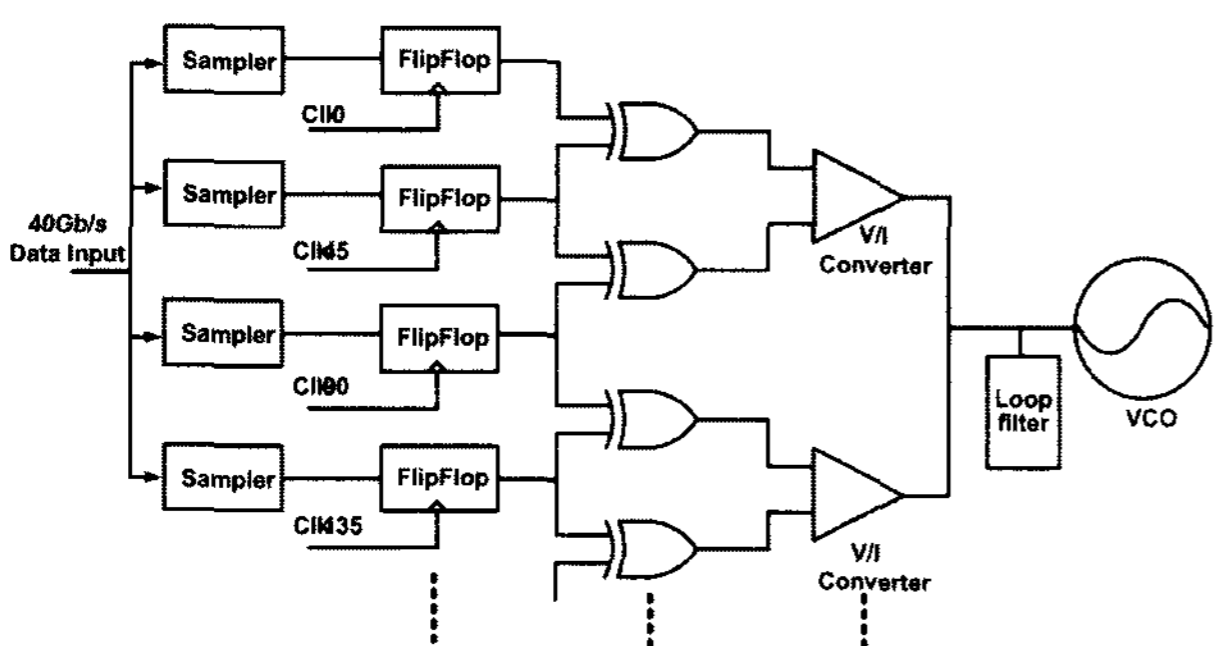
### III. 실 험

아래의 그림 10은 측정을 위한 프로브 입출력이 포함된 제안된 CDR회로의 칩사진이다. 상하좌우에 위치한 패드에서 좌우의 패드는 칩에 전원을 공급하기 위한 것으로서 아날로그와 디지털 전원을 분리하여 최대한 전원 잡음에 대한 오동작을 방지하였다. 하단에 위치한 입력 프로브패드에서는 차동으로 입력되는 데이터와 주파수 고정 루프에서 사용되는 레퍼런스 클럭이 입력된다. 상단에서는 출력으로서 4채널 데이터 출력부와 주파수 고정 루프의 클럭 그리고 아날로그 버퍼의 동작 유무를 확인할 수 있는 출력 프로브패드가 위치한다.

각 인덕터를 갖는 지연 단에서 클럭을 생성해 내고 인덕터를 이용한 아날로그 형식의 버퍼를 이용하여 원하는 전압 스윙과 큰 로드를 드라이브할 수 있도록 설계하였다. 지연 단의 우측에 위치한 분주기는 인덕터를 이용하여 10GHz 고속의 클럭을 분주시킴으로써 궤환 루프를 생성할 수 있었다. PLL의 주파수 고정 이 루어 진 후에 위상 검출기에서 데이터를 복원하기 위한 위상을 검출한다. 그림 11에서는 주파수 고정이 된 후에 위상 검출기의 마스터-슬레이브 플립플롭에서 복원된 신호이다. 측정결과 출력이 채널당 최대 약 9.5Gb/s 까지 측정되었다(그림 11-a). 이는 직렬 입력 약 38Gb/s에 해당한다. 10Gb/s의 출력은 거의 복원 되지



(a)



(b)

그림 9. (a) 데이터 샘플링 구조  
(b) 2단 분주기 출력 파형  
Fig. 9. (a) Data sampling architecture.  
(b) Waveform of 2nd divider output.

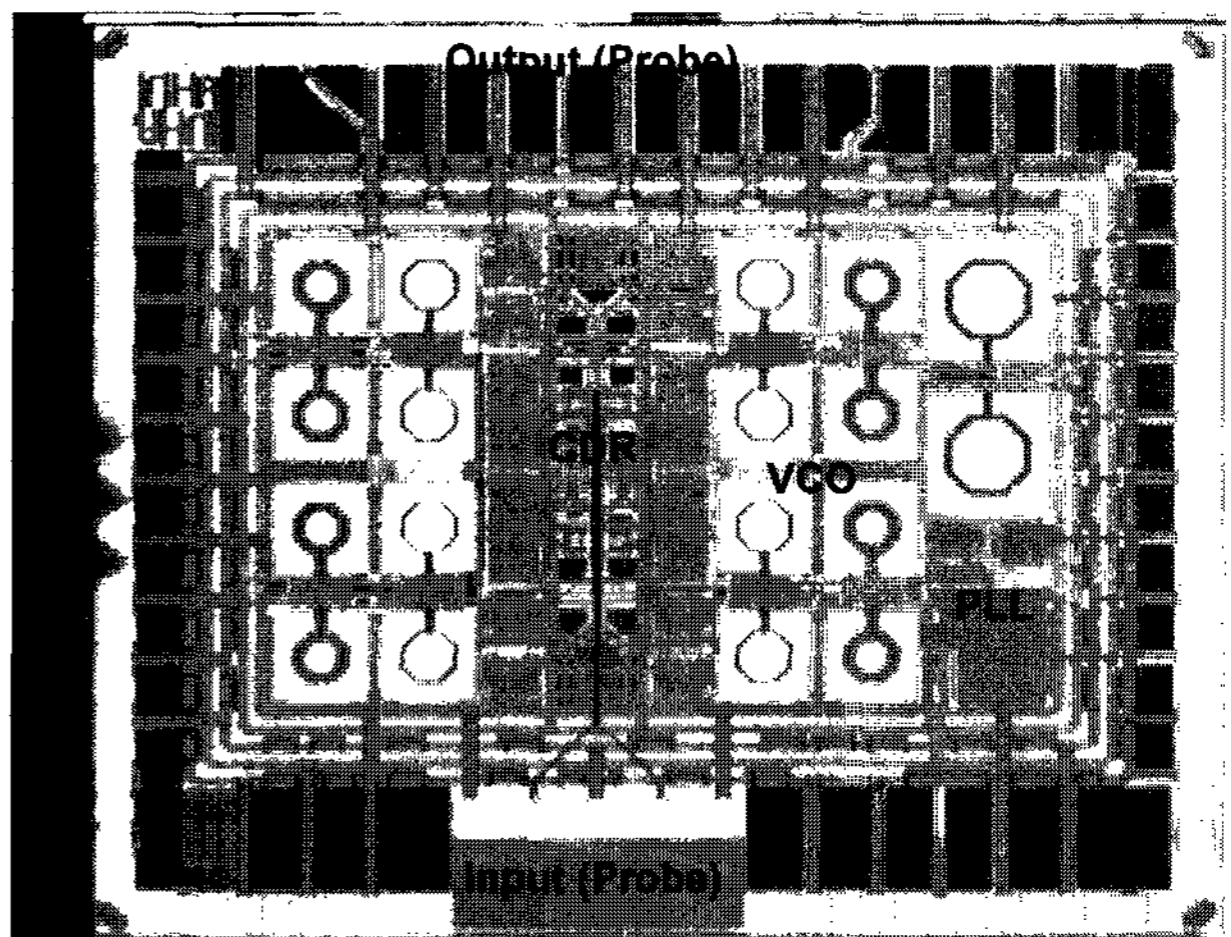
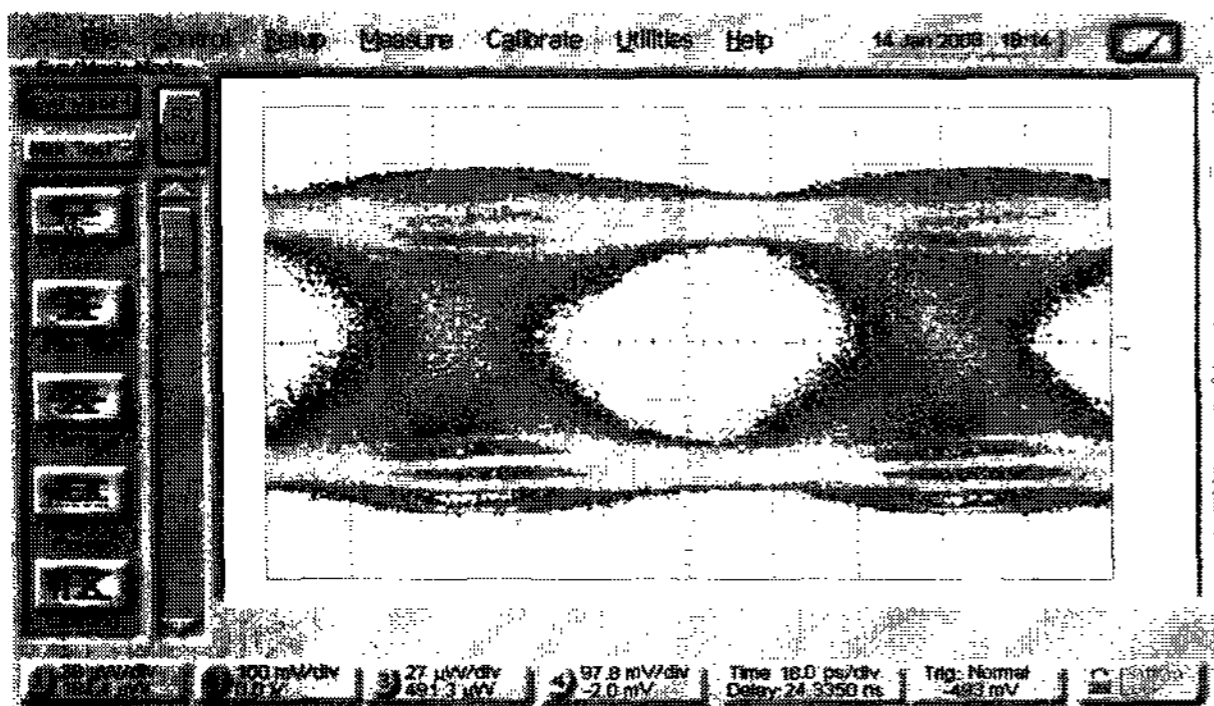
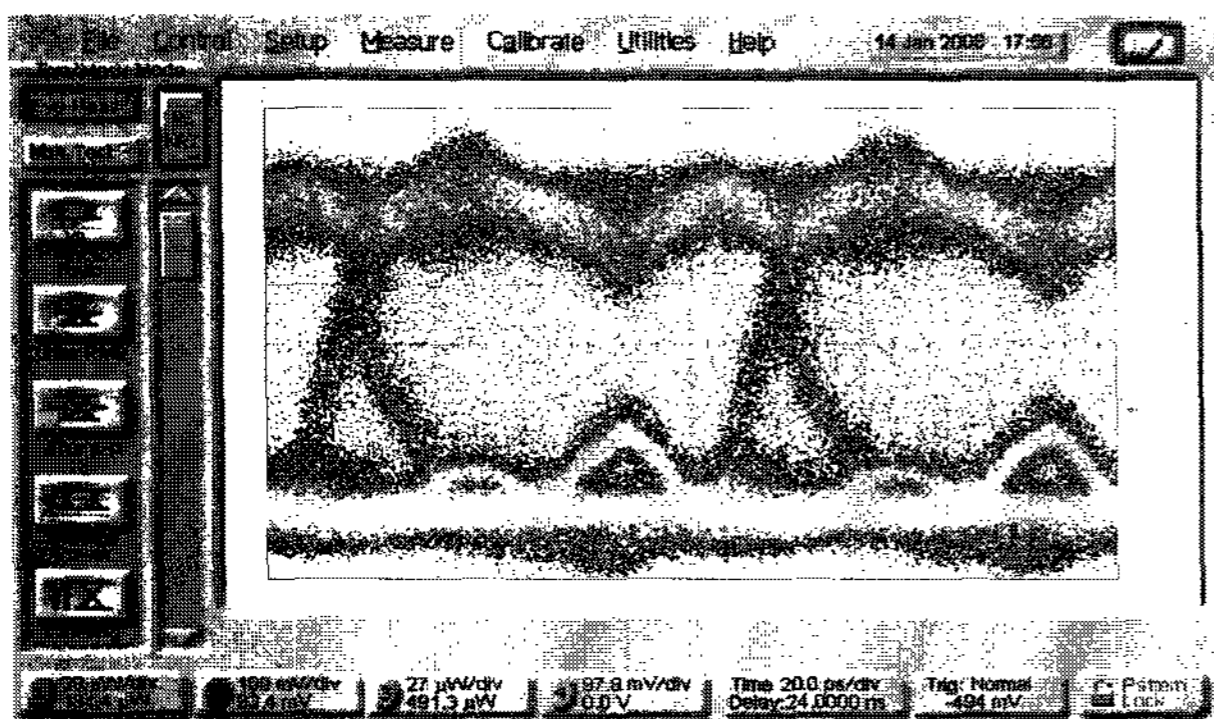


그림 10. CDR의 칩 사진 및 측정 사진  
Fig. 10. The micro photograph of chip and measurement.



(a) 9.5Gb/s



(b) 10Gb/s

그림 11. 하나의 채널에서 복원된 출력신호  
Fig. 11. Recovered output from a single channel.  
(a) 9.5Gb/s (b) 10Gb/s

않는 것으로 나타났다(그림 11-b). 이유는 복원회로에 사용된 내부게이트 회로 동작속도가 실제 칩에서는 10Gb/s 동작까지 미치지 않는 것으로 판단된다. 0.13 $\mu$ m 공정이나 90nm공정으로 업그레이드 하면 충분히 40Gb/s에 동작할 것으로 판단된다.

#### IV. 결 론

본 논문에서 제안된 회로는 외부 레퍼런스 클록을 이용하여 주파수를 고정 시킨 후에 위상 검출기에서 데이터와 샘플링 클록의 위상을 제어하는 방식이다. LC 탱크를 이용한 다중 위상 신호를 발생시키고 40Gb/s 입력 데이터를 1:4 Demux형 출력으로 복원하는 회로를 설계하였다. 단순히 데이터만으로 주파수와 위상을 동시에 고정을 시키기 위해서는 루프의 대역폭이 상당히 넓어야 하는데 이런 고속의 데이터를 복원하는 시스템에서 대역폭이 넓은 것은 상당한 양의 지터를 유발할 수 있다. 따라서 본 논문에서는 레퍼런스를 이용하여 2개의 루프를 이용하였다.

PD의 구조는 2X 샘플링 구조를 사용하여 가장 고속

에서 동작할 수 있는 주파수 범위를 이용하여 설계되었고 early-late의 뱅-뱅 위상 검출기 시스템이다. 위상 검출기 내부의 회로들은 모두 아날로그 형식의 디지털 회로이다. 모두 디지털 방식의 입출력을 나타내지만 고속 동작을 위해서 전력의 소모가 크다는 단점에도 불구하고 아날로그 방식을 사용하였다.

제안된 CDR 회로는 TSMC RF 0.18 $\mu$ m의 공정으로 설계되었고 칩의 면적은 프로브 측정을 위한 패드를 포함하여 2.8 x 2.4mm<sup>2</sup>이다. 칩 제작후 측정결과 출력이 채널당 최대 약 9.5Gb/s까지 측정되었다. 이는 직렬 입력 약 38Gb/s에 해당한다. 디지털과 아날로그의 1.8V의 파워를 분리하여 공통잡음을 억제하였고 약 200mW의 전력을 소모하였다.

#### 참 고 문 헌

- [1] S. I. Ahmed, Tad A. Kwasniewski, "Overview of oversampling clock and data recovery circuit", Electrical and Computer Engineering Canadian Conference on, pp. 1876-1881, May 2005.
- [2] 이성섭, 강진구, "레퍼런스 클록이 없는 3.125Gb/s 4X 오버샘플링 클록/데이터 복원 회로", 전자공학회논문지, 제43권, SD편, 제10호, 28-33쪽, 2006년 10월.
- [3] J. Savoj, B. Razavi, "A 10-Gb/s CMOS clock and data recovery circuit with a half-rate binary phase/frequency detector", IEEE J. Solid-State Circuits, vol. 38, pp 13-21, Jan. 2003.
- [4] S. Byun, J. C. Lee, J. H. Shim, K. Kim, H. K. Yu, "A 10-Gb/s CMOS CDR and DEMUX IC with a quarter-rate linear phase detector", IEEE J. Solid-State Circuits, vol. 41, pp 2556-2576, Nov, 2006.
- [5] J. Lee, B. Razavi, "A 40-Gb/s clock and data recovery circuit in 0.18- $\mu$ m CMOS technology", IEEE J. Solid-State Circuits. vol 38, Dec, 2003.
- [6] J. Y. Lee, W. S. Lim, K. H. Ha, J. K. Kang, "10GHz LC tank multiphase PLL for 40Gb/s CDR", ITC-CSCC vol. 2, pp 137-140, July, 2006.
- [7] J. Lee, B. Razavi, "A 40-GHz frequency divider in 0.18 $\mu$ m CMOS technology", IEEE J. Solid-State Circuits, vol. 39, Apr, 2004.
- [8] P. Heydari, R. Mohanavelu, "Disign of ultrahigh-speed low-voltage CMOS CML buffers and latches", IEEE Trans. VLSI Systems, vol. 12, Oct. 2004.

저 자 소 개



하 기 혁(정회원)  
 2006년 인하대학교 전자공학과  
 학사 졸업  
 2008년 인하대학교 전자공학과  
 석사 졸업  
 2008년~현재 I&C 테크놀로지  
 연구원 재직

<주관심분야 : Mixed IC 설계, PLL/CDR, RF IC  
 설계>



이 정 용(정회원)  
 2005년 인하대학교 전자공학과  
 학사 졸업  
 2007년 인하대학교 전자공학과  
 석사 졸업  
 2007년~현재 LG 전자  
 연구원 재직

<주관심분야 :Mixed IC 설계, PLL/CDR, RF IC  
 설계, High Speed Interface 설계>



강 진 구(정회원)  
 1983년 서울대학교 공학사  
 1990년 New Jersey Institute of  
 Technology 전기 및  
 컴퓨터공학 석사  
 1996년 North Carolina State  
 University 전기 및  
 컴퓨터 공학 박사

1983년~1988년 삼성전자(반도체)  
 1996년~1997년 미국 INTEL Senior Design  
 Engineer  
 1997년 3월~현재 인하대학교 전자전기공학부  
 교수  
 <주관심분야 : 고속 CMOS 회로 설계, Mixed IC  
 설계, PLL/DLL/CDR, High Speed Interface IC,  
 Display IC>